

《计算机组成原理》

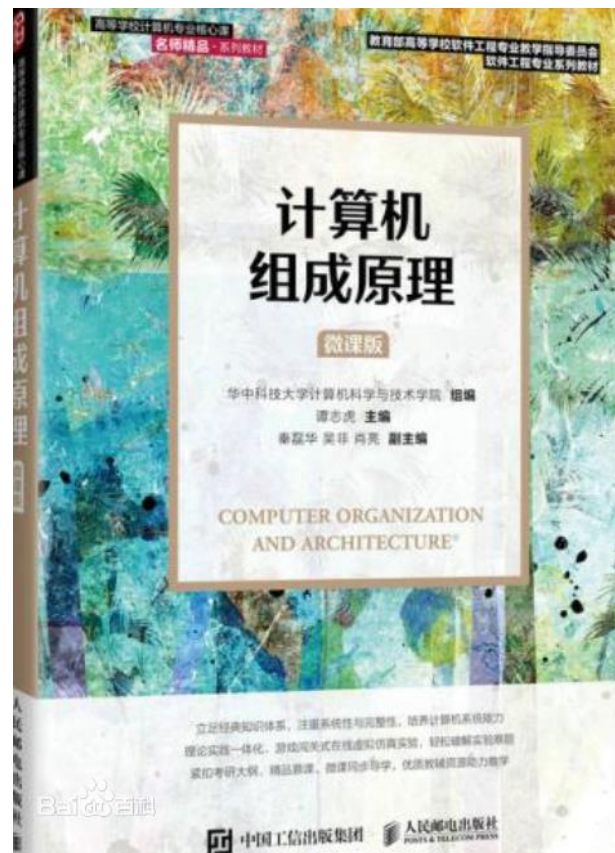
（第八讲）

厦门大学信息学院软件工程系 曾文华

2023年5月29日

目录

- 第1章 计算机系统概论
- 第2章 数据信息的表示
- 第3章 运算方法与运算器
- 第4章 存储系统
- 第5章 指令系统
- 第6章 中央处理器
- 第7章 指令流水线
- 第8章 总线系统**
- 第9章 输入输出系统



第8章 总线系统

- 8.1 总线概述
- 8.2 总线传输机制
- 8.3 总线结构
- 8.4 常用总线

8.1 总线概述

8.1.1	总线分类
8.1.2	总线组成
8.1.3	总线标准
8.1.4	总线与三态门
8.1.5	总线性能标准

- 现代计算机采用**总线技术**，将CPU、主存、输入输出设备等计算机功能部件连接起来，并通过总线在各功能部件之间传送地址信息、数据信息、控制信息，方便各功能部件之间协同工作，从而实现数据的处理、传输和存储。
- 图8.1：总线连接、分散连接（非总线方式）。
- 总线的主要功能**是在连接的功能部件之间进行数据传输；同一时刻只允许一个功能部件向总线发送信息，但可以有多个设备同时接收总线上数据。
- 现代总线**是指连接多个计算机内部功能部件或多个计算机的通信系统，总线既包括相关的硬件（总线控制器、总线接口）、软件，也包括相关的通信协议（如：ISA总线、EISA总线、PCI总线、USB总线、PCIe总线、SATA总线等）。

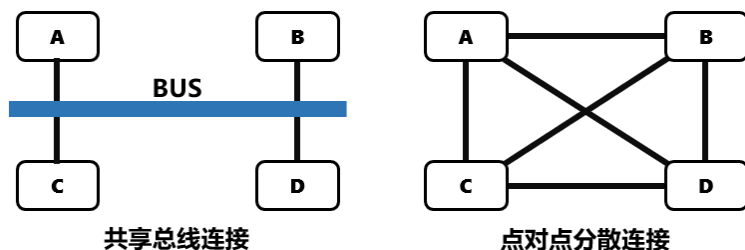


图8.1 总线连接与分散连接

ISA总线：Industry Standard Architecture，工业标准体系结构

EISA总线：Extended Industry Standard Architecture，扩展的工业标准体系结构

PCI总线：Peripheral Component Interconnect，外设部件互连标准

USB总线：Universal Serial Bus，通用串行总线

PCIe总线：Peripheral Component Interconnect express，扩展的外设部件互连标准

SATA总线：Serial Advanced Technology Attachment，串行高级技术附件规范

• 8.1.1 总线分类

- 按照数据传送方向分为：**单向**传输总线、**双向**传输总线。
- 按照时序控制方式分为：**同步**总线、**异步**总线。
- 按照信号线的功能分为：**数据**总线、**地址**总线、**控制**总线。
- 按照信号传输的模式分为：**并行**传输总线、**串行**传输总线；现代计算机更多的采用高速的串行传输总线，如：**QPI**、**PCIe**（**PCIe x4**、**PCIe x8**、**PCIe x16**）。
- 按照总线在计算机系统中所处的位置分为：**片内**总线、**系统**总线、**I/O**总线、**外部**总线。

– 1、片内总线

- **片内总线**是指芯片内部各组成部件之间的连接线，也称为**片上总线**，如**CPU**芯片内部寄存器之间、寄存器与运算器之间的数据通路连接，控制器与执行部件之间的控制信号连接，都属于片内总线。
- **片内总线标准**：例如**ARM**公司的**AMBA**总线（**Advanced Microcontroller Bus Architecture**，高级微控制器总线架构），开源的**Wishbone**总线。

QPI总线：Quick Path Interconnect，快速通道互联，也称为**CSI**（Common System Interface，公共系统接口），是一种可以实现芯片间直接互联的架构

PCIe总线：Peripheral Component Interconnect express，扩展的外设部件互连标准

PCIe x4、**PCIe x8**、**PCIe x16**：分别表示有4条、8条、16条独立的串行总线（**PCIe总线**）并发

– 2、系统总线

- **系统总线**是CPU直接连接主存、I/O模块等主要功能部件的信息传输线，与CPU引脚直接相连。
- 系统总线也称为主机总线、CPU总线、前端总线。
- 早期的计算机，系统总线的频率与CPU的主频、主板的工作频率（外频）相等。
- 现代的计算机，CPU的主频=外频 x 倍频，倍频可以是2倍、4倍等；系统总线采用双倍速（DDR: Double Data Rate）、4倍速（QDR: Quad Data Rate）等技术，系统总线频率=外频 x 2（或外频x4）。
- 系统总线经历了**单总线**结构、**双总线**结构（局部总线VESA）、**三总线**结构、**高速前端总线FSB**（南北桥结构）等阶段。
- 目前最新的系统总线是Intel公司的**QPI总线**，或AMD公司的**HT总线**。

VESA总线: Video Electronics Standards Association，视频电子标准协会

FSB总线: Front Side Bus，前端总线

QPI总线: Quick Path Interconnect，快速通道互联，也称为CSI（Common System Interface，公共系统接口），是一种可以实现芯片间直接互联的架构

HT总线: Hyper Transport，超级传输

– 3、I/O总线

- **I/O总线**主要用于连接计算机内部的中低速I/O设备，通过桥接器与高速总线相连接，目的是将低速设备与高速总线相分离，以提升总线的系统性能。
- 常见的I/O总线有PCI总线、PATA总线、SATA总线等，以及早期的ISA总线、EISA总线等。

– 4、外部总线

- **外部总线**主要用于连接计算机与外部设备，使其在计算机系统或计算机与其他系统（如控制仪表、移动通信等）之间进行数据通信，也称为**通信总线**。
- 常见的外部总线有EIA-RS-232C、RS485、IEEE-488、USB、IEEE 1394、eSATA等。
- 相对于外部总线，系统总线和I/O总线也称为**内部总线**。

PCI总线：Peripheral Component Interconnect，外设部件互连标准

PATA总线：Parallel Advanced Technology Attachment，并行高级技术附件规范

SATA总线：Serial Advanced Technology Attachment，串行高级技术附件规范

ISA总线：Industry Standard Architecture，工业标准体系结构

EISA总线：Extended Industry Standard Architecture，扩展的工业标准体系结构

EIA-RS-232C：美国电子工业协会在1960年制定的一种串行物理接口标准，其通信距离在20m以内

RS-485总线：对于远距离的串行通信，通常采用半双工的RS-485总线，其最远距离可达上千米

IEEE-488总线：HP公司在1960年发布的8位并行总线接口标准，也就是常说的并口，早期的打印机就使用IEEE-488总线接口

IEEE 1394总线：也称火线（Fire Wire）接口，Intel和Apple公司在1986年发布的一种高速异步串行总线标准

eSATA总线：external Serial Advanced Technology Attachment，连接外部存储设备的串行ATA总线，Intel、IBM、Dell等公司在2001年推出的硬盘接口规范

• 8.1.2 总线组成

- 总线系统包括一组连接各功能部件的**传输线缆**和**总线控制器**。
- **总线控制器**负责总线控制权的仲裁，以及总线资源的分配和管理，如果是扩展总线控制器，还需要进行总线协议的转换。
- 图8.2中的**BIU**（Bus Interface Unit，总线接口单元）就是总线控制器。

– 1、总线的功能

- （1）数据总线
- （2）地址总线
- （3）控制总线

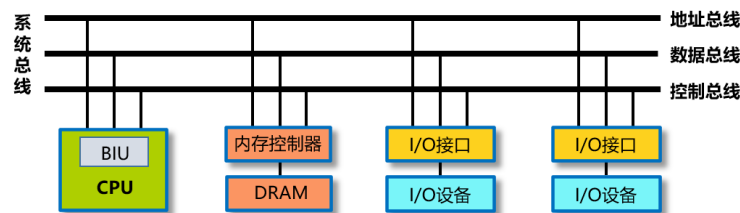


图8.2 总线互连方式

- **常见的控制信号**有：存储器读、存储器写、I/O读、I/O写、传输应答、总线请求、总线许可、总线正忙、中断请求、中断响应、时钟信号、复位信号等。

– 2、总线复用技术

- **复用总线**是指一组传输线具有多种用途，用于分时传送不同类型的信息。
- 如地址总线与数据总线复用（**AD₀ ~ AD₇**）；**DRAM**芯片的**行列地址线**也是复用的（图4.15）；总线复用可以减少引脚数目。

– 3、总线设备分类

- 可以拥有总线控制权并主动进行总线传输控制的设备称为**主设备**；而被主设备寻址访问的设备称为**从设备**；**CPU**、协处理器、**DMA**控制器（例如**Intel 8237**芯片）都可以获得总线控制权，从而作为主设备；**CPU**和协处理器还可以互为主从设备。
- **总线主控技术**：是指高速**I/O**设备内置了**DMA**控制器，无须第三方**DMA**控制器就可以直接获得总线控制权，在不需要**CPU**干预的情况下直接与主存进行数据交互；采用总线控制技术的**I/O**设备可以作为主设备，**MCA**、**EISA**、**PCI**等总线均支持总线主控技术。
- 表8.1：几种常见的主、从设备组合，可以看出内存只能是从设备。

表8.1 主从设备举例

主设备	从设备	功能说明
CPU	内存	取指令、取数据、写数据
CPU	I/O设备	初始化数据传输
DMA控制器	内存	第三方DMA数据传输
I/O设备	内存	总线主控I/O设备的第一方DMA数据传输
CPU	协处理器	CPU提交指令给协处理器
协处理器	CPU	协处理器从CPU取操作数

• 8.1.3 总线标准

- 不同厂商的设备要连接到同一总线上，必须遵循相同的**总线标准**；如IBM的PC/XT总线标准就直接开启了兼容机的时代。
- **总线标准**是关于总线及总线接口的物理特性、电气特性、功能特性与时间特性的详细规范和协议；总线标准包括：
 - ① **机械规范**：规定总线的物理连接方式，包括总线的线数，总线的插头，插座的形状、尺寸，引脚线排列方式的规范等。
 - ② **电气规范**：定义总线信号的传递方向及有效电平。
 - ③ **功能规范**：约定总线中每一根线的功能。
 - ④ **时序规范**：明确每根线的信息在什么时间有效，也就是明确总线上各信号有效的时序关系。

• 8.1.4 总线与三态门

- **三态**：低电平0、高电平1、高阻态；三态门也称**三态缓冲器**，其输出信号驱动能力较高。
- 三态门**等效电路**（图8.3）： $\text{Enable}=1$ ， $Q=A$ ； $\text{Enable}=0$ ， $Q=Z$ （Z表示高阻态）。
- 三态门可以用于**总线的输出控制**（图8.4）：通过三态门和译码器，可以实现同一时刻只有一个部件向总线输出。
- 三态门还可以用于构成**有向总线**（图8.5）：单向总线（单工通信， $\text{EN}_{AB}=1$ ， $A \rightarrow B$ ）；双向总线（半双工通信， $\text{EN}_{AB}=1$ ， $A \rightarrow B$ ； $\text{EN}_{BA}=1$ ， $B \rightarrow A$ ）。

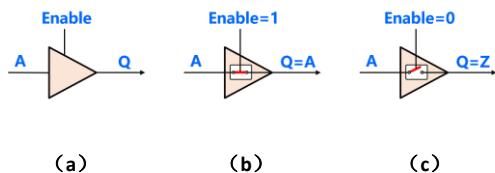


图8.3 三态门及其等效电路

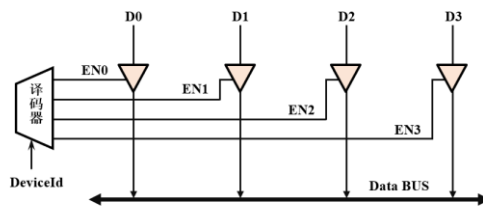
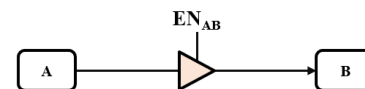
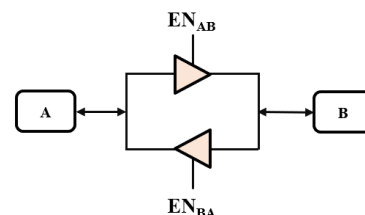


图8.4 基于三态门的输出缓冲



(a) 单向总线



(b) 双向总线

图8.5 基于三态门的单/双向总线

• 8.1.5 总线性能指标

- (1) **总线宽度**：即数据总线的根数，如8位、16位、32位等。
- (2) **总线时钟频率**：时钟频率越快，传输速率越高；早期计算机的总线时钟频率与CPU的时钟频率相同，现代计算机CPU的频率要高于总线的时钟频率。
- (3) **总线传输周期**：指一次总线操作完成所需要的时间，包括总线申请阶段、寻址阶段、传输阶段、结束阶段等4个阶段的时间，简称总线周期。
- (4) **单时钟传输次数**：指一个总线时钟周期内传输数据的次数，通常为1；DDR技术，在时钟的上、下跳沿分别传输一次数据，该值为2；QDR技术，该值为4；AGP x8总线，该值为8；因此，总线实际工作频率=总线时钟频率 x 单时钟传输次数。
- (5) **总线带宽**：指在总线上的最大数据传输速率，单位为MB/s或GB/s；总线带宽计算公式：
 - 同步总线带宽 = 总线宽度 x 总线时钟频率 x 单时钟传输次数。
 - 表8.2：常见的总线带宽。
- (6) **总线负载能力**：指总线上能同时连接的设备数；如PCI总线插槽通常只能外接3个扩展设备。

表8.2 常见总线带宽

总线标准	总线宽度	总线时钟频率	单时钟传输次数	总线带宽
ISA-8	8	8.3 MHz	1	8 MB/s
ISA-16	16	8.3 MHz	1	16 MB/s
EISA	32	8.3 MHz	1	33 MB/s
MCA	32	10 MHz	1	40 MB/s
VESA	32	33 MHz	1	133 MB/s
PCI-32	32	33/66 MHz	1	133/266 MB/s
PCI-64	64	66 MHz	1	533 MB/s
AGP	32	66 MHz	1	266 MB/s
AGP*8	32	66 MHz	8	2133 MB/s
ATA133	16	66 MHz	1	133 MB/s
SCSI-3	16	80 MHz	4	640 MB/s
FSB	64	400 MHz	4	12.8 GB/s

ISA: Industry Standard Architecture, 工业标准体系结构

EISA: Extended Industry Standard Architecture, 扩展的工业标准体系结构

MCA: Micro Channel Architecture, 微通道体系结构

VESA: Video Electronics Standards Association, 视频电子标准协会

PCI: Peripheral Component Interconnect, 外设部件互连标准

AGP: Accelerated Graphics Port, 加速图形端口

ATA: Advanced Technology Attachment, 高级技术附件

SCSI: Small Computer System Interface, 小型计算机系统接口

FSB: Front Side Bus, 前端总线

- 例8.1：某32位同步总线时钟频率为400MHz，每个总线时钟周期可以传输一个机器字，为优化总线性能，将总线宽度增加到64位，并采用了QDR技术，一个总线时钟周期可以传输4次，则总线带宽是多少？提高了多少倍？
- 解：
 - QDR: Quad Data Rate, 4倍数据速率
 - 优化前：同步总线带宽 = 总线宽度 × 总线时钟频率 × 单时钟传输次数 = 32位 × 400 × 1 = 1.6GB/s
 - 优化前后：同步总线带宽 = 总线宽度 × 总线时钟频率 × 单时钟传输次数 = 64位 × 400 × 4 = 12.8GB/s
 - 提高了8倍 (12.8/1.6=8)

8.2 总线传输机制

8.2.1	总线传输过程
8.2.2	总线的信息传送
8.2.3	总线仲裁
8.2.4	总线定时

• 8.2.1 总线传输过程

— 一次完整的**总线传输过程**，依时间先后顺序，可细分为4个阶段：

- ① **请求阶段**：主设备发出总线请求信号，总线控制器将总线使用权分配给主设备；请求阶段可以细分为传输请求和总线仲裁两个阶段。
- ② **寻址阶段**：主设备发出从设备的地址（存储器地址或I/O端口地址），以及有关控制命令，启动相应的从设备。
- ③ **传输阶段**：也称数据阶段，主设备和从设备之间进行数据传输。
- ④ **结束阶段**：传输结束后，主设备撤销总线请求，释放总线控制权。

- 通常将总线上一对主从设备之间的一次信息交换过程称为一个**总线事务**。
- 典型的**总线事务类型**有：存储器读、存储器写、I/O读、I/O写、中断响应、DMA响应等。
- **普通模式**总线传输：由一个寻址阶段和一个数据阶段组成；一次只能传输一个计算机字长的数据信息，总线传输效率低。
- **突发（猝发）模式**总线传输（**Burst Mode**，也称为成组传送事务）：由一个寻址阶段和多个数据阶段组成，一次可以传输多个计算机字长的数据信息，总线传输效率高。
- 图8.6：普通模式总线传输和突发模式总线传输对比。

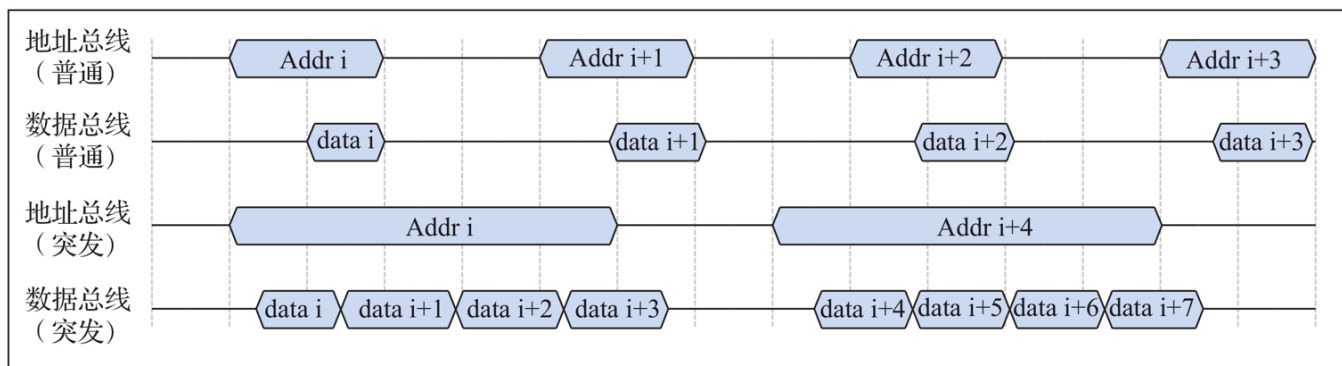


图8.6 普通模式总线传输和突发模式总线传输对比

• 8.2.2 总线的信息传送

– 1、信息的传送方式

• （1）并行传送

- **并行传送**（图8.7a）的优点是传送速度快；缺点是线数多、成本高，传输距离较长时会产生时钟偏移问题。
- 计算机中的**系统总线**普遍采用并行传输方式；但是，当传输频率过高时，会引起线间串扰问题，存在高频障碍；因此，**现代总线**逐渐向高频串行总线发展，如PCIe、SATA等高速串行总线。

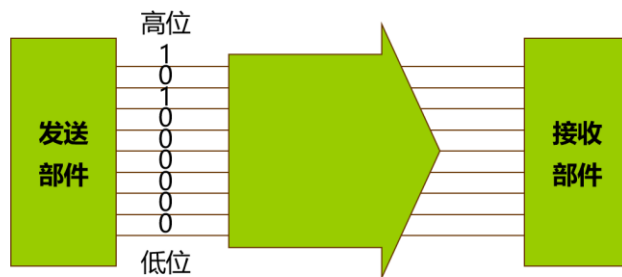


图8.7a 信息的传送方式（并行传送）

- (2) 串行传送

- 串行传送（图8.7b）的优点是传送成本低且传输距离远（最远可达几千米）；缺点是同等频率下比并行方式的传输速率低。
- 根据传送方向的不同，串行传送方式可以进一步分为：单工、半双工、全双工等3种方式（图8.8）。



图8.7b 信息的传送方式（串行传送）

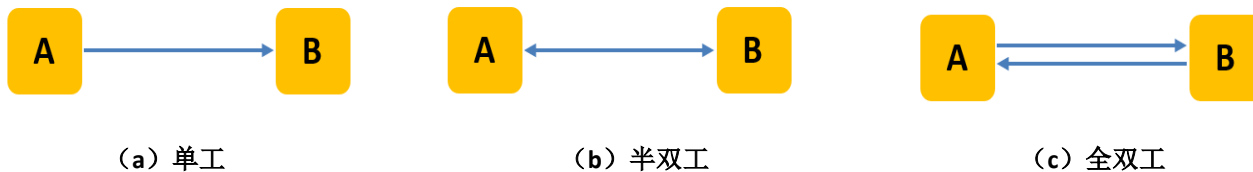


图8.8 3种数据传输方式

— 根据定时方式的不同，串行传送可分为同步串行通信和异步串行通信等2种方式：

- **同步串行通信**（图8.9）：传输双方采用统一时钟，将多个字节数据组成一个信息帧进行传输，每帧的开始为同步字符，结尾为结束字符，中间为若干个字节的数据（几十~几千个字节），以及CRC校验字节。
- **异步串行通信**（图8.10）：传输双方各自都有独立的时钟，信息帧长度固定，一个信息帧包括1个起始位（低电平）、5~7位有效数据、奇偶校验位（可以没有）、1~2个停止位（高电平）；常见的RS-232C和RS-485串行总线均采用异步串行通信方式。



图8.9 同步串行传输帧格式

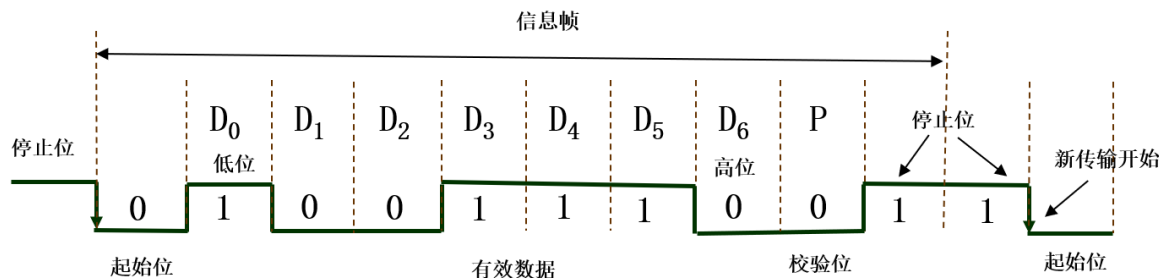


图8.10 异步串行传输帧格式

- **波特率**：串行通信通常用波特率来描述传输速率，即每秒传送的二进制位数，单位：**bit/s**。
- **数传率**：也称**比特率**，是指每秒传送的有效数据位；数传率小于波特率。
- 常见的波特率标准有：**1200bit/s、2400bit/s、4800bit/s、9600bit/s、14400bit/s（14.4Kbit/s）**；书上这里有误。
- **例8.2**：若异步串行传输的信息帧由**1**个起始位、**7**个数据位、**1**个奇偶校验位和**1**个停止位等**10**个数位构成，线路每秒传送**120**个字符，分别计算**波特率**和**数传率**。
- 解：**波特率=10x120=1200bit/s；数传率=7x120=840bit/s。**

- **直流平衡问题（DC Balance）**：高速串行总线在传送多个连续的“1”或“0”时，可能会因为信号转换中的电压位阶关系，造成接收数据错误。
- **解决方法**：通常会将传输数据进行特殊编码后，再进行传输；例如在5个连续的“1”或“0”后，插入1位“0”或“1”，称为8bit/10bit编码方式，其编码效率为80%。
- 常见的USB 3.0、IEEE 1394b、SATA、PCIe、Fiber Channel、InfiniBand等高速串行总线中都采用了8bit/10bit编码方式；还有一些高速串行总线采用编码效率更高的64bit/66bit、128bit/130bit编码方式（ $64/66=97\%$ ， $128/130=98.5\%$ ）。
- **多组串行通路并发**：例如PCIe x 1、PCIe x 4、PCIe x 16的并发通路数分别为1、4、16；此时：**串行总线带宽 = 总线时钟频率 × 编码效率 × 并发通路数**。
- 常见的串行总线带宽（表8.3）。

表8.3 常见串行总线带宽

总线标准	总线宽度	传输方向	总线时钟频率	编码效率	总线带宽
PCIe 1.0	1	全双工	2.5 GHz	8bit/10bit	250 MB/s
PCIe 3.0 x16	1 * 16	全双工	8 GHz	128bit/130bit	15.8GB/s
IEEE1394b	1	半双工	4 GHz	8bit/10bit	400MB/s
USB 3.0	1	半双工	5 GHz	8bit/10bit	500MB/s
SATA-3	1	半双工	6 GHz	8bit/10bit	600MB/s

- 例8.3: 现在Intel公司最新CPU中已经集成了PCIe 3.0的显卡接口, 其工作频率高达8GHz, 最大并行通路数为40路, 总线编码方式为128bit/130bit, 支持全双工传输, 尝试计算**PCIe总线带宽**。
- 解:
 - 单向带宽=总线时钟频率 x 编码效率 x 并发通路数 = $8\text{GHz} \times (128/130) \times 40 = 315\text{ Gbit/s} = 39.4\text{ GB/s} \approx 40\text{ GB/s}$
 - 全双工模式的总线带宽 = $2 \times 39.4\text{ GB/s} = 78.8\text{ GB/s} \approx 80\text{ GB/s}$

- (3) 并串行传送

- 并串行传送是将信息分成若干组，组内采用并行传送，组间采用串行传送。
- 例如，Intel 8088 CPU，CPU内部总线为16位，系统总线（CPU外部总线）只有8位；CPU与主存或外设的通信就是采用并串行传送，即将一个16位字分成两个连续的8位字节进行串行传送。
- 例8.3的PCIe 3.0 x 40也是一种并串行传送方式，总线内部为40位（40路）并行，总线外部为1位串行。

- (4) 分时传送

- 分时传送有两种含义：
 - ① 总线复用技术必须分时传送：例如地址线与数据线复用（ $AD_0 \sim AD_7$ ），先传送地址，后传送数据。
 - ② 共享总线的部件必须分时使用总线：挂在总线上的部件可以有很多，但同一时刻总线使用权只能由一个主设备控制。

– 2、数据传送模式

- 当前的总线标准，大多数支持以下**4类数据传送模式**：

① 读、写操作

» 读操作是由从设备到主设备的数据传送，写操作是由主设备到从设备的数据传送。

② 块传送操作

» 只需要给出数据块的起始地址，然后逐个地读出或写入数据块中的每一个字即可；也称为**突发传送模式**。

③ 写后读、读修改写操作

» 只需要给出地址一次，就可以完成先写后读（用于达到校验的目的），或者先读后写的操作（用于在多个程序系统对共享存储资源的保护）。

④ 广播、广集操作

» **广播**：一个主设备对多个从设备进行写操作。

» **广集**：将选定的多个从设备数据，在总线上完成逻辑与（逻辑或）的操作，以检测多个中断源。

• 8.2.3 总线仲裁

- **总线仲裁**：当总线上存在多个主设备时，需要有一个总线控制器，来解决总线使用权的分配仲裁问题，以决定哪一个主设备获得总线使用权；总线仲裁也称为总线控制、总线裁决/判优。
- **活动主设备**：获得总线控制权的主设备称为活动主设备。
- 总线仲裁分为集中式仲裁和分布式仲裁两种：
 - 1、集中式仲裁
 - **集中式仲裁**将总线裁决的逻辑集中在一起（如设置一个单独的总线控制器），或者将它放在CPU中。
 - 集中式仲裁又分为链式查询、计数器定时查询和独立请求等3种方式。

- (1) 链式查询方式

- 链式查询方式也称为菊花链（Daisy）查询方式。
- 有3根控制线：总线请求信号线BR（Bus Request）、总线许可信号线BG（Bus Grant）、总线忙信号线BS（Bus busy）。
- 链式查询方式的优点：结构简单、控制线少（3根）、扩充容易。
- 链式查询方式的缺点：各设备优先级固定（接口1优先级最高，接口n优先级最低），优先级高的设备频繁使用总线时，会使优先级低的设备长时间不能使用总线（该现象称为饥饿现象）。

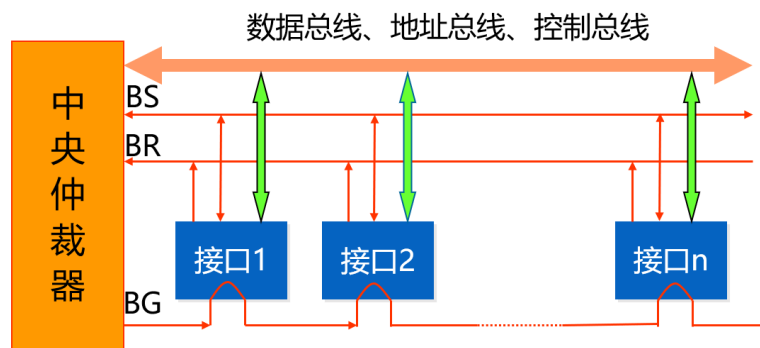


图8.11 链式查询方式

• (2) 计数器定时查询方式

- **计数器定时查询方式**采用一个计数器控制总线的使用权，用一组计数器地址线代替总线许可信号线**BG**。
- 当总线控制器收到总线请求信号**BR**且总线空闲时，设备地址计数器开始计数；当计数值与请求使用总线设备的地址（即接口号**1~n**）一致时，对应的主设备获得总线控制权。
- 计数器的初值可以由程序设定；通过设置不同的初值，就可以动态地改变设备的优先级：
 - 如初值为5，则接口5的优先级最高。
 - 如初值固定为0，则优先级与链式查询方式一致。
 - 如初值为上次获得总线使用权的设备地址，并且采用循环计数方式，则所有设备的优先级都是一样的。
- 计数器定时查询方式的**优点**：可以灵活调整设备优先级，能有效避免发生单点故障。
- 计数器定时查询方式的**缺点**：控制较复杂，需要更多的控制信号线，控制线数量= $2 + [\log_2 n]$ （ $[\]$ 表示取整）。

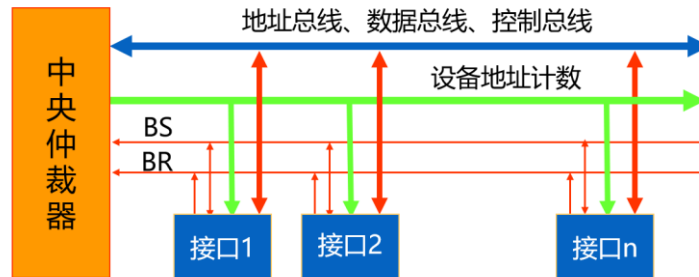


图8.12 计数器定时查询方式

- (3) 独立请求方式

- **独立请求方式**每个主设备均有一组专属的总线请求信号线 BR_i 和总线许可信号线 BG_i ；总线控制器按一定的优先次序决定响应哪个设备的总线请求。
- 独立请求方式的**优点**：优先级策略最为灵活，总线许可信号 BG 不再需要逐个地对设备进行串行查询，属于并行仲裁，响应时间快。
- 独立请求方式的**缺点**：总线控制器最为复杂，所需控制线最多（ $2n+1$ 根）。
- **分组链式的仲裁方式**（链式查询方式与独立请求方式的结合）：包括多个菊花链，每个菊花链具有一对独立的总线请求和总线许可信号；摩托罗拉公司的VME总线就是采用分组链式的仲裁方式。

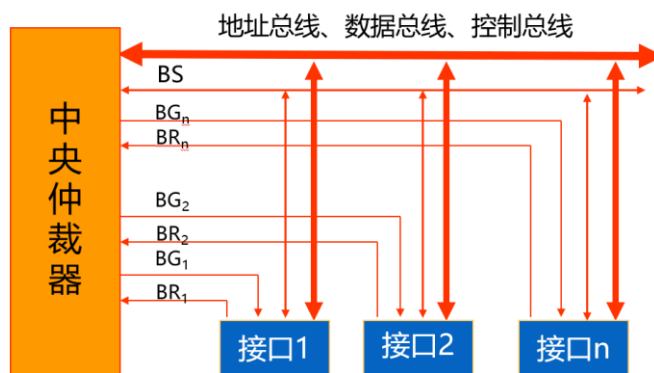


图8.13 独立请求方式

– 2、分布式仲裁

- **分布式仲裁**将总线裁决的逻辑分散在总线上连接的各个主设备中，不需要中央仲裁器。
- 分布式仲裁分为自举分散式仲裁、并行竞争仲裁、冲突检测分散式仲裁等3类。
- (1) 自举分散式仲裁
 - **自举分散式仲裁**每个主设备有专属的总线请求信号 BR_i ，总线忙信号 BS 则共享；每个主设备的仲裁器只连接并监测比自己优先级高的总线请求信号 BR_i 。
 - 总线仲裁期间，每个需要请求使用总线的主设备，都将监测所有更高优先级设备的请求信号；如果发现其他高优先级的设备没有发出总线请求信号，则可获得总线控制权；否则不能使用总线控制权。
 - 自举分散式仲裁的控制线数量为 $n+1$ 根；SCSI总线采用自举分散式仲裁。

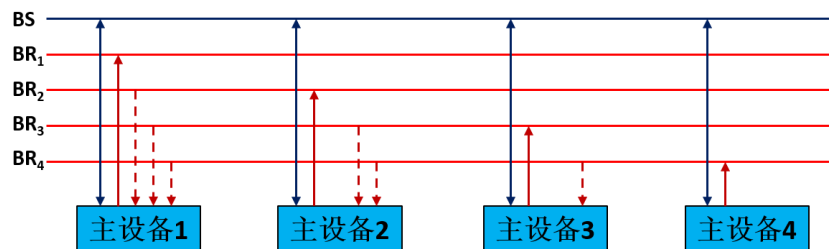


图8.14 自举分散式仲裁

- (2) 并行竞争仲裁

- 并行竞争仲裁不再使用单根的总线请求信号 BR_i ，而是采用编码的方式表示设备的总线请求信号。
- 并行竞争仲裁和自举分散式仲裁的原理类似，但所需的连接线更少。
- 例如，16个主设备如果采用自举分散式仲裁，需要16根总线请求信号 $BR_1 \sim BR_{16}$ ；如果采用编码方式，则只需要4根总线请求信号 $BR_1 \sim BR_4$ 。
- 并行竞争仲裁的控制线数量为 $1 + \lceil \log_2 n \rceil$ 。
- Furturebus+总线采用并行竞争仲裁。

- (3) 冲突检测分散式仲裁

- 冲突检测分散式仲裁中每个设备独立地请求使用总线。
- 当多个同时申请使用总线的设备发生冲突时，发生冲突的设备停止总线申请，延迟一个时间段后，再重新发出总线请求。
- 网络协议中的以太网协议采用冲突检测分散式仲裁。

• 8.2.4 总线定时

- 常见的**总线通信定时方式**有同步方式、异步方式、半同步方式和分离事务通信方式等4种。

– 1、同步定时

- **同步定时方式**下通信双方均在统一总线时钟控制下进行信息传输。
- 图8.15为同步方式下存储器读操作时序，分为3个阶段：寻址阶段、数据阶段、结束阶段。
- 图8.16为同步方式下存储器写操作时序。
- 同步定时最大的**优点**是主、从设备协调简单，传输速率高；**缺点**是同步时钟频率取决于总线上最慢的设备，总线不能太长，可靠性不高。
- 同步定时适合于总线长度短、设备速度相近且传输可靠性高的应用场合，如直接与CPU相连的系统总线。

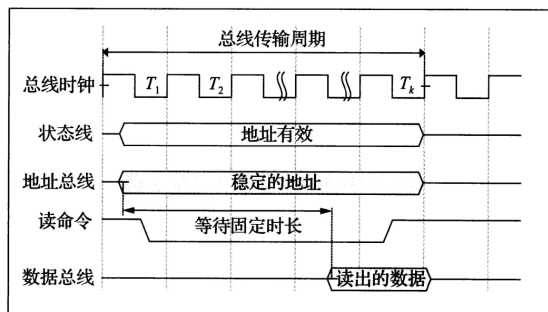


图8.15 同步方式下存储器读操作时序

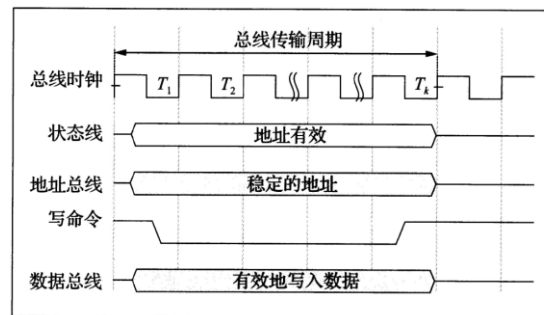


图8.16 同步方式下存储器写操作时序

- 例8.4：假定某总线的时钟频率为1GHz，每次总线传输需要1个时钟周期，总线的数据总线宽度为64位，存储器的存储周期为两个时钟周期，求同步方式下CPU从该存储器中读一个存储字时总线的**数据传输率**为多少？

• 解：

– 总线时钟周期= $1/1\text{GHz}=1\text{ns}$

– 同步方式下存储器读操作所需要的时间：

① 寻址阶段：需要1个时钟周期，1ns。

② 存储器读数据并传输到数据总线：需要1个存储周期（即2个时钟周期，2ns）。

③ CPU从数据总线取走数据：需要1个总线周期，即1个时钟周期（每次总线传输需要1个时钟周期），1ns。

– 总时间= $1\text{ns}+2\text{ns}+1\text{ns}=4\text{ns}$

– **数据传输率**= $64\text{位}/4\text{ns}=16\text{Gbit/s}=2\text{GB/s}$

– 2、异步定时

- **异步定时方式**不需要统一时钟信号，主、从设备之间通过握手协议进行异步通信。
- 异步实时方式使得高速设备可以和慢速设备通信，有效规避了同步定时中的时钟偏移问题，总线传输距离更长。
- 图8.17为异步方式下存储器读操作时序；应答信号ACK（acknowledge，确认）。
- 图8.18为异步方式下存储器写操作时序。

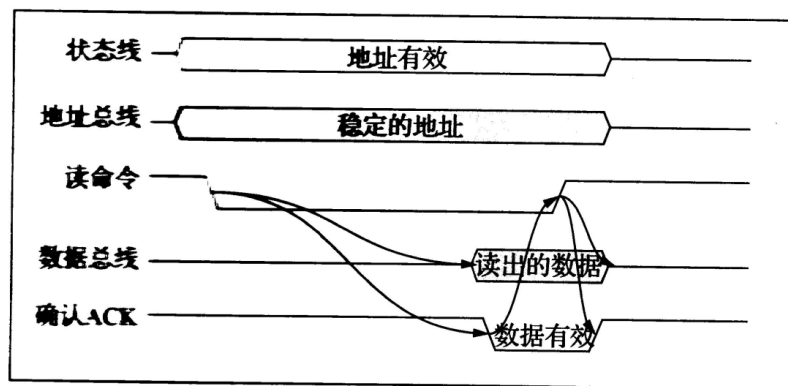


图8.17 异步方式下存储器读操作时序

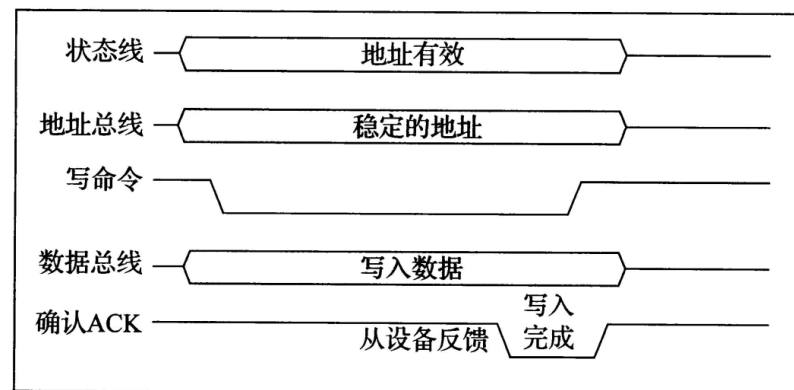


图8.18 异步方式下存储器写操作时序

- 根据异步定时中请求信号REQ与应答信号ACK的建立和撤销是否相互依赖，异步定时可分为非互锁、半互锁、全互锁等3种方式（图8.19）：

- ① **非互锁方式**：主设备发出请求信号REQ，从设备收到后会进行响应，完成请求后给出应答信号ACK，一段时间后，主、从设备分别撤销请求信号REQ和应答信号ACK；该方式只有一次握手（图中的一个箭头）。
- ② **半互锁方式**：主设备请求信号REQ的撤销依赖于从设备应答信号ACK的建立，需要两次握手（图中的两个箭头）。
- ③ **全互锁方式**：从设备应答信号ACK的撤销也依赖于主设备请求信号REQ的撤销，需要三次握手（图中的三个箭头）。

- 图8.20为全互锁方式存储器读操作时序：CPU为主设备，存储器为从设备，地址总线和数据总线复用。

- 图8.20中，①、②、③为一次全互锁过程（图中ReadReq相当于REQ）；⑤、⑥、⑦为另一次全互锁过程（图中DataRdy相当于REQ）；④为存储器将数据送入数据总线上的过程。

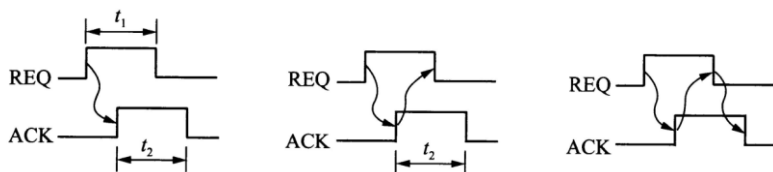


图8.19 异步通信的3种方式

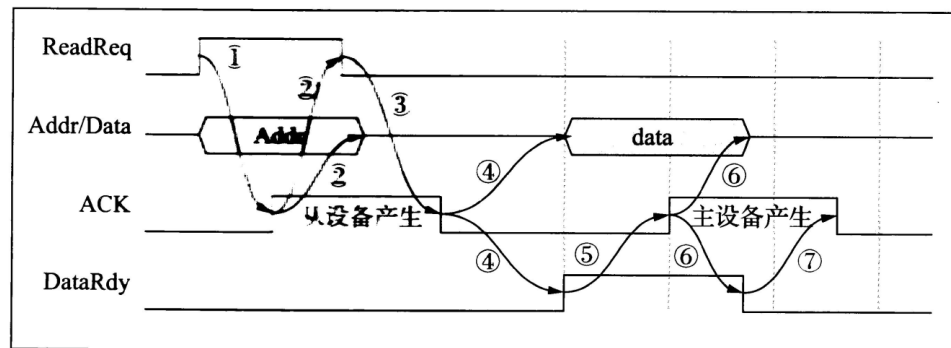


图8.20 全互锁异步方式下存储器读操作时序

– 3、半同步定时

- **半同步定时方式**是同步定时和异步定时的结合。
- 图8.21为半同步通信方式下存储器读操作时序；是在图8.15同步存储器读时序的基础上引入一个等待信号**Wait**，**Wait**高电平表示存储器还没有准备好数据。
- 图8.21中（半同步定时），如果存储器没有准备好数据，则**Wait**一直是高电平，CPU需要一直等待（插入等待周期）。
- 图8.15中（同步定时），CPU等待一个固定的时长后，默认存储器已经将数据送入数据总线，会自动取走数据总线上的数据。

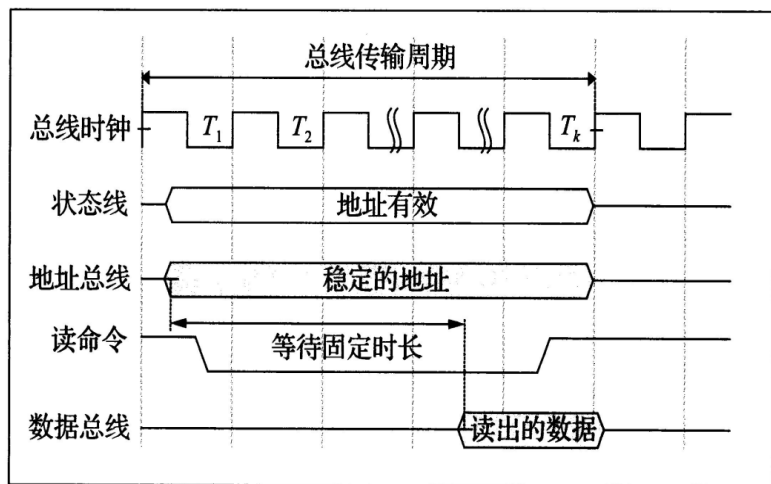


图8.15 同步方式下存储器读操作时序

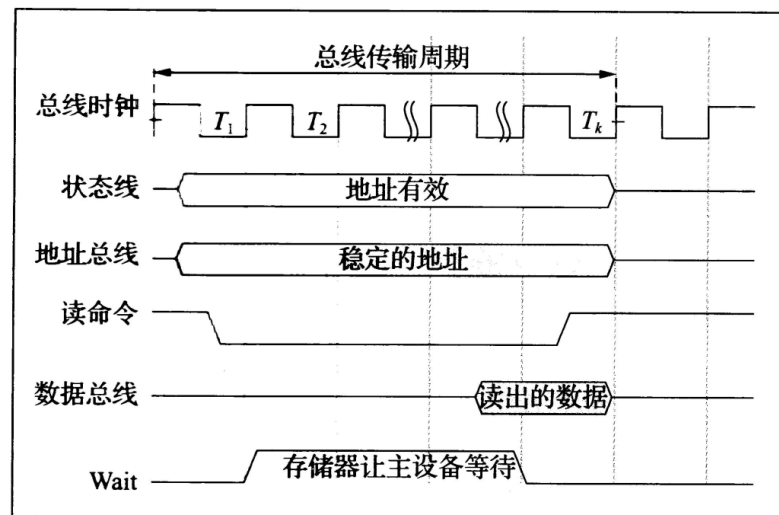


图8.21 半同步通信方式下存储器读操作时序

– 4、分离事务通信方式

- 图8.21中，Wait处于高电平时（存储器准备数据的过程），总线不能进行任何操作，白白浪费了若干时钟周期。
- 如果此时能够释放总线，主设备等待的时钟周期就可以用于处理其他总线事务；**分离事务通信协议（Split Transaction Protocol）**就采用了这种思想。
- 分离事务通信协议中**总线的交互过程**：
 - ① 主设备向从设备发出读请求信号，给出地址和请求命令。
 - ② 当从设备进行应答后，主设备立即释放总线控制权。
 - ③ 从设备准备数据，此时总线用于处理其他总线事务。
 - ④ 从设备准备好数据后，将作为主设备重新申请使用总线，并将数据放置在数据总线上。
 - ⑤ 原主设备通过总线接收数据。
- 分离事务通信方式大大提高了总线利用率，但是其控制方式更加复杂；PCIe总线支持分离事务通信协议；SCSI总线也有类似机制。

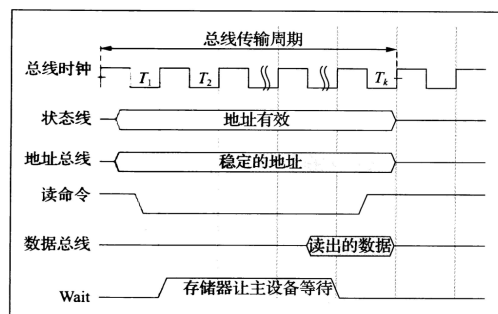


图8.21 半同步通信方式下存储器读操作时序

8.3 总线结构

8.3.1	单总线结构
8.3.2	双总线结构
8.3.3	三总线结构
8.3.4	高性能总线结构

• 8.3.1 单总线结构

- 图8.22为单总线结构计算机的示意图；只有一个总线（系统总线，也称为全局总线）。
- 单总线结构中的I/O设备必须通过I/O接口与系统总线相连。
- 图8.22中的显卡采用集成显卡的方式与系统总线直接相连；显卡也可以采用独立显卡的方式插入扩展槽，与系统总线相连。
- 单总线结构方式的优点是：结构简单，使用灵活，扩充新设备容易；缺点是：高速设备的高速特性得不到发挥，系统总线负载重，计算机系统性能差。

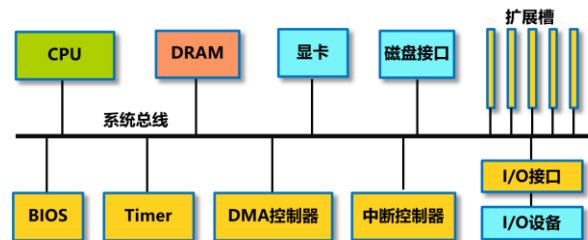


图8.22 单总线结构示意图

• 8.3.2 双总线结构

- 图8.23为以主存为中心的**双总线结构**计算机的示意图；包括**系统总线**和**存储总线**（存储总线也称为**主存总线**），双端口存储控制器（也称为**内存控制器**）同时连接存储总线和系统总线。
- 图8.23中CPU通过存储总线访问主存，通过系统总线访问外部设备，外部设备与主存之间、CPU与主存之间的数据传送可并行进行。
- 图8.24为采用桥接器的**双总线结构**计算机系统示意图；包括**系统总线**（局部总线）和**I/O总线**（ISA总线）。
- 图8.24中将CPU、主存以及一些高速设备（显卡、SCSI、高速网卡等），直接连接在系统总线（局部总线）上；将慢速的I/O设备全部挂在I/O总线（ISA总线）上；系统总线和I/O总线之间通过**桥接器**（ISA桥）相连；计算机中的**VESA总线**属于局部总线，**VESA总线**也称为**VL-BUS**。

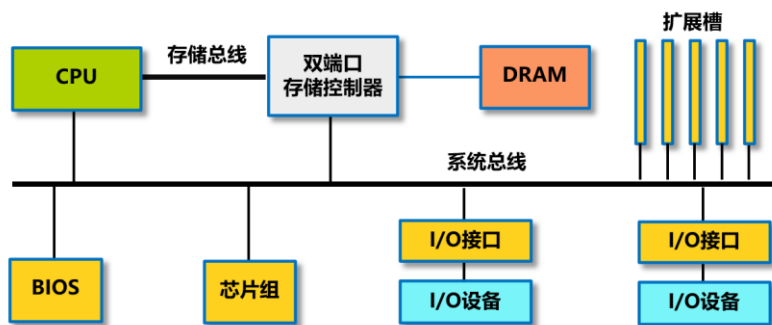


图8.23 以主存为中心的双总线结构

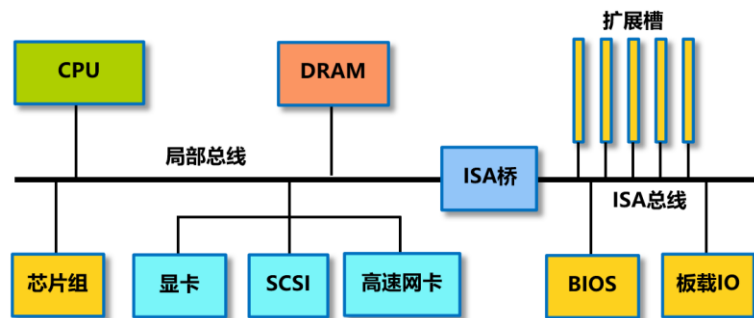


图8.24 采用桥接器连接的双总线结构

• 8.3.3 三总线结构

- 图8.25a为**三总线结构**计算机系统示意图；包括**HOST总线**、**PCI总线**和**ISA总线**（HOST总线也称为CPU总线、系统总线；ISA总线也称为遗留总线，Legacy Bus）。
- 图8.25a中CPU、DRAM连接在HOST总线上；显卡、磁盘等高速设备连接在PCI总线上；低速设备（串口、并口、BIOS、定时器Timer）连接在ISA总线上；PCI桥连接HOST总线和PCI总线；PCI/ISA桥连接PCI总线和ISA总线。
- 图8.25b为采用南北桥结构的奔腾计算机总线结构。
- 另外一种三总线结构的计算机：**主存总线**、**DMA总线**、**I/O总线**；个人计算机一般不采用这种三总线结构。

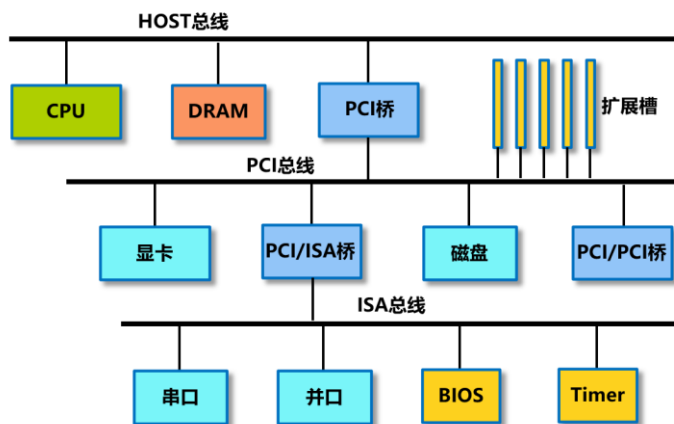


图8.25a 三总线结构

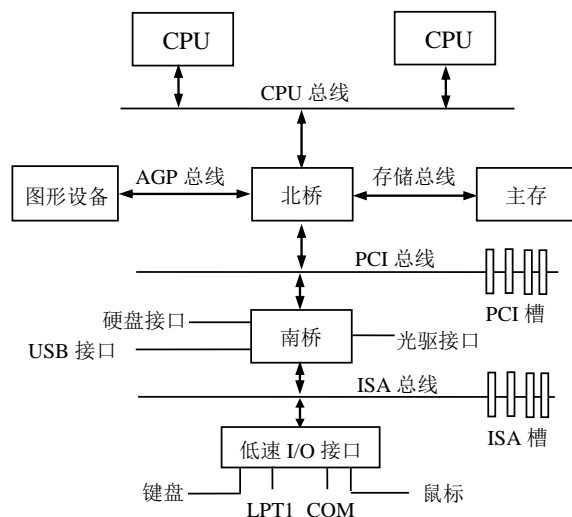


图8.25b 采用南北桥结构的奔腾计算机总线结构

• 8.3.4 高性能总线结构

– 1、采用前端总线的南北桥结构

- 图8.26为采用**前端总线**（FSB: Front Side Bus）的64位Pentium 4 微机的总线基本结构。

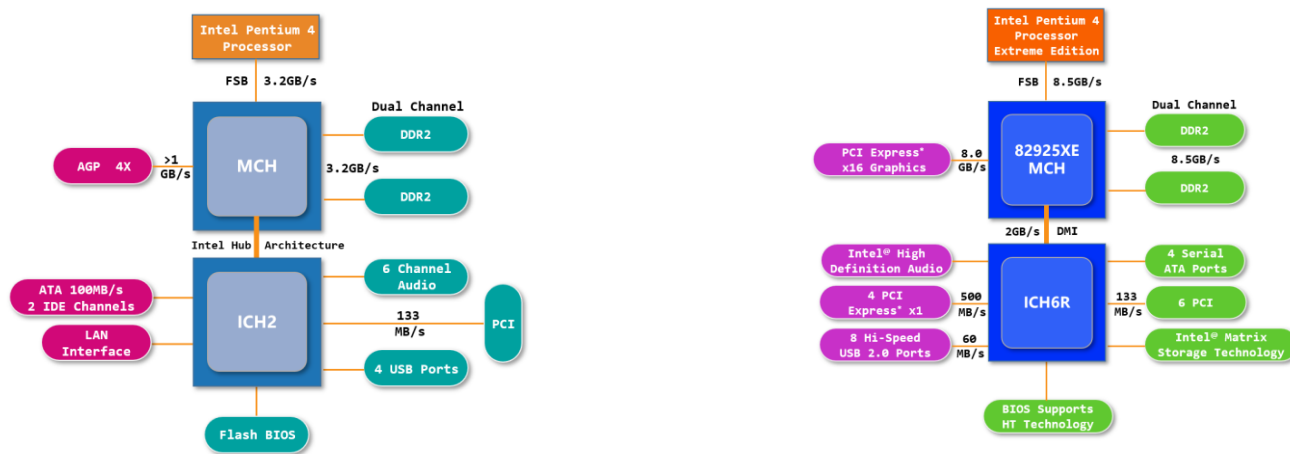


图8.26 采用前端总线的计算机系统总线结构

MCH: Memory Controller Hub, 北桥芯片

ICH2: I/O Controller Hub, 南桥芯片

FSB: Front Side Bus, 前端总线

IHA: Intel Hub Architecture, Intel Hub 架构总线

BSB: Back Side Bus, 后端总线, 是早期CPU连接板载二级cache的总线

Intel Pentium 4 Processor: Intel Pentium 4 处理器

AGP 4X: AGP总线插槽, 用于连接AGP显卡

DDR2 (双通道): DDR2内存条插槽, 用于连接DDR2 SDRAM内存条

ATA 100MB/s 2 IDE Channels: ATA接口, 用于连接IDE硬盘

LAN Interface: 网络接口

6 Channel Audio: 6通道音频接口

PCI: PCI插槽

4 USB Ports: 4个USB接口

Flash BIOS: 采用Flash ROM的BIOS

- **前端总线**（FSB: Front Side Bus, 图8.27）用于连接CPU和北桥芯片（MCH）。
- 前端总线的带宽=100MHz x 4 x 8Byte = 3.2GB/s。
 - 外频=100MHz；4（指采用QDR技术）；数据总线为64位=8Byte。
- 内存通道的性能（带宽）=100MHz x 2倍 x 8Byte x 2通道 = 3.2GB/s。
 - 外频=100MHz；2倍（指DDR2）；数据总线为64位=8Byte；2通道（图8.26中有2个DDR2通道）。
- **北桥芯片**（MCH: Memory Controller Hub）用于连接高速的CPU、AGP显卡、内存（DDR2）和南桥芯片（ICH2）。
- **南桥芯片**（ICH2: I/O Controller Hub, 图8.28）集成了IHA总线Hub接口、实时时钟控制器RTC、中断控制器、GPIO端口、IDE内存接口、电源管理模块、网络接口、音频接口、PCI总线控制器、USB总线控制器、SMBUS、SMI、LPC总线接口、BIOS等设备。

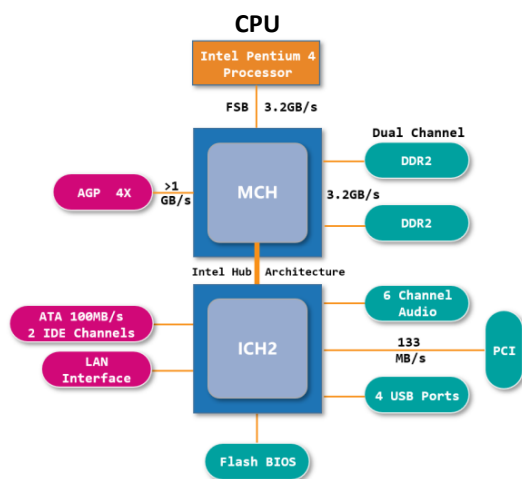


图8.26 采用前端总线的计算机系统总线结构

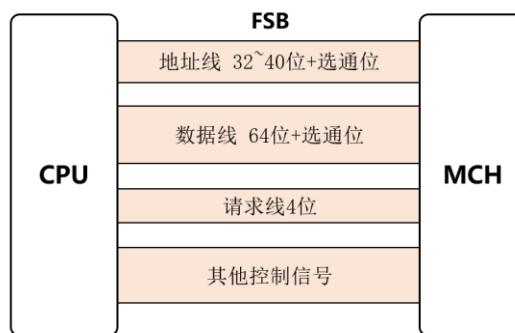


图8.27 前端总线内部结构

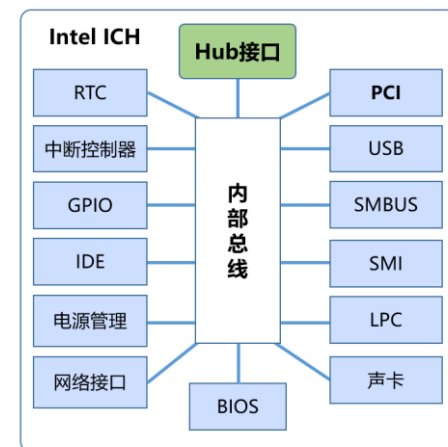


图8.28 南桥芯片内部结构

– 2、采用QPI总线南北桥结构

- 图8.26为采用**QPI总线**（Quick Path Interconnect）的Intel Core i7 处理器的总线结构。
- 比较图8.29和图8.26：用**QPI总线**代替前端总线（FSB）；用**DMI总线**（Direct Media Interface）代替IHA总线（Intel Hub Architecture）；DDR3内存条（3个通道）直接与CPU连接。

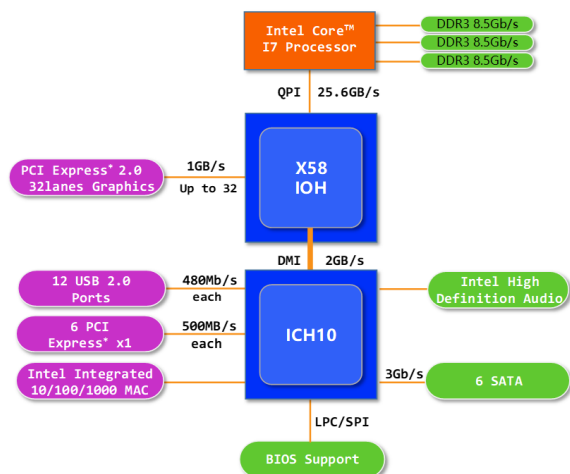


图8.29 采用QPI总线的计算机系统总线结构

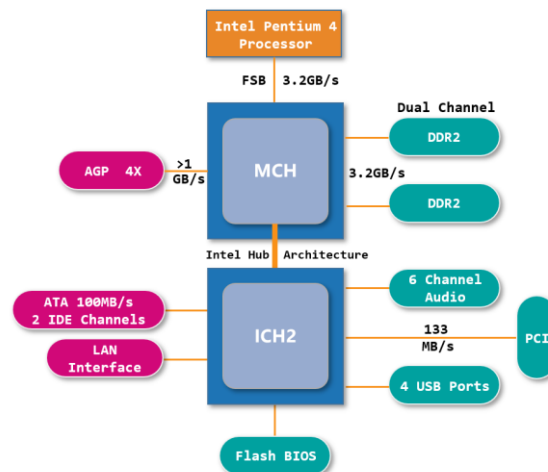


图8.26 采用前端总线的究竟是系统总线结构

QPI: Quick Path Interconnect, 快速通道互联总线
X58 IOH: I/O Hub, 北桥芯片
ICH10: I/O Controller Hub, 南桥芯片
DMI: Direct Media Interface, 直接媒体接口总线
LPC: Low Pin Count, LPC总线, 用于连接一些“老旧”设备
SPI: Serial Peripheral Interface, 串行外设接口
PCI Express 2.0 32 lanes Graphics: 连接显卡
12 USB 2.0 Ports: 12个USB口
6 PCI Express x 1: 6个PCI插槽
Intel Integrated 10/100/1000 MAC: 连接网卡
Intel High Definition Audio: 音频接口
6 SATA: 连接硬盘
BIOS Supports: 连接BIOS芯片

- **QPI总线**用于连接CPU和北桥芯片X58 IOH（图8.30），代替前端总线FSB（图8.27），直接对标AMD公司的HT总线（Hyper Transport）。
- **QPI总线带宽** = 每秒传输次数（QPI频率）x 单次传输的有效数据（2Byte）x 双向 = 6.4GT/s x 2Byte x 2 = 25.6 GB/s。
- **北桥芯片**（X58 IOH）用于连接高速的CPU、PCI Express 2.0显卡和南桥芯片（ICH10），北桥芯片内部采用交换结构（Switch）进行连接，大大提升了系统性能。
- **南桥芯片**（ICH10）集成了DMI总线接口、SATA存储接口、网络接口、音频接口、PCIe总线控制器、USB总线控制器、BIOS接口，用于中速设备的互连。

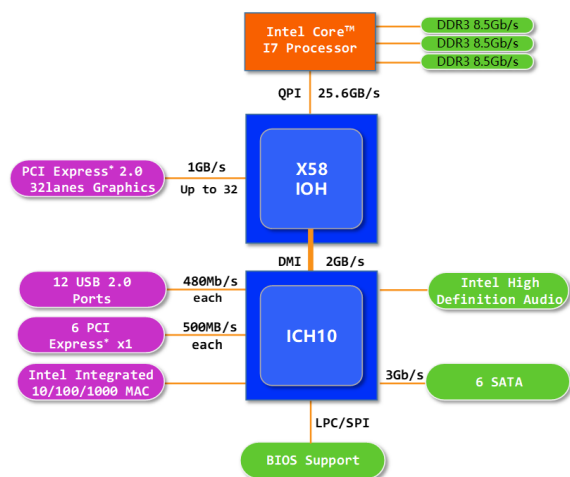


图8.29 采用QPI总线的计算机系统总线结构

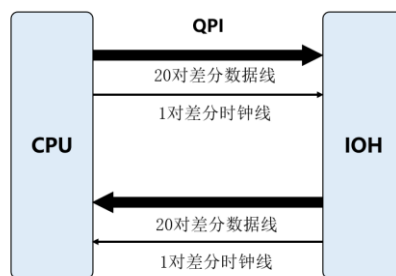


图8.30 QPI总线

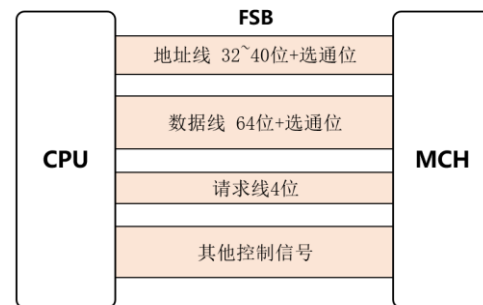


图8.27 前端总线FSB

– 3、无北桥芯片的CPU+PCH结构

- 图8.31为**CPU+PCH**结构的方案；该结构中没有北桥芯片，只有南桥芯片PCH。
- 南桥芯片PCH：Platform Controller Hub。
- 图8.31中将PCI Express 3.0接口集成到CPU中；CPU通过DMI总线与南桥芯片PCH相联。

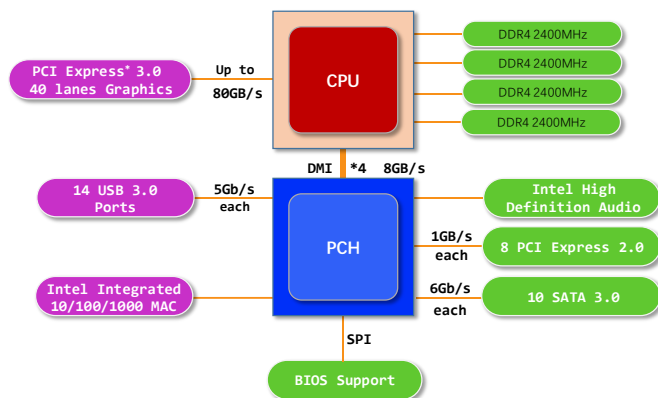


图8.31 CPU+PCH结构方案

PCI Express 3.0 40 lanes Graphics: 连接显卡
14 USB 3.0 Ports: 12个USB口
Intel Integrated 10/100/1000 MAC: 连接网卡
Intel High Definition Audio: 音频接口
8 PCI Express 2.0: 8个PCI插槽
10 SATA 3.0: 连接硬盘
BIOS Supports: 连接BIOS芯片

8.4 常用总线

8.4.1	常用片内总线
8.4.2	常用系统总线
8.4.3	常用I/O总线
8.4.4	常用外部总线

• 8.4.1 常用片内总线

– 1、AMBA总线

- **AMBA总线**: Advanced Microcontroller Bus Architecture, 高级微控制器总线结构; 是ARM公司1996年发布的片内总线开放标准, 方便用户将RISC处理器集成在其他IP芯核和外部设备中。
- 最新版本AMBA 4.0也称为AXI (Advanced eXtensible Interface, 高级可扩展接口), 是一种面向高性能、高带宽、低延迟的片内总线。

– 2、Wishbone总线

- **Wishbone总线**标准是Silicore公司1999年提出的开源并行总线标准, 用于芯片内部**软核**、**固核**以及**硬核**之间的互连。

软核、固核及硬核

- **IP (Intelligent Property)** 核是具有知识产权核的集成电路芯核总称，是经过反复验证过的、具有特定功能的宏模块，与芯片制造工艺无关，可以移植到不同的半导体工艺中。到了SOC阶段，IP核设计已成为ASIC电路设计公司和FPGA提供商的重要任务，也是其实力体现。对于FPGA开发软件，其提供的IP核越丰富，用户的设计就越方便，其市场占用率就越高。目前，IP核已经变成系统设计的基本单元，并作为独立设计成果被交换、转让和销售。从IP核的提供方式上，通常将其分为软核、固核和硬核这3类。从完成IP核所花费的成本来讲，硬核代价最大；从使用灵活性来讲，软核的可复用使用性最高。
- **1、软核 (Soft IP Core)**：软核在EDA设计领域指的是综合之前的寄存器传输级 (RTL) 模型；具体在FPGA设计中指的是对电路的硬件语言描述，包括逻辑描述、网表和帮助文档等。软核只经过功能仿真，需要经过综合以及布局布线才能使用。其优点是灵活性高、可移植性强，允许用户自配置；缺点是对模块的预测性较低，在后续设计中存在发生错误的可能性，有一定的设计风险。软核是IP核应用最广泛的形式。
- **2、固核 (Firm IP Core)**：固核在EDA设计领域指的是带有平面规划信息的网表；具体在FPGA设计中可以看做带有布局规划的软核，通常以RTL代码和对应具体工艺网表的混合形式提供。将RTL描述结合具体标准单元库进行综合优化设计，形成门级网表，再通过布局布线工具即可使用。和软核相比，固核的设计灵活性稍差，但在可靠性上有较大提高。目前，固核也是IP核的主流形式之一。
- **3、硬核 (Hard IP Core)**：硬核在EDA设计领域指经过验证的设计版图；具体在FPGA设计中指布局和工艺固定、经过前端和后端验证的设计，设计人员不能对其修改。不能修改的原因有两个：首先是系统设计对各个模块的时序要求很严格，不允许打乱已有的物理版图；其次是保护知识产权的要求，不允许设计人员对其有任何改动。IP硬核的不许修改特点使其复用有一定的困难，因此只能用于某些特定应用，使用范围较窄。

• 8.4.2 常用系统总线

– 1、ISA总线

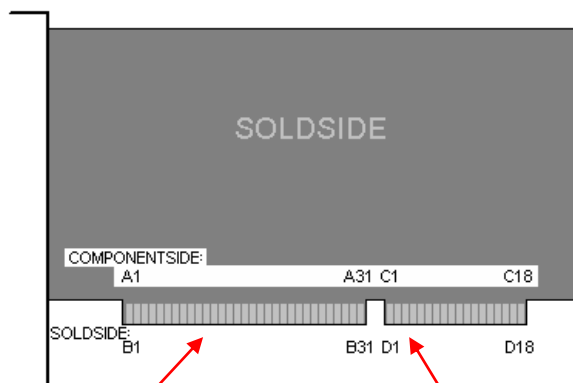
- **ISA总线**: Industry Standard Architecture, 工业标准体系结构; 是IBM公司1984年为IBM PC/AT电脑而制定的总线标准, 也称为PC/AT总线, 是对PC/XT总线 (**PC总线**, 62个引脚) 的扩展, 以满足8/16位数据总线的要求; ISA总线的数据线为16位、地址线为24位, 共有98个引脚; 总线时钟频率8.3MHz, 总线带宽16MB/s。

– 2、MCA总线

- **MCA总线**: Micro Channel Architecture, 微通道体系结构; 是IBM公司1987年为IBM PS/2系列微机推出的总线标准, 目的是为了解决快速CPU与ISA总线之间的差异; 共有55个引脚, 支持16/32位并行传输, 总线时钟频率10MHz, 总线带宽40MB/s; 受IBM公司专利的影响, MCA总线没有成为流行的总线标准。

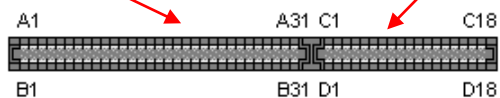
– 3、EISA总线

- **EISA总线**: Extended Industry Standard Architecture, 扩展的ISA; 是Compaq等9家公司1988年在ISA总线基础上推出的新一代总线标准, 完全兼容ISA总线; 共有198个引脚, 数据线和地址线均扩展到32位, 总线时钟频率8.3MHz, 总线带宽33MB/s。



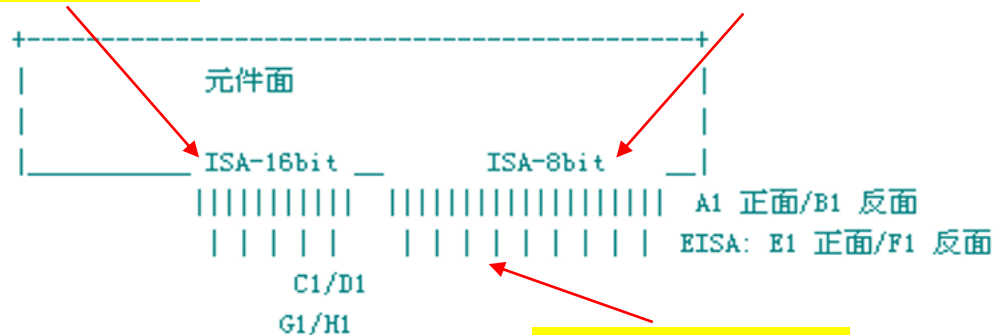
PC总线62根

ISA扩展的36根总线



ISA扩展的36根总线

PC总线62根



EISA扩展的100根总线



PC总线卡



ISA总线卡



ISA总线插槽



EISA总线卡

— 4、VESA总线

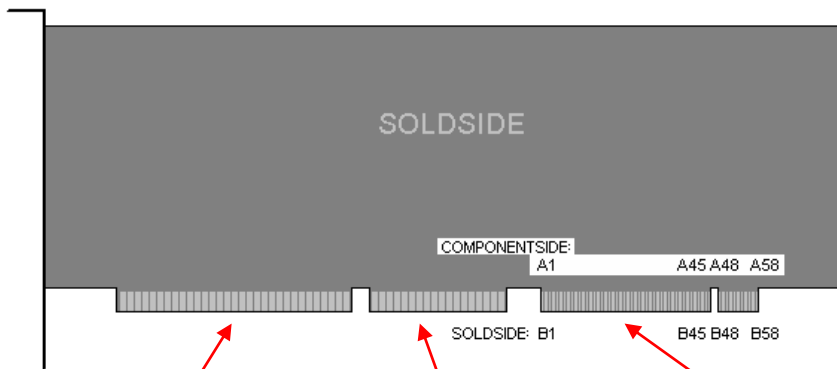
- **VESA总线**: Video Electronics Standards Association, 视频电子标准协会; 是视频电子标准协会1992年推出的一种局部总线, 也称为VL Bus (VESA Local Bus); 是系统总线结构的一次重大革新, 代表总线正式进入双总线时代; 共有112个引脚, 32位数据线, 总线时钟频率33MHz, 总线带宽133MB/s。

— 5、PCI总线

- **PCI总线**: Peripheral Component Interconnect, 外设组件互连, 是Intel公司1991年推出的一种与处理器无关的局部总线; 共有62个引脚, 32位数据总线, 总线时钟频率33/66MHz, 总线带宽133/266MB/s; 此外还有64位的PCI总线、应用于工业计算机的Compact PCI总线、应用于服务器的PCI-X总线。

— 6、FSB总线和BSB总线

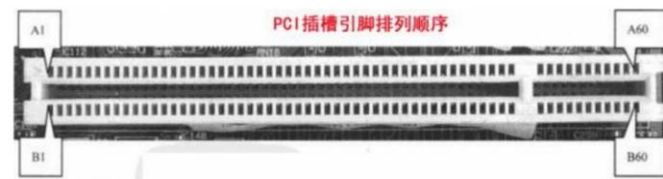
- **FSB总线**: Front Side Bus, 前端总线; 是20世纪90年代Intel公司推出的高速CPU总线, 用于连接CPU和北桥芯片。
- **BSB总线**: Back Side Bus, 后端总线; 是早期CPU连接板载二级cache的总线, 其带宽大于前端总线。
- 目前, 前端总线FSB已经被AMD公司的HT总线以及Intel公司的QPI总线和DMI总线取代 (图8.29、图8.31)。



PC总线

ISA总线扩展部分

VESA总线部分



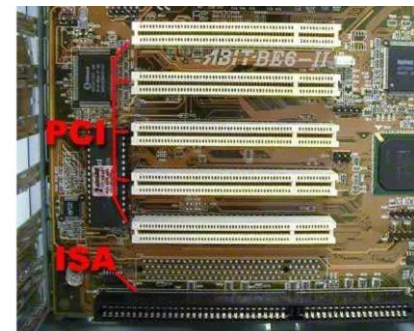
PCI总线插槽



VESA总线显卡



PCI总线卡



PCI和ISA总线插槽

— 7、IHA总线

- **IHA总线**: Intel Hub Architecture, Intel Hub 架构; 是Intel公司1999年在北桥芯片组中引入的连接南桥芯片的并行传输总线, 也称为Hub-Link总线; IHA的总线带宽为266MB/s, IHA 2.0的总线带宽为1GB/s。

— 8、HT总线

- **HT总线**: Hyper Transport, 超级传输技术; 是AMD公司2001年推出的CPU高速串行总线, 用于芯片间的高速连接; HT 3.1的总线带宽为25.6GB/s。

— 9、QPI总线

- **QPI总线**: Quick Path Interconnect, 快速通道互联; 是Intel公司为对抗AMD的HT总线而推出的新一代CPU总线, QPI总线取代了前端总线FSB, 总线带宽可达25.6GB/s。

— 10、DMI总线

- **DMI总线**: Direct Media Interface, 直接媒体接口; 是Intel公司2004年推出的用于连接主板南北桥的总线, DMI总线取得了IHA总线 (Hub-Link总线), 总线带宽为双向2GB/s, DMI 3.0的总线带宽为双向8GB/s。

• 8.4.3 常用I/O总线

— 1、AGP总线

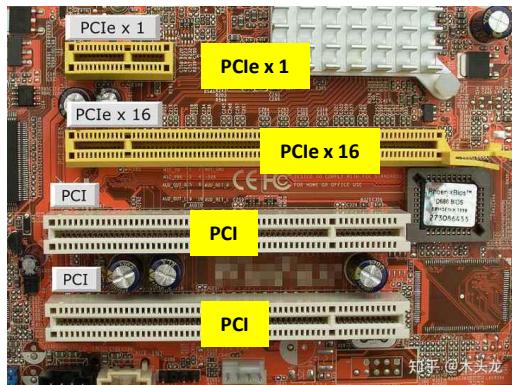
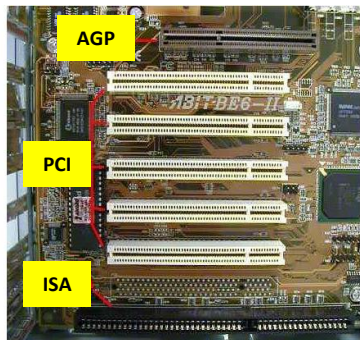
- **AGP总线**: Accelerated Graphics Port, 加速图像接口; 是Intel公司1996年推出的显卡专用局部总线, 总线位宽32位, 有AGP 2x、AGP 4x、AGP 8x多个版本, 总线带宽最高达2.1GB/s。

— 2、PCI Express总线

- **PCI Express总线**: 快捷PCI总线 (PCI-e总线、**PCIe总线**); 是Intel公司2001年推出的高速串行计算机扩展总线标准; PCIe总线颠覆了传统总线结构, 改并行总线为串行总线, 改共享连接为专用的点到点连接; PCIe x1、PCIe x4、PCIe x16, 分别表示有1个通路、4个通路 (并发)、16个通路 (并发); PCIe 1.0、PCIe 2.0、PCIe 3.0的工作频率分别为2.5GHz、5GHz、8GHz, 总线带宽最高达80GB/s。

— 3、LPC总线

- **LPC总线**: Low Pin Count, 低管脚数; 是Intel公司1997年推出的一款用于**代替**南桥芯片中遗留**ISA总线**的并行总线, 用于连接南桥和Super I/O芯片、Flash ROM等老旧设备; LPC总线在保持ISA总线带宽不变的情况下, 减少了25 ~ 30个信号管脚, 因此称为Low Pin Count (低管脚数)。



PCI Express Bus Info

<http://www.expreview.com>

传输通道	针脚总数	主接口针脚 (次级传输数简)	总长度
x1	36	14	25mm
x4	64	42	39mm
x8	98	76	56mm
x16	164	142	89mm

PCI Express Example Connectors

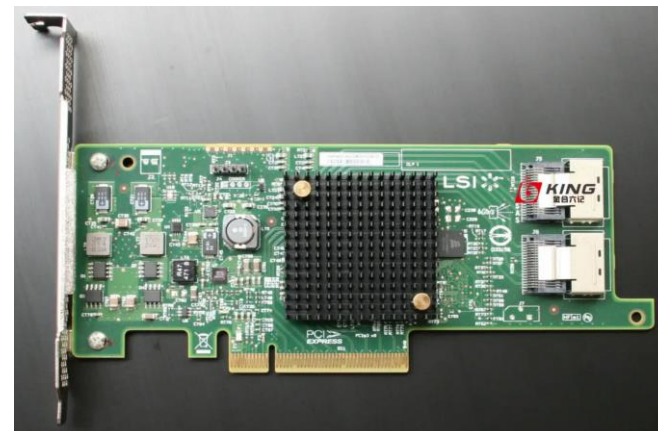
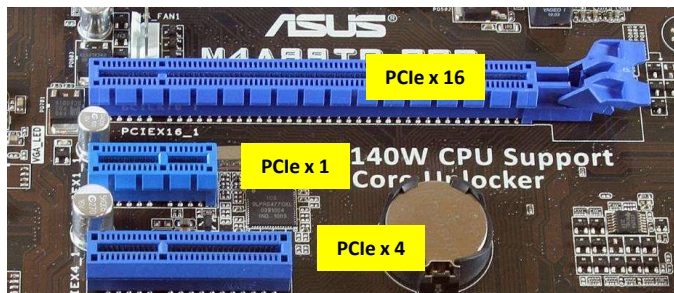
x1	BANDWIDTH Single direction: 2.5 Gbps/200 MBps Dual Directions: 5 Gbps/400 MBps	
x4	BANDWIDTH Single direction: 10 Gbps/800 MBps Dual Directions: 20 Gbps/1.6 GBps	
x8	BANDWIDTH Single direction: 20 Gbps/1.6 GBps Dual Directions: 40 Gbps/3.2 GBps	
x16	BANDWIDTH Single direction: 40 Gbps/3.2 GBps Dual Directions: 80 Gbps/6.4 GBps	

PCI Express总线插槽



AGP总线显卡

AGP总线插槽



PCI Express总线卡

— 4、SPI总线

- **SPI总线**：Serial Peripheral Interface，**串行外设接口**；是Motorola公司2000年推出的一种同步串行总线接口；SPI总线是一种适合短距离传输的高速全双工同步串行总线，只需要3~4根线，可以实现多个SPI设备的互连，总线带宽最高达50Mbit/s。

— 5、I²C总线

- **I²C总线**：Inter-Integrated Circuit，集成电路总线；是Philips公司1982年推出的半双工同步**串行总线**，用于连接微控制器和低速外部设备芯片；具有接口线少（只需要2根线）、控制方式简单、器件封装形式小、通信速率较高等优点，总线带宽最高达3.4Mbit/s。

— 6、SMBus总线

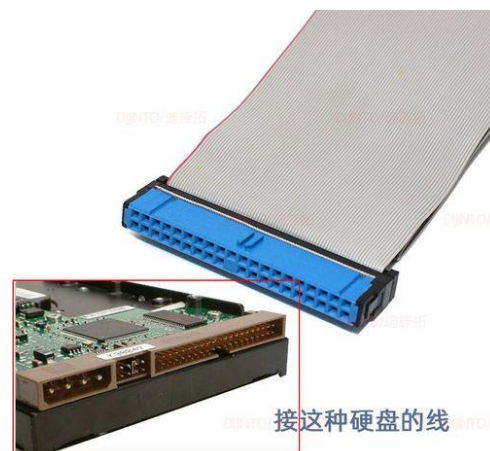
- **SMBus总线**：System Management Bus，系统管理总线；是Intel公司1995年推出的应用于移动PC和桌面PC系统中的低速率通信总线标准，基于**I²C总线**标准构造，也只需要2根线。

— 7、ATA/IDE总线

- **ATA/IDE总线**：Advanced Technology Attachment，高级技术附件规格；Integrated Device Electronics，集成磁盘电子接口；是Compaq等公司1986年推出的**硬盘标准接口**，通过将硬盘控制器和盘体集成在一起，有效减少和缩短硬盘接口的电缆数目与长度；ATA总线也称为PATA（Parallel ATA，并行ATA总线），总线带宽最高达133MB/s。



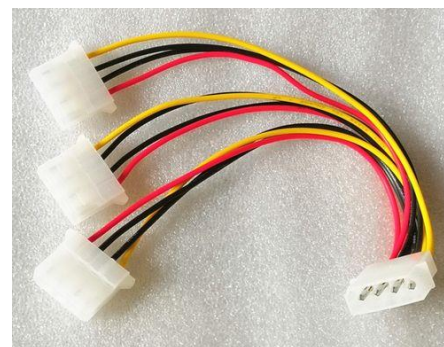
ATA/IDE接口硬盘



ATA/IDE接口的连接线



主板上的ATA/IDE接口



ATA/IDE接口的电源线

— 8、SATA总线

- **SATA总线**: Serial Advanced Technology Attachment, **串行ATA总线**; 是Intel等公司2001年推出的硬盘接口规范; SATA总线接口简单, 只有7根传输线, SATA 3.0的带宽达600MB/s; 后来还衍生出了小尺寸的mSATA (mini SATA)、连接外部存储设备的eSATA (external SATA)。

— 9、SCSI总线

- **SCSI总线**: Small Computer System Interface, 小型计算机系统接口; 是ANSI X3T9技术委员会1986年发布的连接计算机与高速外部设备的**并行总线**协议, 总线带宽最高达640MB/s。

— 10、SAS总线

- **SAS总线**: Serial Attached SCSI, **串行SCSI总线**; 是ANSI INCITS T10技术委员会开发并维护的新的存储接口标准; SAS总线与SATA总线兼容。

— 11、Fiber Channel总线

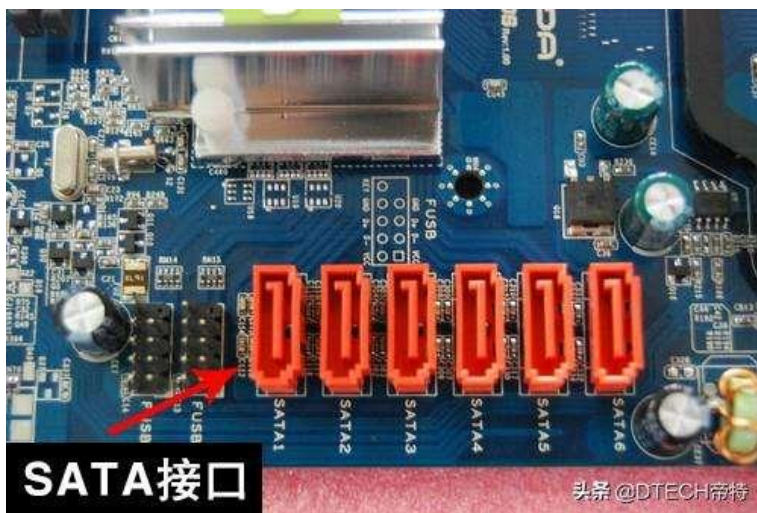
- **Fiber Channel总线**: 光纤通道总线; 是ANSI INCITS T11技术委员会1988年发布的高速串行数据传输协议; 第7代Fiber Channel总线的带宽达到25.6GB/s。



SATA接口硬盘



SATA接口线



主板上的SATA接口



SCSI接口硬盘



SCSI接口线



SCSI接口卡

• 8.4.4 常用外部总线

— 1、RS-232-C与RS-485

- **RS-232-C**：也称**串口**（COM口）；RS（Recommended Standard）代表推荐标准，232是标识号，C代表RS232的最新一次修改；是美国电子工业协会（Electronic Industry Association，EIA）1960年制定的一种串行物理接口标准，标准的RS-232C接口有25个引脚，常用的有9个引脚，最简单的方式只需要3个引脚，最大传输率19200bit/s，通信距离在20m以内。
- **RS-485**：对于远距离的**串行通信**，通常采用半双工的RS-485串行接口标准，只需要2根线，其最远传输距离可达上千米。

— 2、IEEE-488

- **IEEE-488**：也称**并口**；是HP公司1960年发布的8位并行接口标准，早期的打印机就使用IEEE-488接口，最大传输距离20m，最大传输率1MB/s。

— 3、USB

- **USB**：Universal Serial Bus，通用**串行总线**；是Intel等公司1994年推出的新型外部设备接口标准，采用分层的星型树状拓扑结构连接，通过USB集线器扩展，最多可支持127个设备；USB 3.0的带宽已经达到500MB/s。



9芯RS-232-C接口



25芯RS-232-C接口



IEEE-488接口



各种USB接口

USB3.1 Type-C数据线
体验10Gbps的新传输速度
极速传输 快速充电 不分正反面



— 4、IEEE 1394

- **IEEE 1394**：也称火线（Fire Wire）接口；是Intel和Apple公司1986年发布的一种**高速异步串行接口**标准，通常用于视频的采集，如数码摄像机与电脑可采用IEEE 1394接口连接，传输距离只有4.5m；最新的IEEE 1394b传输速率达400MB/s。

— 5、Thunderbolt

- **Thunderbolt**：雷电接口；是Intel和Apple公司2011年发布的**高速串行接口**标准，最新版本的Thunderbolt雷电接口带宽达40Gbit/s。

— 6、InfiniBand

- **InfiniBand**：无限带宽技术；是由InfiniBand贸易协会在2000年组织Compaq等7家公司，共同研发的高速I/O标准，主要用于**服务器**与外部设备以及服务器之间的通信，带宽最高可达4800Gb/s。



IEEE 1394接口



Thunderbolt雷电接口



— 7、VGA

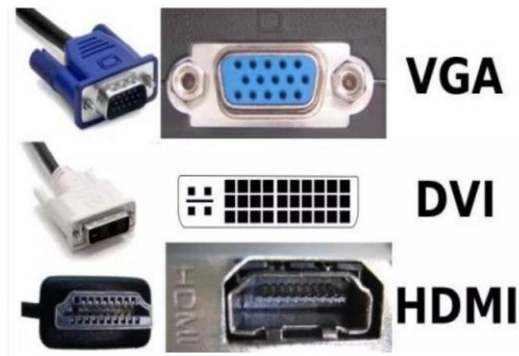
- **VGA**: Video Graphics Array, 视频图形阵列; 是IBM在1987年随PS/2机一起推出的一种**视频传输标准**, 具有分辨率高、显示速率快、颜色丰富等优点, 在彩色显示器领域得到了广泛的应用。

— 8、DVI

- **DVI**: Digital Visual Interface, 数字**视频接口**; 是1998年9月在Intel开发者论坛上成立的数字显示工作小组 (Digital Display Working Group简称DDWG) 发明了一种高速传输数字信号的技术, 有DVI-A、DVI-D和DVI-I三种不同的接口形式; DVI-D只有数字接口, DVI-I有数字和模拟接口, 目前应用主要以DVI-I(24+5)为主。

— 9、HDMI

- **HDMI**: High Definition Multimedia Interface, 高清晰度多媒体接口; 是一种数字化**视频/音频接口**技术, 适合影像传输的专用型数字化接口, 可同时传送音频和影像信号, 最高数据传输速度为48Gbps (2.1版)。



— 10、RJ45

- **RJ45**: Registered Jack 45, 注册的插座; 是布线系统中信息插座(即通信引出端)连接器的一种, 连接器由插头(接头、水晶头)和插座(模块)组成, 插头有8个凹槽和8个触点; 在FCC(美国联邦通信委员会标准和规章)中RJ是描述公用电信网络的接口, 计算机网络的RJ45是标准8位模块化接口的俗称。

— 11、PS/2

- **PS/2**: Personal System 2, 键盘、鼠标接口; PS/2接口是一种PC兼容型计算机系统上的接口, 可以用来链接键盘及鼠标; PS/2的命名来自于1987年时IBM所推出的个人计算机(PS/2系列); 鼠标的PS/2的接口是绿色, 而键盘的PS/2接口是紫色。



RJ45接口



PS/2接口

本章小结

- **总线分类：**
 - 单向传输总线、双向传输总线
 - 同步总线、异步总线
 - 数据总线、地址总线、控制总线
 - 并行传输总线、串行传输总线
 - 片内总线、系统总线、I/O总线、外部总线
- **总线复用：**地址总线与数据总线复用（ $AD_0 \sim AD_7$ ）；DRAM芯片行列地址线复用。
- **总线设备分类：**主设备、从设备。
- **总线标准：**是关于总线及总线接口的物理特性、电气特性、功能特性与时间特性的详细规范和协议。
- **总线性能指标：**总线宽度、总线时钟频率、总线传输周期、单时钟传输次数、总线带宽、总线负载能力。
- **总线传输过程：**请求阶段、寻址阶段、传输阶段、结束阶段。

- **总线传输模式：**
 - 普通传输模式
 - 突发（猝发）传输模式
- **异步串行传送：波特率、数传率（比特率）**
- **总线仲裁：**
 - 集中式仲裁：链式查询、计数器定时查询、独立请求
 - 分布式仲裁：自举分散式仲裁、并行竞争仲裁、冲突检测分散式仲裁
- **总线通信定时方式：**
 - 同步方式
 - 异步方式（非互锁、半互锁、全互锁）
 - 半同步方式
 - 分离事务通信方式
- **总线结构：**
 - **单总线结构：**系统总线
 - **双总线结构：**系统总线、存储总线；系统总线、I/O总线
 - **三总线结构：**HOST总线、PCI总线、ISA总线；主存总线、DMA总线、I/O总线
 - **高性能总线：**
 - 采用前端总线（FSB）的南北桥结构
 - 采用QPI总线南北桥结构
 - 无北桥芯片的CPU+PCH结构

- 常用片内总线:

- 1、AMBA总线
- 2、Wishbone总线

- 常用系统总线:

- 1、ISA总线
- 2、MCA总线
- 3、EISA总线
- 4、VESA总线
- 5、PCI总线
- 6、FSB总线和BSB总线
- 5、IHA总线
- 8、HT总线
- 9、QPI总线
- 10、DMI总线

- 常用I/O总线:

- 1、AGP总线
- 2、PCI Express总线
- 3、LPC总线
- 4、SPI总线
- 5、I2C总线
- 6、SMBus总线
- 7、ATA/IDE总线
- 8、SATA总线
- 9、SCSI总线
- 10、SAS总线
- 11、Fiber Channel总线

- 常用外部总线:

- 1、RS-232-C与RS-485
- 2、IEEE-488
- 3、USB
- 4、IEEE 1394
- 5、Thunderbolt
- 6、InfiniBand
- 7、VGA
- 8、DVI
- 9、HDMI
- 10、RJ45
- 11、PS/2

习题（P318–320）

- 8.2
- 8.3
- 8.4
- 8.5
- 8.8
- 8.9
- 8.10（假设总线频率为 f ）

关于作业提交

- 1周内必须提交（上传到学院的FTP服务器上），否则认为是迟交作业；如果期末仍然没有提交，则认为是未提交作业
 - 作业完成情况成绩=第1次作业提交情况*第1次作业评分+第2次作业提交情况*第2次作业评分+.....+第N次作业提交情况*第N次作业评分
 - 作业评分：A（好）、B（中）、C（差）三挡
 - 作业提交情况：按时提交（1.0）、迟交（0.5）、未提交（0.0）
- 请采用电子版的格式（PPT文档）上传到FTP服务器上，文件名取“学号+姓名+第X次作业.ppt”
 - 例如：30620192203840+孙明策+第8次作业.ppt
- 第8次作业提交的截止日期为：2023年6月7日晚上24点。

Thanks