



厦门大学《计算机组成原理》课程试卷

信息学院 软件工程系 软件工程专业

试卷类型：样卷 1

一、选择题（请从 ABCD 中选择唯一的一个答案，每小题 1.5 分，

30 小题，共 45 分）

1. 下列关于冯诺依曼结构计算机基本思想的叙述中，错误的是：
A. 程序的功能都通过中央处理器执行指令实现
B. 指令和数据都用二进制表示，形式上无差别
C. 指令按地址访问，数据都在指令中直接给出
D. 程序执行前，指令和数据需预先存放在存储器中
2. 将高级语言源程序转换为机器级目标代码文件的程序称为：
A. 汇编程序 B. 链接程序 C. 编译程序 D. 解释程序
3. 下列选项中，描述浮点数操作速度指标的是：
A. MIPS B. CPI C. IPC D. MFLOPS
4. 考虑以下 C 语言代码：
 unsigned short usi=65535;
 short si=usi;
 执行上述程序段后，si 的值是：
A. -1 B. -32767 C. -32768 D. -65535
5. 用海明码对长度为 8 位的数据进行检错和纠错时，若能纠正一位错，则校验位数至少为：
A. 2 B. 3 C. 4 D. 5
6. 下列存储器中，在工作期间需要周期性刷新的是：
A. SRAM B. SDRAM C. ROM D. FLASH
7. 下列各类存储器中，不采用随机存取方式的是：
A. EPROM B. CDROM C. DRAM D. SRAM
8. 下列关于闪存（Flash Memory）的叙述中，错误的是：
A. 信息可读可写，并且读、写速度一样快
B. 存储元由 MOS 管组成，是一种半导体存储器
C. 掉电后信息不丢失，是一种非易失性存储器
D. 采用随机访问方式，可替代计算机外部存储器
9. 某 C 语言程序段如下：

```

for(i=0; i<=9; i++){
    temp=1;
    for(j=0; j<=i; j++)
        temp += a[j];
    sum += temp;
}

```

下列关于数组 a 的访问局部性的描述中，正确的是：

- A. 时间局部性和空间局部性都有
- B. 无时间局部性，有空间局部性
- C. 有时间局部性，无空间局部性
- D. 时间局部性和空间局部性都无

10. 采用指令 cache 与数据 cache 分离的主要目的是：

- A. 降低 cache 的缺失损失
- B. 提高 cache 的命中率
- C. 降低 CPU 平均访存时间
- D. 减少指令流水线资源冲突

11. 假定一台计算机采用 3 通道存储器总线，配套的内存条型号为 DDR3-1333，即内存条所接触的存储器总线的工作频率为 1333MHz、总线宽度为 64 位，则存储器总线的总带宽大约是：

- A. 10.66GB/s
- B. 32GB/s
- C. 64GB/s
- D. 96GB/s

12. 下列命中组合情况中，一次访存过程中不可能发生的是：

- A. TLB 未命中，cache 未命中，Page 未命中
- B. TLB 未命中，cache 命中，Page 命中
- C. TLB 命中，cache 未命中，Page 命中
- D. TLB 命中，cache 命中，Page 未命中

13. 下列关于缺页处理的叙述中，错误的是：

- A. 缺页是在地址转换时 CPU 检测到的一种异常
- B. 缺页处理由操作系统提供的缺页处理程序完成
- C. 缺页处理程序根据页故障地址从外存读入所缺失的页
- D. 缺页处理完成后执行发生缺页的指令的下一条指令

14. 偏移寻址通过将某个寄存器内容与一个形式地址相加来生成有效地址。下列寻址方式中，不属于偏移寻址方式的是：

- A. 间接寻址
- B. 基址寻址
- C. 相对寻址
- D. 变址寻址

15. 下列寻址方式中，最适合按下标顺序访问一维数组元素的是：

- A. 相对寻址
- B. 寄存器寻址
- C. 直接寻址
- D. 变址寻址

16. 下列关于 RISC 的叙述中，错误的是：

- A. RISC 普遍采用微程序控制器
- B. RISC 中的大多数指令在一个时钟周期内完成
- C. RISC 的内部通用寄存器数量比 CISC 的多
- D. RISC 的指令数、寻址方式和指令格式种类比 CISC 的少

17. 下列寄存器中，汇编语言程序员可见的是：

- A. 存储器地址寄存器 (MAR)
- B. 程序计数器 (PC)
- C. 存储器数据寄存器 (MDR)
- D. 指令寄存器 (IR)

18. 下列有关处理器时钟脉冲信号的叙述中, 错误的是:

- A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整型和分频后形成
- B. 时钟脉冲信号的宽度称为时钟周期, 时钟周期的倒数为机器主频
- C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
- D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令

19. 单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中, 错误的是:

- A. 可以采用单总线结构数据通路
- B. 处理器时钟频率较低
- C. 在指令执行过程中控制信号不变
- D. 每条指令的 CPI 为 1

20. 下列关于主存 (MM) 和控制存储器 (CS) 的叙述中, 错误的是:

- A. MM 在 CPU 外, CS 在 CPU 内
- B. MM 按地址访问, CS 按内容访问
- C. MM 存储指令和数据, CS 存储微指令
- D. MM 用 RAM 和 ROM 实现, CS 用 ROM 实现

21. 相对于微程序控制器, 硬布线控制器的特点是:

- A. 指令执行速度慢, 指令功能的修改和扩展容易
- B. 指令执行速度慢, 指令功能的修改和扩展难
- C. 指令执行速度快, 指令功能的修改和扩展容易
- D. 指令执行速度快, 指令功能的修改和扩展难

22. 假定不采用 cache 和指令预取技术, 且计算机处于“开中断”状态, 则在下列有关指令执行的叙述中, 错误的是:

- A. 每个指令周期中 CPU 都至少访存一次
- B. 每个指令周期一定大于或等于一个 CPU 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

23. 下列选项中不会引起指令流水线阻塞的是:

- A. 数据旁路 (转发)
- B. 数据相关
- C. 条件转移
- D. 资源冲突

24. 下列关于指令流水线数据通路的叙述中, 错误的是:

- A. 包含生成控制信号的控制部件
- B. 包含算术逻辑运算部件 (ALU)
- C. 包含通用寄存器组和取指部件
- D. 由组合逻辑电路和时序逻辑电路组合而成

25. 在系统总线的数据线上, 不可能传输的是:

- A. 指令 B. 操作数 C. 握手（应答）信号 D. 中断类型号

26. 一次总线事务中，主设备只需给出一个首地址，从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为：

- A. 并行传输 B. 串行传输 C. 突发传输 D. 同步传输

27. 下列关于总线设计的叙述中，错误的是：

- A. 并行总线传输比串行总线传输速度快
B. 采用信号线复用技术可以减少信号线数量
C. 采用突发传输方式可提高总线数据传输速率
D. 采用分离事务通信方式可提高总线利用率

28. 下列选项中，用于设备和设备控制器（I/O 接口）之间互连的接口标准是：

- A. PCI B. USB C. AGP D. PCI-Express

29. 下列关于多重中断系统的叙述中，错误的是：

- A. 在一条指令执行结束时响应中断
B. 中断处理期间 CPU 处于关中断状态
C. 中断请求的产生与当前指令的执行无关
D. CPU 通过采样中断请求信号检测中断请求

30. 下列关于中断 I/O 方式和 DMA 方式比较的叙述中，错误的是：

- A. 中断 I/O 方式请求的是 CPU 处理时间，DMA 方式请求的是总线使用权
B. 中断响应发生在一条指令执行结束后，DMA 响应发生在一个总线事务完成后
C. 中断 I/O 方式下数据传送通过软件完成，DMA 方式下数据传送由硬件完成
D. 中断 I/O 方式适用于所有外部设备，DMA 方式仅适用于高速外部设备

二、简单题（6 小题，共 15 分）

- （2 分）如何判断浮点数运算结果是否为规格化数？如果不是规格化数，如何进行规格化？
- （2 分）动态 MOS 存储器为什么要刷新？如何刷新？
- （2 分）为什么说 cache 对程序员是透明的？
- （3 分）RISC 处理器有何特点？
- （3 分）中断隐指令完成什么功能？
- （3 分）假设一个同步总线的时钟频率=100MHz，总线宽度为 32 位，每个时钟周期传输一个数据，该总线的最大数据传输率为多少？若要将总线带宽提高一倍，有哪几种可行方案？

三、综合题（6 小题，共 40 分）

- （6 分）若某程序编译后生成的目标代码由 A、B、C、D 等 4 类指令组成，它们在程序中所占比例分别为 40%、20%、15%、25%。已知 A、B、C、D 等 4 类指令的 CPI 分别为 1、2、2、2，现需要对程序进行编译优化，优化后的程序中 A 类指令数量减少了一半，而其它指令数量未发生变化。假设运行该程序的计算机 CPU 主频为 500MHz。回答以下问题：
 - （1）优化前后程序的 CPI 各为多少？
 - （2）优化前后程序的 MIPS 各为多少？
 - （3）通过上面的计算结果，你能得出什么结论？
- （4 分）设 8 位有效信息为 01101110，试写出它的海明校验码。如果接收方收到的有效信息变成 01101111，说明如何定位错误并纠错。
- （6 分）假定某数组元素按行优先顺序存放在主存中，则在以下两段程序 A 和 B 中，分析下列问题：（1）两段代码中对数组访问的时间局部性和空间局部性。（2）变量 sum 的时间局部性和空间局部性。（3）for 循环体对指令访问的时间局部性和空间局部性。

程序 A:

```
int sum_array_A(int a[M][N])
{
    int i,j,sum=0;
    for (i = 0; i < M; i++)
        for (j = 0; j < N; j++)
            sum += a[i][j];
    return sum;
}
```

程序 B:

```
int sum_array_B(int a[M][N])
{
    int i,j,sum=0;
    for (i = 0; i < N; i++)
        for (j = 0; j < M; j++)
            sum += a[j][i];
    return sum;
}
```

- （8 分）某计算机系统有一个 TLB 和 L1 级数据 cache，存储系统按字节编址，虚拟存储器容量为 2GB，主存容量为 4MB，页大小为 128KB，TLB 采用四路组相联方式，共有 16 个页表项。cache 容量为 16KB，每块包含 8 个字，每字为 32 位，映射方式采用四路组相联，回答下列问题：
 - （1）虚拟地址中哪几位表示虚拟页号？哪几位表示页内地址？虚拟页号中哪几位表示 TLB 标记？哪几位表示 TLB 索引？

(2) 物理地址中哪几位表示物理页号？哪几位表示偏移地址？

(3) 为实现主存与数据 cache 之间的组相联映射，对该地址应进行怎样的划分？

5. (6 分) 计算机的指令格式包括操作码 OP、寻址方式特征位 I 和形式地址 D 等 3 个字段，其中 OP 字段是 6 位，寻址方式特征位 I 为 2 位，形式地址字段 D 为 8 位。I 的取值与寻址方式的对应关系如下：

I=00: 直接寻址

I=01: 用变址寄存器 X1 进行寻址

I=10: 用变址寄存器 X2 进行寻址

I=11: 相对寻址

设(PC)=1234H, (X1)=0037H, (X2)=1122H, 以下 4 条指令均采用上述格式，请确定这些指令的有效地址：

- (1) 4420H (2) 2244H (3) 1322H (4) 3521H

6. (10 分) 请修改图 1 所示的单总线结构 MIPS 处理器的数据通路，使其能够支持 “sll rd,rt,shamt” 指令，该指令的 RTL 描述为： $R[rd]=R[rt] \ll shamt$ 。

请描述需要增加或修改哪些数据通路和控制信号，并给出该指令的执行流程和每一步的操作控制信号。

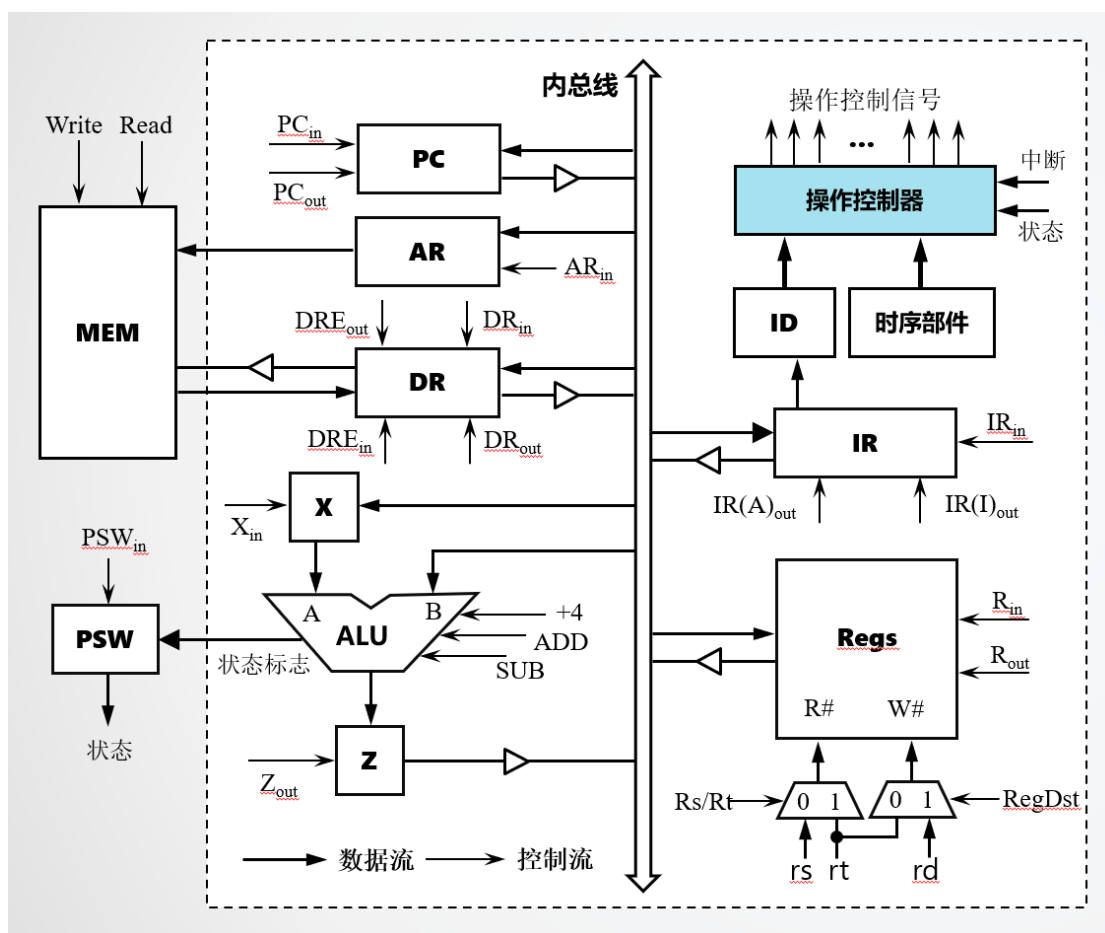


图 1 单总线结构 MIPS 处理器的数据通路