



厦门大学《计算机组成原理》课程考卷

信息学院

软件工程系

软件工程专业

试卷类型：样卷 2

一、 选择题（请从 A、B、C、D 中选择唯一的一个正确答案，15 小题，每小题 2 分，共 30 分；在答题纸填写答案时请写上每小题的对应编号）

1. 下列关于冯·诺依曼计算机基本思想的叙述中，错误的是：
A. 程序的功能都通过 CPU 执行指令实现
B. 指令和数据都用二进制表示，形式上无差别
C. 指令按地址访问，数据都在指令中直接给出
D. 程序执行前，指令和数据需预先存放在存储器中
2. 某程序 P 在计算机 M 上的执行时间是 10 秒。经过编译优化后，程序 P 的指令数减少了 40%，而 CPI 增加了 20%。请问编译优化后，程序 P 在计算机 M 上的执行时间是：
A. 6 秒
B. 7.2 秒
C. 8 秒
D. 12 秒
3. 假设有如下的 C 语言语句：
 unsigned char uc=254;
 char c=uc;
 unsigned short int i=c;
 printf(" i = %d \n",i);
请问，执行上述语句后，i 的值是：
A. 2
B. 254
C. 65024
D. 65534
4. 下列关于 Booth 算法的叙述中，错误的是：
A. 符号位不参与运算，需要单独计算符号位
B. 乘数的末位增设附加位 y_{n+1} ，初值为 0
C. 根据 y_{n+1} 和 y_n 的差值判断各步的具体运算
D. 需要进行 $n+1$ 次累加操作和 n 次右移操作
5. 下列命中组合情况中，一次访存过程中不可能发生的是：
A. TLB 命中、页缺失、cache 缺失
B. TLB 命中、页命中、cache 缺失
C. TLB 缺失、页命中、cache 命中
D. TLB 缺失、页缺失、cache 缺失

6. 某指令格式如图 1 所示，其中 OP 为操作码、M 为寻址方式、I 为变址寄存器编号、D 为形式地址。若采用先间址后变址的寻址方式，则操作数的有效地址是：

- A. $(I)+D$
- B. $((I)+D)$
- C. $(I)+(D)$
- D. $((I)+(D))$

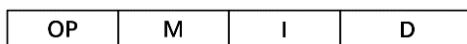


图1 某指令格式

7. 下列关于操作数寻址方式的叙述中，错误的是：

- A. 立即数寻址方式，操作数在指令中
- B. 直接寻址方式，操作数的地址在指令中
- C. 寄存器间接寻址方式，操作数在寄存器中
- D. 间接寻址方式，操作数的地址在存储器中

8. 下列关于 CISC 处理器的叙述中，错误的是：

- A. CISC 处理器普遍采用微程序控制器
- B. CISC 处理器指令字长不固定
- C. CISC 处理器寻址方式少
- D. CISC 处理器对访存指令不加限制

9. 下列关于 RISC 处理器的叙述中，错误的是：

- A. RISC 处理器普遍采用硬布线控制器
- B. RISC 处理器指令字长固定
- C. RISC 处理器内有大量的通用寄存器
- D. RISC 处理器对访存指令不加限制

10. 下列关于主存（主存储器）和控存（控制存储器）的叙述中，错误的是：

- A. 主存在 CPU 外，控存在 CPU 内
- B. 主存按地址访问，控存按内容访问
- C. 主存用于存储指令和数据，控存用于存储微指令
- D. 主存采用 RAM 和 ROM 实现，控存采用 ROM 实现

11. 一次总线事务中，主设备只需要给出一个首地址，从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为：

- A. 并行传输
- B. 串行传输
- C. 同步传输
- D. 突发（猝发）传输

12. 以下选项中，哪个选项不能提高同步总线的数据传输速率：

- A. 增加总线宽度
- B. 提高总线工作频率
- C. 支持突发（猝发）传输
- D. 采用地址/数据复用方式

13. 下列有关总线定时的叙述中，错误的是：
- 异步通信方式中，全互锁方式最慢
 - 异步通信方式中，非互锁方式的可靠性最差
 - 同步通信方式中，同步时钟信号可由多个设备提供
 - 半同步通信方式中，握手信号的采样由同步时钟控制
14. 下列关于外部 I/O 中断的叙述中，正确的是：
- 中断控制器按所接收中断请求的先后次序进行中断优先级排队
 - CPU 响应中断时，通过执行中断隐指令完成对通用寄存器的保护
 - CPU 只有在处于中断允许状态时，才能响应外部设备的中断请求
 - 有中断请求时，CPU 立即暂停执行当前指令，转去执行中断服务程序
15. 下列关于多重中断系统的叙述中，错误的是：
- 在一条指令执行结束时响应中断
 - 中断处理期间 CPU 处于关中断状态
 - 中断请求的产生与当前指令的执行无关
 - CPU 通过采样中断请求信号检测中断请求

二、简答题（5 小题，共 30 分）

1. （6 分）假设某计算机的指令长度固定为 16 位，具有双操作数、单操作数和无操作数等 3 类指令，每个操作数的地址规定用 6 位表示。
- 若操作码字段不固定，现已设计出 m 条双操作数指令、 n 条无操作数指令。请问在此情况下，这台计算机最多可以设计出多少条单操作数指令？（3 分）
 - 若操作码字段不固定，当双操作数指令取最大数时，且在此基础上，单操作数指令条数也取最大数。请问这 3 类指令各拥有多少条指令？（3 分）
2. （6 分）图 2 为数据校验流程图，请根据图 2 回答下述问题：

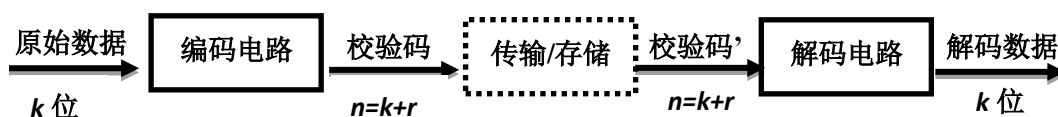


图 2 数据校验流程图

- 根据图 2 所示， k 位原始数据，经编码电路后，生成 $n=k+r$ 位的校验码。请问增加的 r 位信息的作用是什么？（2 分）
 - 当传输或存储环节出现问题时，校验码' 和校验码会出现不同。如果采用的是奇偶校验，请问如何根据生成的检测位 G 判断是否出错？实际电路是采用哪种门电路完成？（2 分）
 - 如果编码电路采用 n 位海明码，为了能够实现 1 位检错，则 n, k, r 应满足什么关系？若使得其可以同时检测两位错，可采用什么方式实现？（2 分）
3. （6 分）设某 DRAM 的存储体为 64 行 \times 64 列结构，存储器读写周期为 $0.25\mu s$ ，刷新闻隔为 2ms。请回答下述问题：
- 该存储器地址线采用复用技术，则有几根地址线管脚？为了支持地址复用技术，需要增加哪两个

信号? (2分)

(2) 如果采用集中式刷新方式, 其死区时间是多少? (1分)

(3) 为了提升效率, 现采用异步刷新方式。请画出异步刷新方式的时间分配情况, 并进行解释。(3分)

4. (6分) 设主存容量为 1MB; cache 容量为 16KB, 块长为 4 个字, 每字 32 位。请问:

(1) 直接相联映射方式时, 主存地址为 ABCDEH 的存储单元在 cache 中的什么位置? (3分)

(2) 4 路组相联映射方式时, 主存地址为 ABCDEH 的存储单元在 cache 中的什么位置? (3分)

5. (6分) 设某计算机有 4 个中断源 A、B、C、D, 其硬件排队优先级为 A->B->C->D 降序排列, 其屏蔽字如表 1 所示:

表 1 各中断源对应的屏蔽字

中断源	屏蔽字			
	A	B	C	D
A	1	1	0	1
B	0	1	0	0
C	1	1	1	1
D	0	1	0	1

(1) 请根据表 1 的屏蔽字, 给出四个中断源的中断处理顺序。(2分)

(2) 若 4 个中断源同时发出中断请求, 请画出 CPU 执行程序的轨迹。(4分)

三、综合题 (4 小题, 共 40 分)

1. (8分) 假设 Logisim 中已经有 8 位加法器的电路, 其电路封装如图 3 所示; 其中, X 和 Y 为 8 位输入, S 为 8 位输出, C0 为低位进位信号, C8 为最高位进位, C7 为次高位进位。现要求利用该 8 位加法器以及一些辅助的电路, 实现一个 8 位可控加减法电路, 该 8 位可控加减法电路可以完成 8 位有符号整数的加减法运算和 8 位无符号整数的加减法运算。该电路的输入为 X (8 位) 和 Y (8 位) 以及 Sub, 输出为 S (8 位) 以及 OF 和 UOF。Sub=0 时做加法运算, Sub=1 时做减法运算。OF 为有符号整数加减运算溢出标志, UOF 为无符号整数加减运算溢出标志。请画出该 8 位可控加减法电路。提示: 可以利用 Logisim 中的分线器实现 1 位扩展为 8 位的功能, 如图 4 所示。Logisim 中的门电路、多路选择器如图 5 所示。

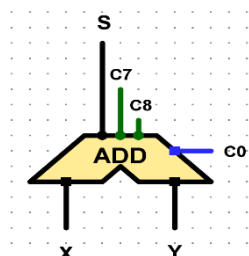


图 3 8 位加法器封装图

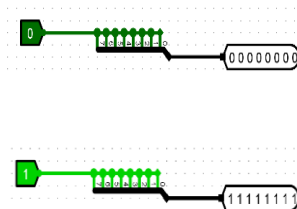


图 4 利用分线器实现 1 位扩展为 8 位



图 5 Logisim 中的门电路和多路选择器

2. (8 分) 主存地址空间大小为 512MB, 按字节编址。指令 cache 和数据 cache 分离, 均有 16 行, 每个 cache 行的数据块大小均为 128B。数据 cache 采用全相联映射方式。现有两个功能相同的程序 A 和 B, 其代码如图 6 所示。假定 int 型数据为 32 位补码, 程序编译时 i、j、sum 均分配在寄存器中。数组 a 按行优先方式存放, 首地址为 1000 (十进制)。请回答如下问题, 要求说明理由或给出计算过程:
- (1) 若不考虑用于 cache 一致性维护和替换算法的控制位, 则数据 cache 的总容量是多少? (4 分)
 - (2) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短? (4 分)

<p>程序A:</p> <pre>int a[512][512]; int sum_array1() { int i,j,sum=0; for (i = 0; i < 512; i++) for (j = 0; j < 512; j++) sum += a[i][j]; return sum; }</pre>	<p>程序B:</p> <pre>int a[512][512]; int sum_array2() { int i,j,sum=0; for (j = 0; j < 512; j++) for (i = 0; i < 512; i++) sum += a[i][j]; return sum; }</pre>
---	---

图 6 程序 A 和程序 B 的代码

3. (8 分) 某 CPU 时钟频率为 100MHZ, 硬盘以 256B 大小的扇区为单位传输数据, CPU 访问硬盘的速率为 10MB/s。请问:
- (1) 采用程序中断方式, 启动阶段发送命令和参数需要 80 个时钟周期, 中断服务开销需要 300 个时钟周期, 实际传输需要 1000 个时钟周期, 程序中断方式 CPU 时间占用率是多少? (3 分)
 - (2) 采用 DMA 方式, 预处理阶段需要 100 个时钟周期, 后处理阶段需要 300 个时钟周期, DMA 方式 CPU 时间占用率是多少? (3 分)
 - (3) 通过 CPU 时间占有率的比较, 可以得出什么结论? 为什么? (2 分)
4. (16 分) 单周期 MIPS 处理器和多周期 MIPS 处理器的数据通路分别如图 8 与图 9 所示。请回答下列问题:
- (1) 多周期 MIPS 处理器数据通路与单周期 MIPS 处理器数据通路有哪些不同? (2 分)
 - (2) 请修改单周期 MIPS 处理器的数据通路, 使其能支持 MIPS 指令系统的 j 指令。j 指令属于 J 型指令, 其指令格式如图 7 所示; 汇编代码为: j imm26; RTL 描述为: $PC \leftarrow \{(PC+4)_{31:28}, imm26 < < 2\}$ 。要求: ①请画出需要增加或修改的数据通路及控制信号; ②请给出单周期 MIPS 处理器数据通路 j 指令的执行流程及每一步的控制信号。(7 分)
 - (3) 请修改多周期 MIPS 处理器的数据通路, 使其同样能支持 MIPS 指令系统的 j 指令。要求: ①请画出需要增加或修改的数据通路及控制信号; ②请填写表 2 中多周期 MIPS 处理器数据通路 j 指令取指周期和执行周期的操作流程及控制信号。(7 分)

OP (6位)	imm26 (26位)
---------	-------------

图 7 MIPS 的 J 型指令格式

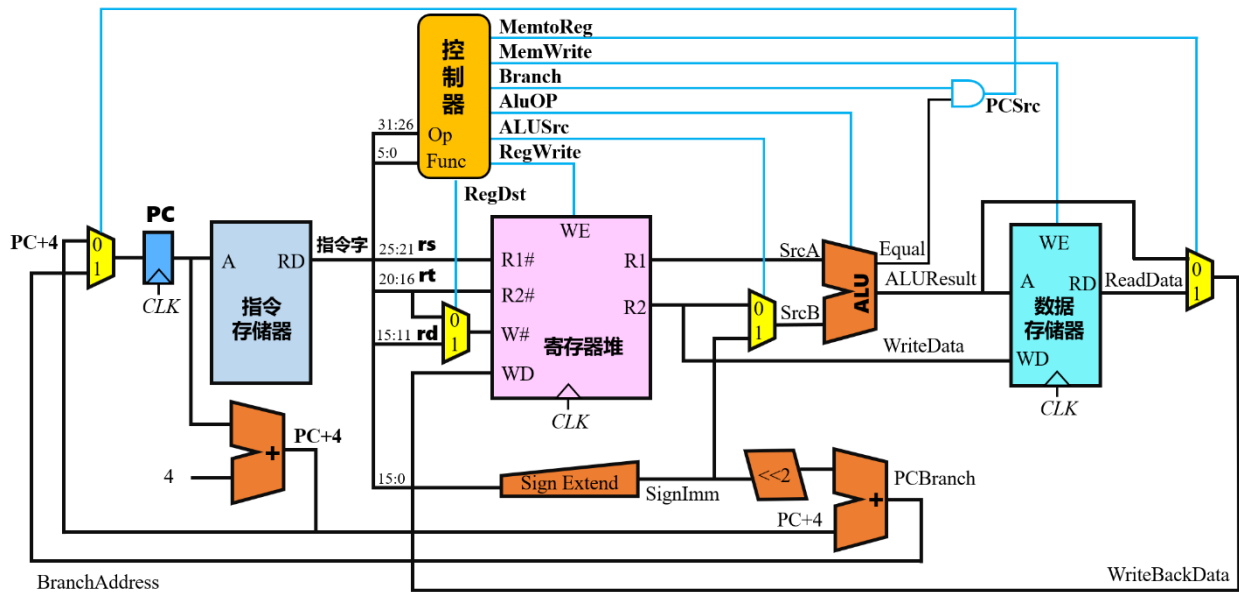


图 8 单周期 MIPS 处理器的数据通路

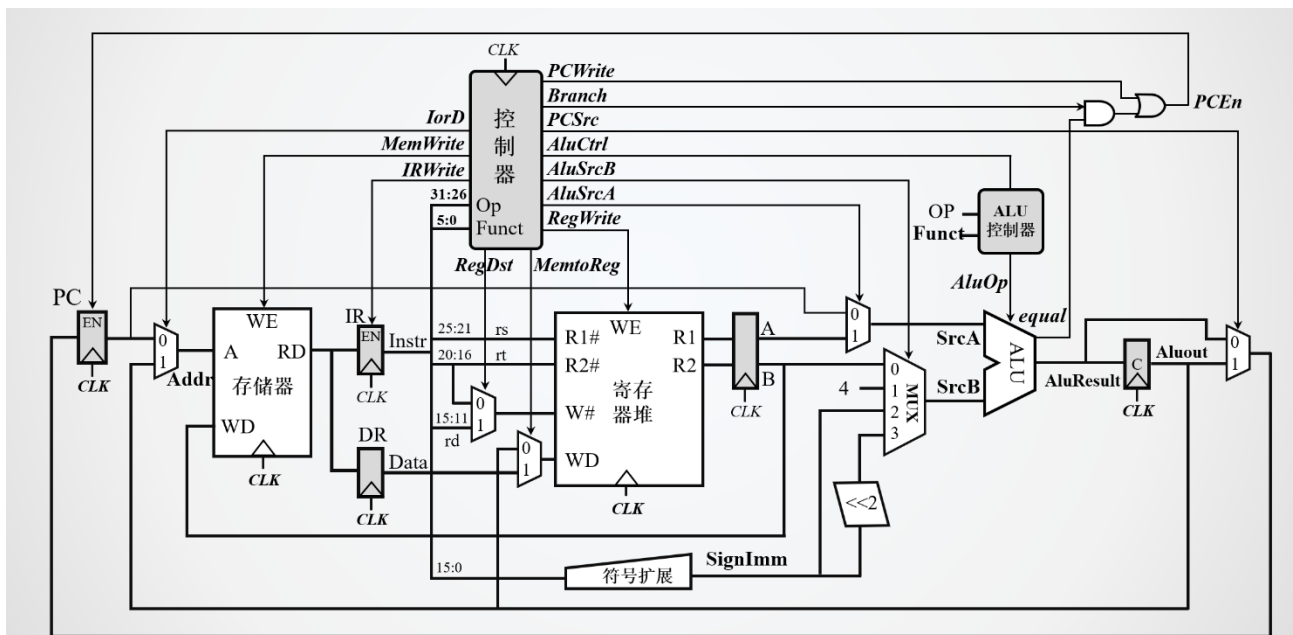


图 9 多周期 MIPS 处理器的数据通路

表 2 多周期 MIPS 处理器数据通路 j 指令的操作流程及控制信号

机器周期	时钟周期	操作流程（操作）	控制信号（非零值）
取指周期	T1		
	T2		
执行周期	T3		