**2021年厦门大学计算机科学与技术专业《计算机组成原理》科目期末试卷B（有答案）**

**一、选择题**

1、假设某指令的一个操作数采用变址寻址方式，变址寄存器中的值为007CH，地址007CH中的内容为0124H，指令中给出的形式地址为B000H，地址B000H中的内容为C000H，则该操作数的有效地址为（ ）。

A.B124H B.Cl24H C.B07CH D.CO7CH

2、某机器字长为32位，存储器按半字编址，每取出一条指令后PC的值自动+2，说明其指令长度是（ ）。

A.16位 B.32位 C.128位 D.256位

3、某数采用IEEE754标准中的单精度浮点数格式表示为C6400000H，则该数的值是（ ）。

A.-1.5×213  B.-1.5×212 C.-0.5×213 D.-0.5×212

4、组成一个运算器需要多个部件，但下面所列（ ）不是组成运算器的部件。

A.通用寄存器组

B.数据总线

C.ALU

D.地址寄存器

5、ALU属于（ ）。

A.时序电路

B.控制器

C.组合逻辑电路

D.寄存器

6、在全相联映射、直接映射和组相联映射中，块冲突概率最小的是（ ）。

A.全相联映射 B.直接映射

C.组相联映射 D.不一定

7、存储器采用部分译码法片选时，（ ）。

A.不需要地址译码器

B.不能充分利用存储器空间

C.会产生地址重叠

D.CPU的地址线全参与译码

8、假定机器M的时钟频率为200MHz，程序P在机器M上的执行时间为12s。对P优化时，将其所有乘4指令都换成了一条左移两位的指令，得到优化后的程序P。若在M上乘法指令的CPl为102，左移指令的CPl为z，P的执行时间是P”执行时间的1.2倍，则P中的乘法指令条数为（ ）。

A.200万 B.400万 C.800万 D.1600万

9、完整的计算机系统应该包括（ ）。

A.运算器、存储器、控制器

B.外部设备和主机

C.主机和应用程序

D.主机、外部设备、配套的软件系统

10、按数据传送格式，总线常被划分为（ ）。

A.并行总线与串行总线

B.同步总线与异步总线

C.系统总线与外总线

D.存储总线与I /O总线

11、在（ ）结构中，外部设备可以和主存储器单元统一编址。

A.单总线 B.双总线 C.三总线 D.以上都可以

12、下列说法中正确的是（ ）。

A.微程序控制方式与硬布线控制方式相比较，前者可以使指令的执行速度更快

B.若采用微程序控制方式，则可用𝜇PC取代PC

C.控制存储器可以用掩膜ROM，EPROM或闪速存储器实现，

D.指令周期也称为CPU周期

13、下列说法中正确的是（ ）。

A.采用微程序控制器是为了提高速度

B.控制存储器采用高速RAM电路组成

C.微指令计数器决定指令的执行顺序

D.一条微指令放在控制存储器的一个单元中

14、下列关于多重中断系统的叙述中，错误的是（ ）

A.在一条指令执行结束时响应中断

B.中断处理期间CPU处于关中断状态

C.中断请求的产生与当前指令的执行无关

D.CPU通过采样中断请求信号检测中断请求

15、在单级中断系统中，中断服务程序执行顺序是（ ）

a.保护现场：b.开中断；c.关中断：d.保存断点：e.中断事件处理：f.恢复现场：g.中断返回

A.a→e→f→b→g

B. c→a→e→g

C. c→d→e→f→g

D. d→a→c→f→g

**二、填空题**

16、CPU能直接访问\_\_\_\_\_\_\_和\_\_\_\_\_\_\_，但不能直接访问磁盘和光盘。

17、DMA控制器访采用以下三种方法：\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_

18、为了解决多个\_\_\_\_\_\_\_同时竞争总线\_\_\_\_\_\_\_，必须具有\_\_\_\_\_\_\_部件。

19、流水CPU中的主要问题是\_\_\_\_\_\_\_\_相关、\_\_\_\_\_\_\_\_相关和\_\_\_\_\_\_\_\_相关，为此需要采用相应的技术对策，才能保证流水畅通而不断流。

20、2000年，超级计算机最高浮点运算速度达到每秒\_\_\_\_\_\_\_次，我国的\_\_\_\_\_\_\_号计算机的运算速度达到3840亿次，使我国成为\_\_\_\_\_\_\_之后第三个拥有高速计算机的国家。

21、通道是一个特殊功能的\_\_\_\_\_\_，它有自己的\_\_\_\_\_\_专门负责数据输入输出的传输控制。

22、为了运算器的高速性，采用了\_\_\_\_\_\_\_\_进位，\_\_\_\_\_\_\_\_乘除法，\_\_\_\_\_\_\_\_等并行技术措施。

23、按IEEE754标准，一个浮点数的阶码E的值等于指数的\_\_\_\_\_\_\_\_\_加上一个固定的\_\_\_\_\_\_\_\_\_

24、闪速存储器特别适合于\_\_\_\_\_\_\_微型计算机系统，被誉为\_\_\_\_\_\_\_而成为代替磁盘的一种理想工具。

25、指令寻址的基本方式有两种，\_\_\_\_\_\_方式和\_\_\_\_\_\_方式。

**三、名词解释题**

26、全相联映象：

27、指令仿真：

28、原码：

29、气泡式喷墨打印机：

**四、简答题**

30、Cache做在CPU芯片内有什么好处？将指令Cache和数据Cache分开又有什么好处？

31、以DMA方式实现传送，大致可分为哪几个阶段？

32、何谓通用串口I/O标准接口IEEE1394？简述其性能特点？

33、什么叫寻址方式？为什么要学习寻址方式？

**五、计算题**

34、设有主频24MHz的CPU，平均每条指令的执行时间为两个机器周期，每个机器周期由两个时钟周期组成，试求：

1）机器的工作速度。

2）假如每个指令周期中有一个是访存周期，需插入两个时钟周期的等待时间，求机器的工作速度。

解：

35、一个直接映射的Cache有128个字块，主机内存包含16K个字块，每个块有16个字，访问Cache的时间是10ms，填充一个Cache字块的时间是200ms，Cache的初始状态为空。

1）如果按字寻址，请定义主存地址字段格式，给出各字段的位宽；

2）CPU从主存中依次读取位置16~210的字，循环读取10次，则访问Cache的命中率是多少？

3）10次循环中，CPU平均每次循环读取的时间是多少？

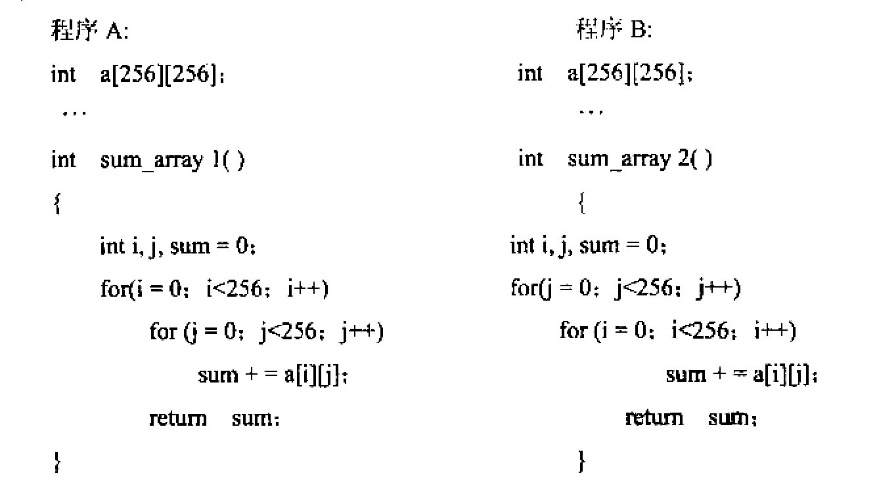
36、假设硬盘传输数据以32位的字为单位，传输速率为1MB/s.CPU的时钟频率为50MHz。

1）采用程序查询的输入/输出方式，假设查询操作需要100个时钟周期，求CPU为I/O查询所花费的时间比率，假定进行足够的查询以避免数据丢失。

2）采用中断方式进行控制，每次传输的开销（包括中断处理）为100个时钟周期。求CPU为传输硬盘数据花费的时间比率。

3）采用DMA控制器进行输入/输出操作，假定DMA的启动操作需要1000个时钟周期，DMA完成时处理中断需要500个时钟周期。如果平均传输的数据长度为4KB，问在硬盘工作时处理器将用多少时间比率进行输入/输出操作，忽略DMA申请使用总线的影响。

**六、综合题**

37、某计算机的主存地址空间大小为256MB，按字节编址。指令Cache和数据Cache分离，均有8个Cache行，每个Cache行大小为64B，数据Cache采用直接映射方式。现有两个功能相同的程序A和B，其伪代码如下所示：

假定int类型数据用32位补码表示，程序编译时，i、j、sum均分配在寄存器中，数组a按行优先方式存放，其首地址为320（+进制）。请回答下列问题，要求说明理由或给出计算过程。

1）若不考虑用于Cache一致性维护和替换算法的控制位，则数据Cache的总容量为多少？

2）数组元素a[0][31]和a[1][1]各自所在的主存块对应的Cache行号分别是多少（Cache行号从0开始）？

3）程序A和B的数据访问命中率各是多少？哪个程序的执行时间更短？

38、若某计算机有5级中断，中断响应优先级为1>2>3>4>5，而中断处理优先级为1>4>5>2>3，要求：

1）设计各级中断服务程序的中断屏蔽位（假设1为屏蔽，0为开放）。

2）若在运行用户程序时，同时出现第2、4级中断请求，而在处理第2级中断过程中，又同时出现1、3、5级中断请求，试画出此时CPU运行过程示意图。

39、在一个8级中断系统中，硬件中断响应从高到低的优先顺序是：1→2→3→4→5→6-7-8，设置中断屏蔽寄存器后，中断处理的优先顺序变为1→5→8→3→2→4→6→7。

1）应如何设置屏蔽码？

2）如果CPU在执行一个应用程序时有5、6、7级3个中断请求同时到达，中断请求8在6没有处理完以前到达，在处理8时中断请求2又到达CPU，试画出CPU响应这些中断的顺序示意图。

**参考答案**

**一、选择题**

1、C

2、B

3、A

4、D

5、C

6、A

7、C

8、B

9、D

10、A

11、A

12、C

13、D

14、B，

15、A

**二、填空题**

16、cache 主存

17、停止CPU访问 周期挪用 DMA和CPU交替访内

18、主设备 控制权 总线仲裁

19、资源 数据 控制

20、1万亿 神威 美国、日本

21、处理器 指令和程序

22、先行 阵列 流水线

23、真值 偏移量

24、便携式 固态盘

25、字向 位向

**三、名词解释题**

26、全相联映象：

cache的一种地址映象方式，一个主存块可映象到任何cache块。

27、指令仿真：

通过改变微程序实现不同机器指令系统的方式，使得在一种计算机上可以运行另一种计算机上的指令代码。

28、原码：

带符号数据表示方法之一，一个符号位表示数据的正负，0代表正号，2代表负号，其余的代表数据的绝对值。

29、气泡式喷墨打印机：

一种非击打式打印设备，喷头通过电加热，使墨水在蒸气的作用下从喷头射到纸上。

**四、简答题**

30、答：Cache做在CPU芯片内主要有下面几个好处：

1）可提高外部总线的利用率。因为Cache在CPU芯片内，CPU访问Cache时不必占用外部总线。

2）Cache不占用外部总线就意味着外部总线可更多地支持I/0设备与主存的信息传输，增强了系统的整体效率。

3）可提高存取速度。因为Cache与CPU之间的数据通路大大缩短，故存取速度得以提高。

将指令Cache和数据Cache分开有如下好处：

1）可支持超前控制和流水线控制，有利于这类控制方式下指令预取操作的完成。

2）指令Cache可用ROM实现，以提高指令存取的可靠性。

3）数据Cache对不同数据类型的支持更为灵活，既可支持整数（例32位），也可支持浮点数据（如64位）。

31、答：（1）DMA传送前的预置阶段（DMA初始化）（2）数据传送阶段（DMA传送）（3）传送后的结束处理

32、答：IEEE1394是串行1/0标准接口。与SCSI并行I/0接口相比，它具有更高的数据传输速率和数据传送的实时性，具有更小的体积和连接的方便性。IEEE1394的一个重大特点是，各被连接的设备的关系是平等的，不用PC介入也能自成系统。因此IEEE1394已成为因特尔、微软等公司联手制定的PC98系统设计指南的新标准。

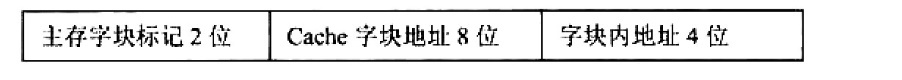
33、答：寻址方式是指确定本条指令的数据地址以及下一条将要执行的指令地址的方法，它与硬件结构紧密相关，而且直接影响指令格式和指令功能。寻址方式分为指令寻址和数据寻址

**五、计算题**

34、1）主频为24MHz的意思是每秒中包含24M个时钟周期，又因为执行一条指令需要4个时钟周期，故机器每秒可以执行的指令数为24M/4=6M条（600万条）。

2）插入两个时钟周期，即执行每条指令需要6个时钟周期，故机器每秒可以执行的指令数为24M/6=4M条，即400万条。

35、解析：

1）按字寻址，每个块有16个字，故字块内地址为4位。Cache有128个字块，故Cache字块地址为8位。主存包含16K个字块，故主存地址总共14位。则主存字块标记位数为14-8-4=2位。

2）Cache中每个块16个字，故16~210位置的字，按照直接映射可分别放入Cache的第1~13块。由于Cache的初始状态为空，循环读取10次时，第一次循环第16、32、48、64、…、208位置的字均末命中，共13次，其他位置均命中，后面9次循环每个字都命中。故Cache的命中率为1-13/（195×10）=99.3%。

3）第一次循环需要填充Cache13次，访问Cache 195-13=182次，总时间为200ns×13+10ns×182=4420ms。其余9次循环只需访问Cache195次，总时间为195×10ns×9=17550ns。故平均访问时间为（17550ns+4420ns）/10=2197ns。

36、解析：

1）假设采用程序查询方式，则可算出硬盘每秒进行查询的次数为：1MB/4B=250K次，而查询250K次需要的时钟周期数为250K100=25000K，则可算出CPU为1/0查询所花费的时间比率为

2）假设采用中断方法进行控制，每传送一个字需要的时间为4μs,而每次传输

的开销为100个时钟周期，还得先计算出时钟周期，即=0.02s。所以，每次传输的50MHz开销为2μs，故CPU为传输硬盘数据花费的时间比率为100%= 50%.

3）：可算得每秒传输次数1MB/4KB=250次，所以CPU为传输硬盘数据花费的时间比率为

**六、综合题**

37、解析：1）Cache结构如下。

|  |  |  |  |
| --- | --- | --- | --- |
| V | … | Tag | Data |

此处的行即为块（Block）。直接映射下，每块的Cache结构一般分为4个部分，其中，V：1位，表示所在的块是否有效。

…：表示用于Cache一致性维护和替换算法的控制位。

TAG：地址转换标记。

如果不计算“…”部分，则Cache的大小由V、Tag和Data（数据）3部分组成。在直接映射中，可以将地址分为如下3个部分：

|  |  |  |
| --- | --- | --- |
| Tag | 快索引 | 块内 |

本题中，总的寻址位数为28位（228=256M）：块内位为6位（25-64），5~0位；块索引为3位（23=8），8~6位。因此，Tag=28-6-3=19位，即27~9位。

每行（块）的大小=V+Tag+数据=1+19+64×8位。

数据Cache有8行，总容量为（1+19+64×8）×8/8=532B。

2）由于数组在存储器中按行优先方式存放，因此每个数组元素占4B。数组首地址为320，因此可知：

a[0][31]在存储器中的地址为320+31×4=444=0001 10111100B

a[l][1]在存储器中的地址为320+（256+1）×4=1348=010101000100B按直接映射方式，地址分为3部分，块索引在地址的8~6位，因此两地址所对应的块索引分别为6（110B）、5（101B）。

3）数组a中每个数据只用了一次，如果程序没有命中，则从主存中读入一块，大小64B，相当于16个整数。对于程序A，如果是按行连续存放的，那么从主存读入一块到Cache（一次失配）后，随后的15次便都Cache命中，读一次管16次，因此命中率为

[（216-212）/216]×100%=93.75%

程序B随列访问数组a，由于Cache的容量太小，读入的数据块留不到下次用便又被替换，因此每次都失败，命中率为0%。

另一种算法是，由于数组a一行的数据量为1KB>64B，因此访问第0行时，每个元素都不命中，由于数组有256列，数据Cache仅有8行，故访问数组后续列元素仍然不命中，于是程序B的数据访问命中率为0%。

由于从Cache 读数据比从内存读数据快很多，因此程序A的执行时间更短。

分析：

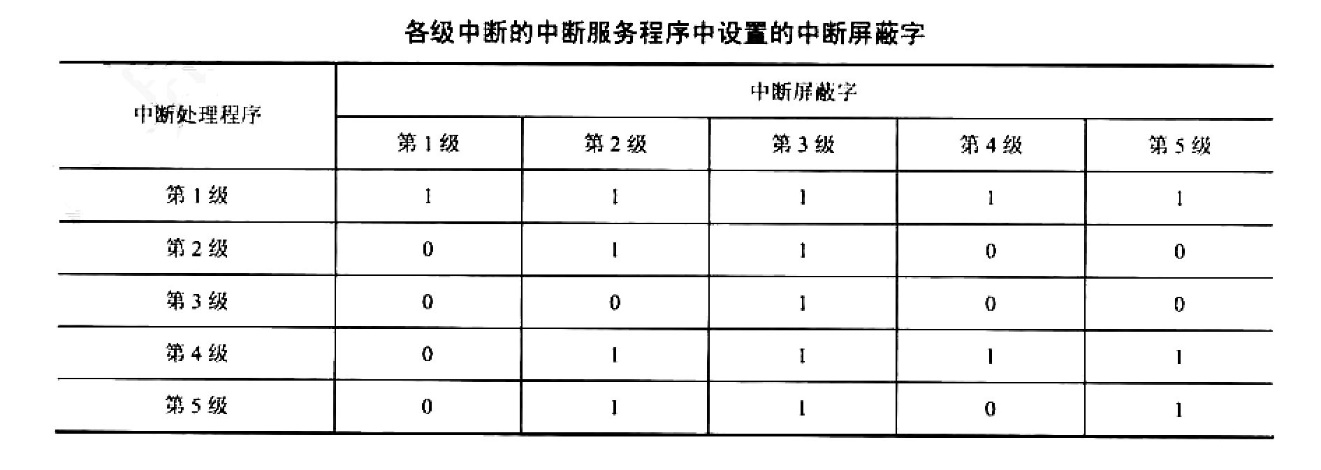
1）V、Tag、Data是每个Cache块（行）的必要组成。为了提高效率或者实行替换算法，每个块还需要一些控制位，这些位根据不同的设计要求而定。

2）本题中计算两个数组元素的地址是关键。

3）命中率的计算是本问题的关键。注意数组访问与数组在内存中的存储方式，以及命中率的定义。

38、解析：

1）中断屏蔽是用来改变中断处理优先级的，因此这里应该是使中断屏蔽位实现中断处理优先级为1>4>5>2>3。也就是说，1级中断的处理优先级最高，说明1级中断对其他所有中断都屏蔽，其屏蔽字为全1：3级中断的处理优先级最低，所以除了3级中断本身之外，对其他中断全都开放，其屏蔽字为00100。以此类推，得到所有各级中断的中断服务程序中设置的中断屏蔽字见下表。

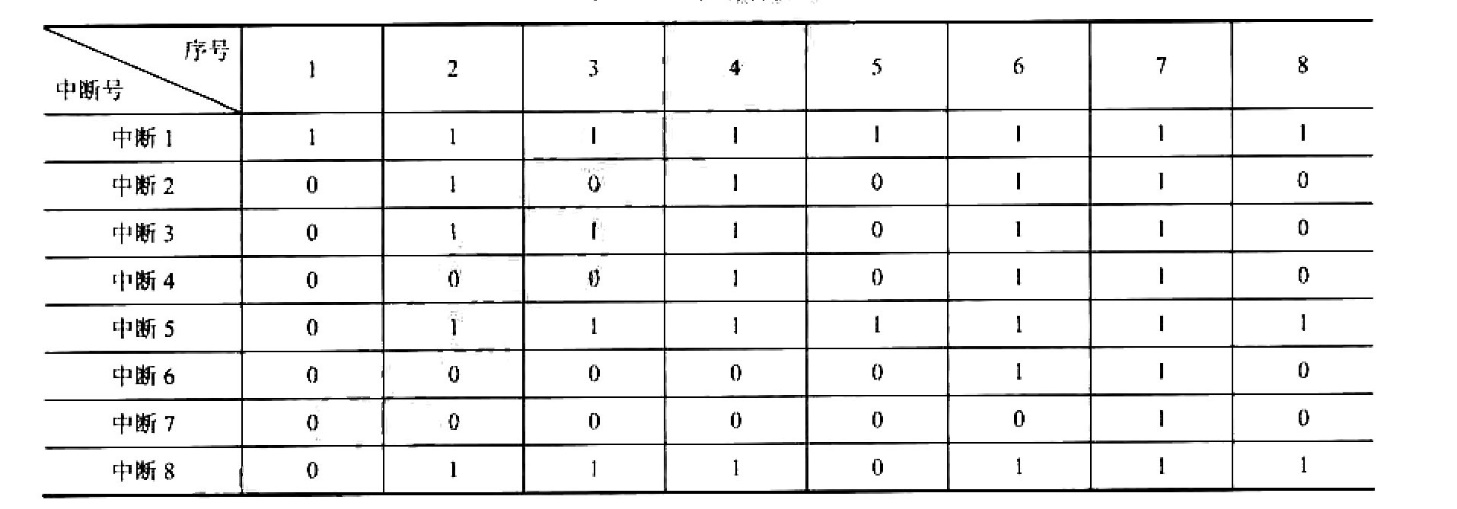


2）CPU运行程序的执行过程如下图所示。

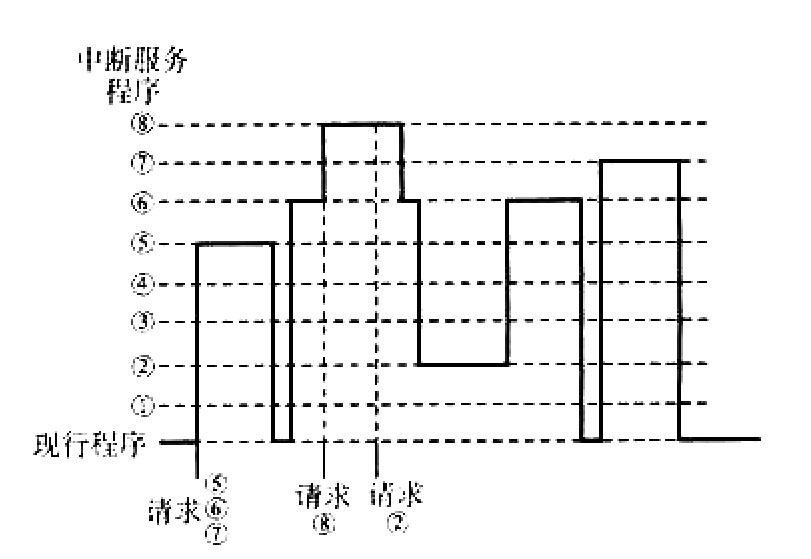


具体过程说明如下：在运行用户程序时，同时出现2、4级中断请求，因为用户程序对所有中断都开放，所以，在中断响应优先级排队电路中，有2、4两级中断进行排队判优，根据中断响应优先级2>4，因此先响应2级中断。在CPU执行2级中断服务程序过程中，首先保护现场、保护旧屏蔽字、设置新的屏蔽字01100，然后，在具体中断处理前先开中断。一旦开中断，则马上响应4级中断，因为2级中断屏蔽字中对4级中断的屏蔽位是0，即对4级中断是开放的。在执行4级中断结束后，回到2级中断服务程序执行：在具体处理2级中断过程中，同时发生了1、3、5级中断请求，因为2级中断对1、5级中断开放，对3级中断屏蔽，所以只有1和5两级中断进行排队判优，根据中断响应优先级1>5，所以先响应1级中断。因为1级中断处理优先，级最高，所以在其处理过程中不会响应任何新的中断请求，直到1级中断处理结束，然后返回2级中断：因为2级中断对5级中断开放，所以在2级中断服务程序中执行一条指令后，义转去执行5级中断服务程序，执行完后回到2级中断，在2级中断服务程序执行过程中，虽然3级中断有请求，但是，因为2级中断对3级中断不开放，所以，3级中断一直得不到相应。直到2级中断处理完回到用户程序，才能响应并处理3级中断。

39、解析：

1）中断屏蔽码见表

2）中断处理示意图如图所示。



5、6、7级中断请求同时到达，CPU按响应优先顺序首先执行中断服务程序⑤，在中断⑤执行完后回到现行程序，再按响应优先顺序先进入中断服务程序④。由于中断请求的处理优先级，高于中断④，因此中断⑤被打断，进入中断服务程序③。当处理中断③的过程中又有一个中断请求②到达，由于②的优先级低于中断8，因此中断服务程序③可继续执行。中断8执行完后问到被打断的中断⑤，但中断③又被中断请求②打断，而进入中断服务程序②。中断②执行完后才回到中断⑤，中断⑤执行完后回到现行程序，再按响应优先顺序进入中断服务程序⑦。中断⑦执行完后回到现行程序，整个中断处理完毕。