



**《计算机组成原理》**

**课程实验报告**

姓名：陈澄

学院：信息学院

系：软件工程

专业：软件工程

学号：32420212202930

2023年5月18日

**第5次实验 CPU设计**

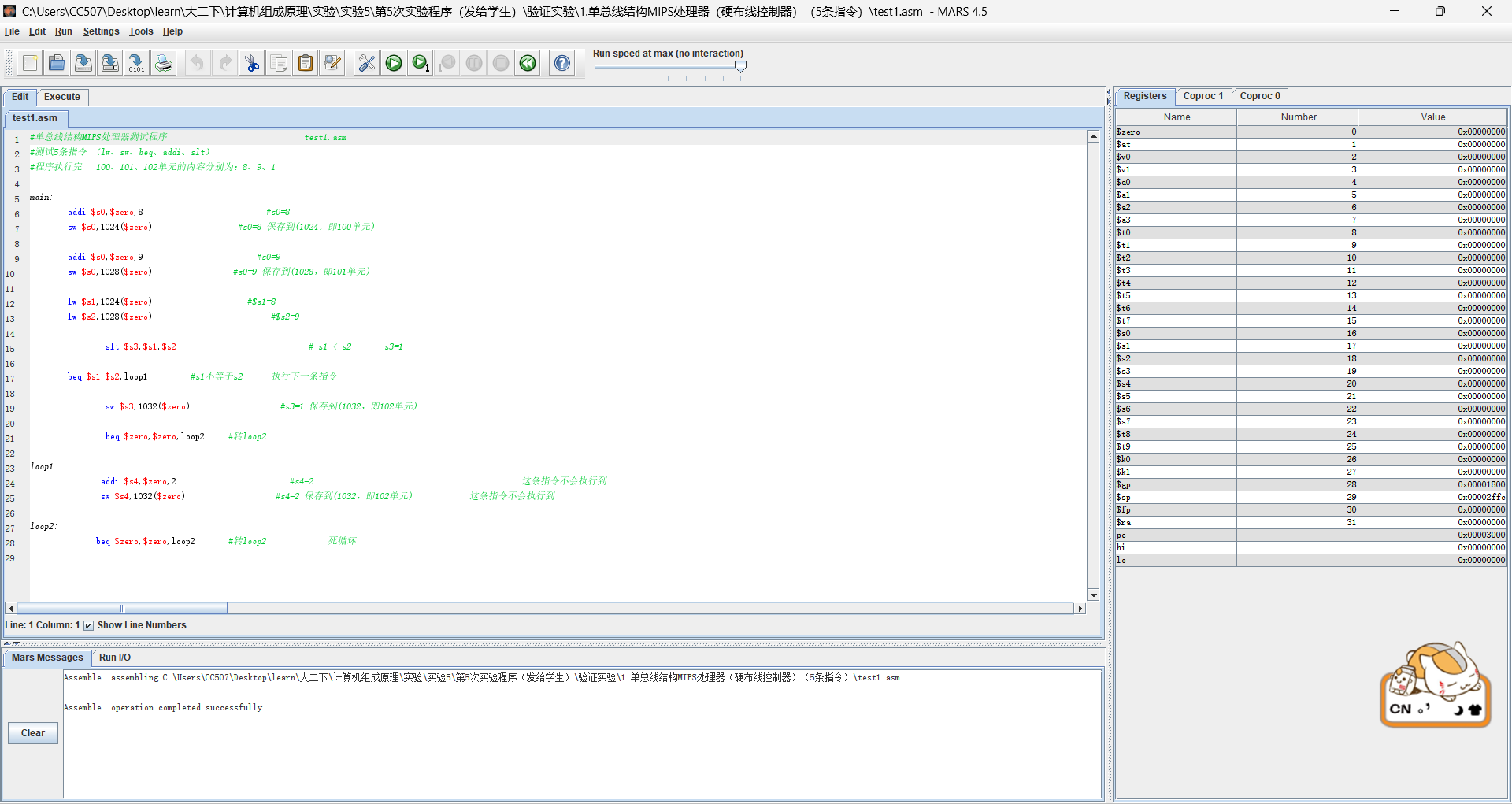
1. **实验目的**
2. **掌握单总线结构MIPS处理器（硬布线控制器、微程序控制器）、单周期MIPS处理器（硬布线控制器）、单周期RISC-V处理器（硬布线控制器）设计的基本原理。**
3. **学会在已有的5条指令单总线结构MIPS处理器（微程序控制器、硬布线控制器）基础上，增加1至2条指令。**
4. **了解多周期MIPS处理器（硬布线控制器、微程序控制器）设计的基本原理，以及如何在已有的8条指令多周期MIPS处理器（硬布线控制器、微程序控制器）基础上，增加1条指令。**
5. **实验环境**
6. **Windows系统下运行Dev-C++（或其他C语言开发环境）。**
7. **Windows系统下运行Logisim软件（需安装JDK）。**
8. **实验内容**

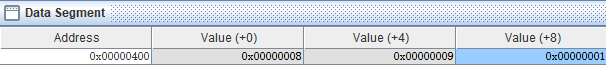
**3.1课堂完成部分（验证实验的内容）**

1. **单总线结构 MIPS 处理器（硬布线控制器）（5条指令）**

**在单总线结构 MIPS 处理器（硬布线控制器）的数据通路上运行程序：**

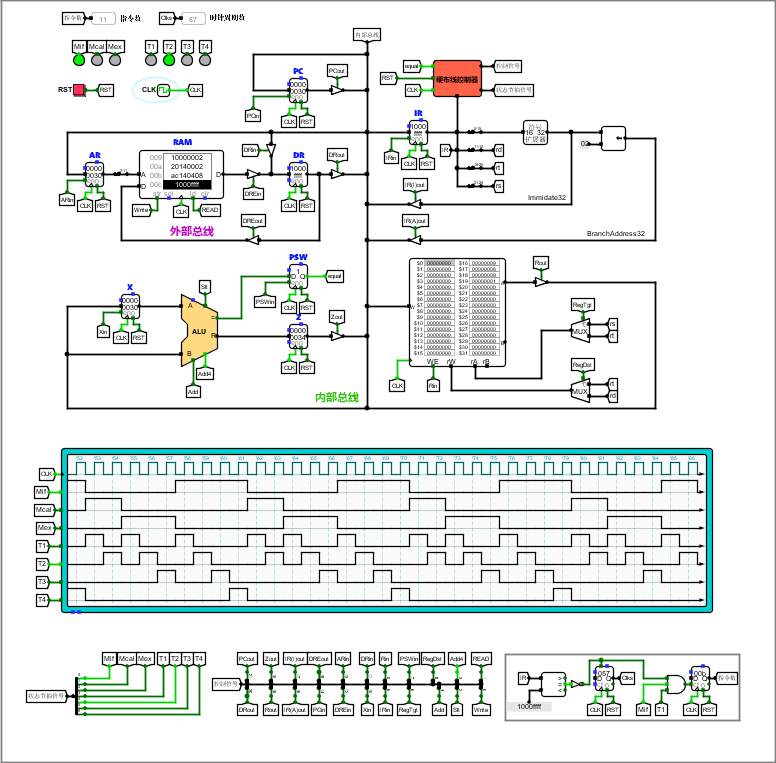
**第一步：测试5条指令的程序：test1.asm**

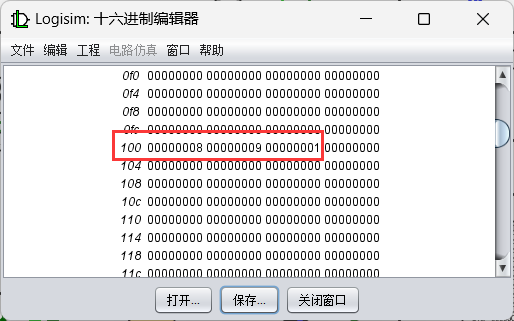




**第二步：在单总线结构 MIPS 处理器（硬布线控制器）的数据通路上运行排序程序：**

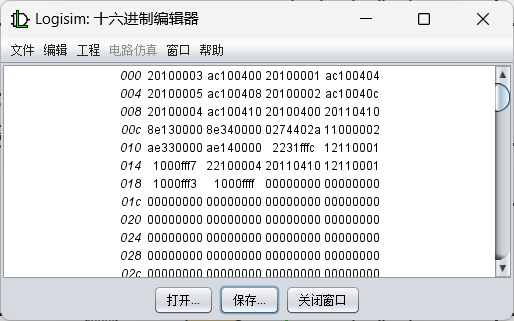


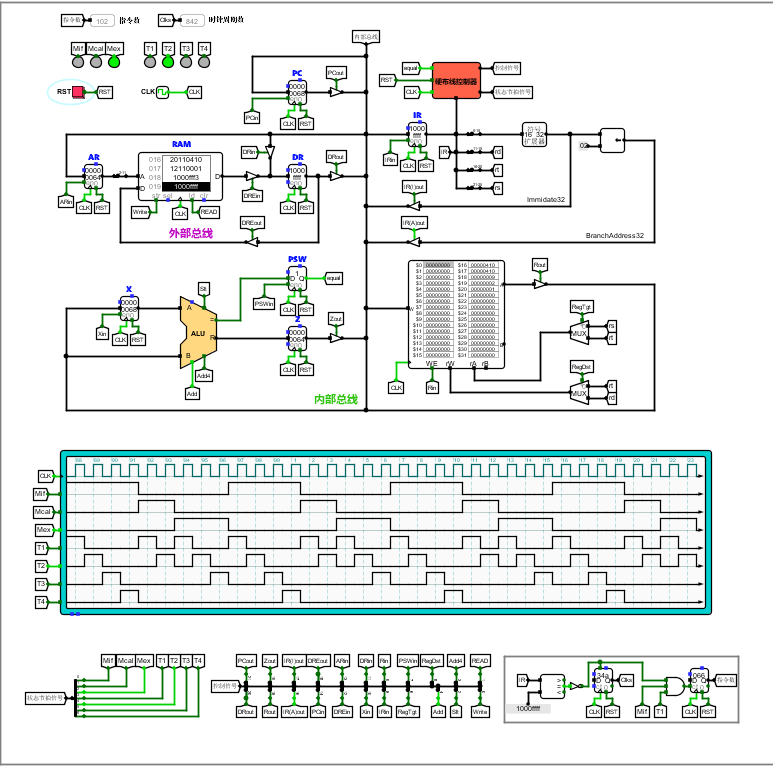


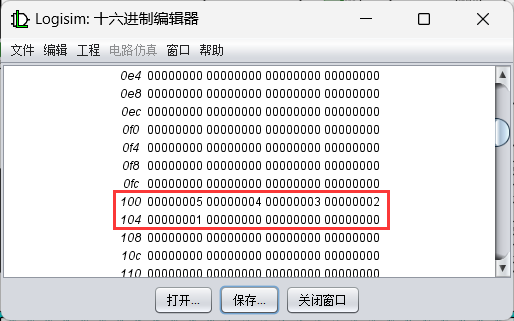


**第三步：运行5个数的排序程序sort3\_mips\_bus.hex和sort4\_mips\_bus.hex**

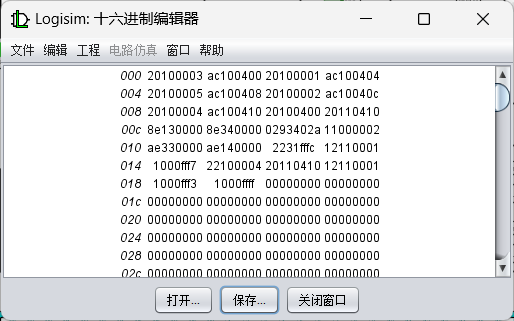
**sort3\_mips\_bus.hex**

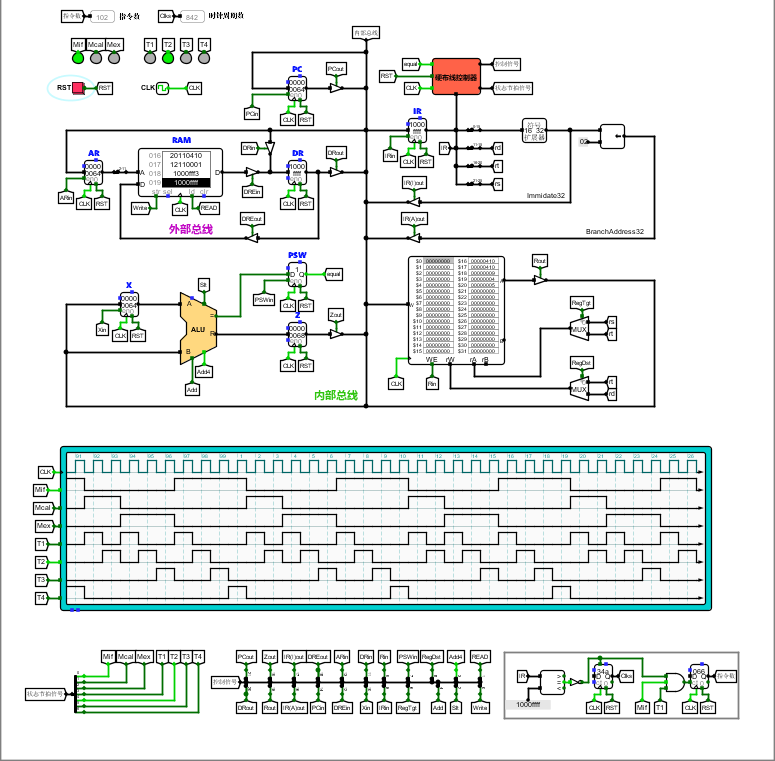


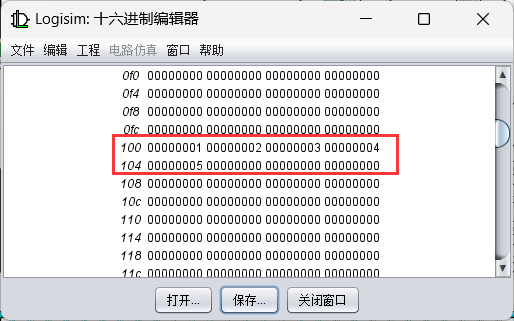




**sort4\_mips\_bus.hex**







**请分析单总线结构 MIPS 处理器（硬布线控制器）的电路原理：**

**• 包括：数据通路、硬布线控制器、指令译码器、状态机、输出函数、硬布线控制器组合逻辑单元、算术逻辑单元ALU等电路。**

数据通路：数据通路由多个寄存器和ALU模块组成，实现了操作数的读取、运算和结果的写入。在执行指令时，操作数会从寄存器中读出并送入ALU模块进行运算，然后将运算结果写回到目标寄存器中。

硬布线控制器：硬布线控制器是处理器的控制中心，负责识别指令类型、确定操作数所在的寄存器、设置ALU的运算方式等。硬布线控制器会根据当前的指令码产生相应的控制信号，并将这些信号传递给其他电路模块。

指令译码器：指令译码器用于将指令码转化为具体的操作命令和指令参数。它会解析指令码，并将操作命令和指令参数传递给硬布线控制器。

状态机：状态机跟踪当前处理器的状态，并控制何时切换到下一个状态。状态机的输出信号会影响硬布线控制器的操作，并使得数据通路能够按照正确的顺序执行指令。

输出函数：输出函数用于产生处理器的输出结果。在执行指令时，输出函数从ALU中获取结果，并将其写入到目标寄存器中。

硬布线控制器组合逻辑单元：硬布线控制器组合逻辑单元产生各种控制信号，例如读取/写入寄存器的使能信号、ALU运算方式等。它会根据当前指令码和状态机的输出信号产生相应的控制信号。

算术逻辑单元ALU：ALU模块是用于执行各种算术和逻辑运算的核心模块。它接收来自硬布线控制器的指令信息和操作数，并根据指令类型执行相应的运算，并将结果传递给输出函数进行写入操作。

**请问：在该单总线结构 MIPS 处理器（硬布线控制器）的数据通路上，能够运行求累**

**加和程序、计算费波那契数列程序吗？为什么？**

能。

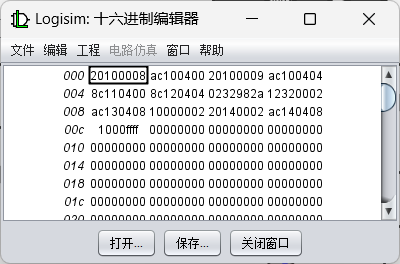
对于求累加和程序，可以使用lw（load word）指令从内存中读取数据，并使用add指令将数据相加。然后使用sw（store word）指令将结果写回到内存中。这些指令和操作都可以由硬布线控制器和ALU模块通过控制信号完成。

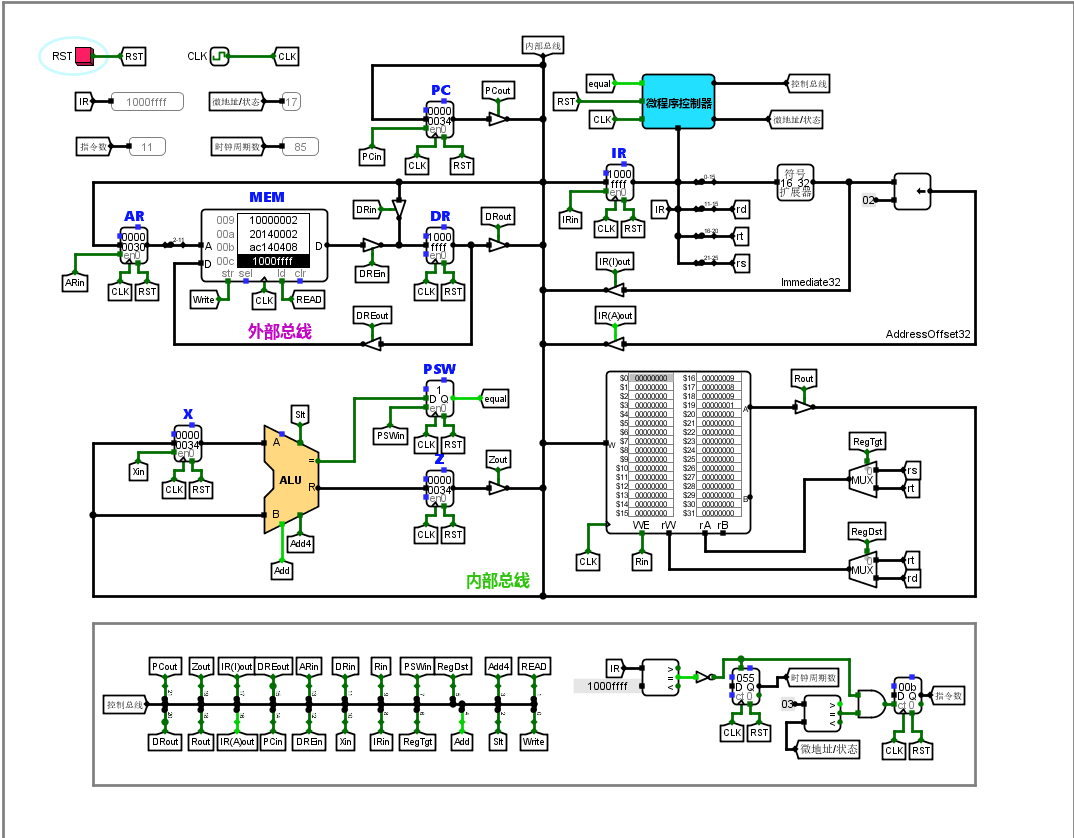
对于计算费波那契数列程序，也可以使用lw指令从内存中读取数据，并使用add指令进行加法运算，同时使用sw指令将结果写回到内存中。此外，还需要使用条件分支指令（如beq或bne）来实现循环控制，以便处理器能够迭代计算出费波那契数列中所需的数值。这些操作同样可以由硬布线控制器和ALU模块通过控制信号完成。

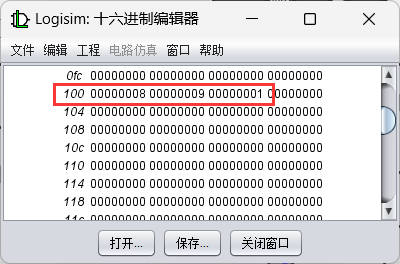
1. **单总线结构 MIPS 处理器（微程序控制器）（5条指令）**

**请在单总线结构 MIPS 处理器（微程序控制器）的数据通路上运行程序：test1.hex、sort3\_mips\_bus.hex、sort4\_mips\_bus.hex，具体步骤与单总线结构 MIPS 处理器（硬布线控制器）相同。**

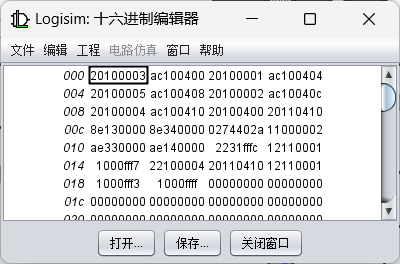
**test1.hex**

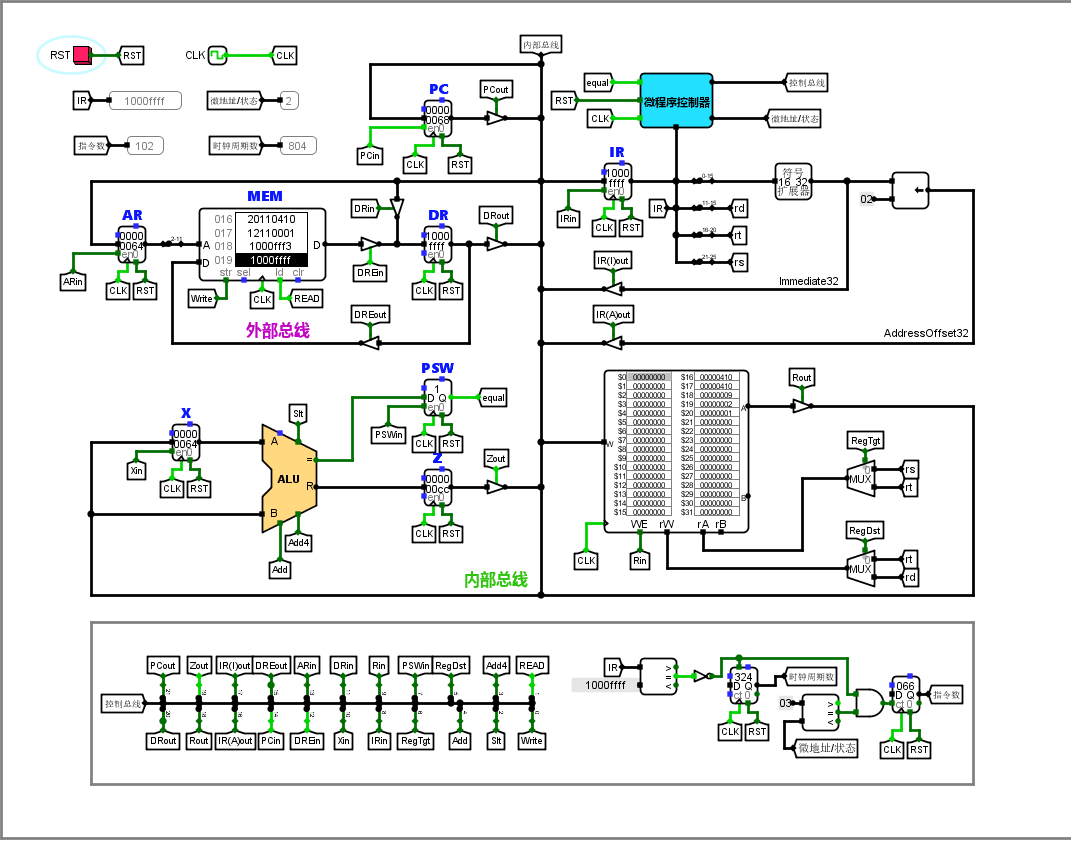


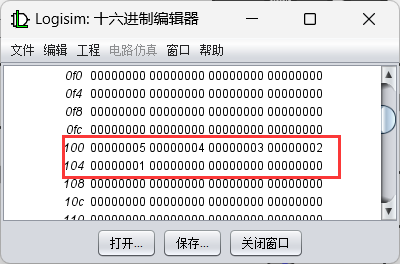




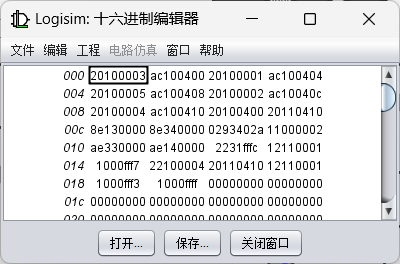
**sort3\_mips\_bus.hex**

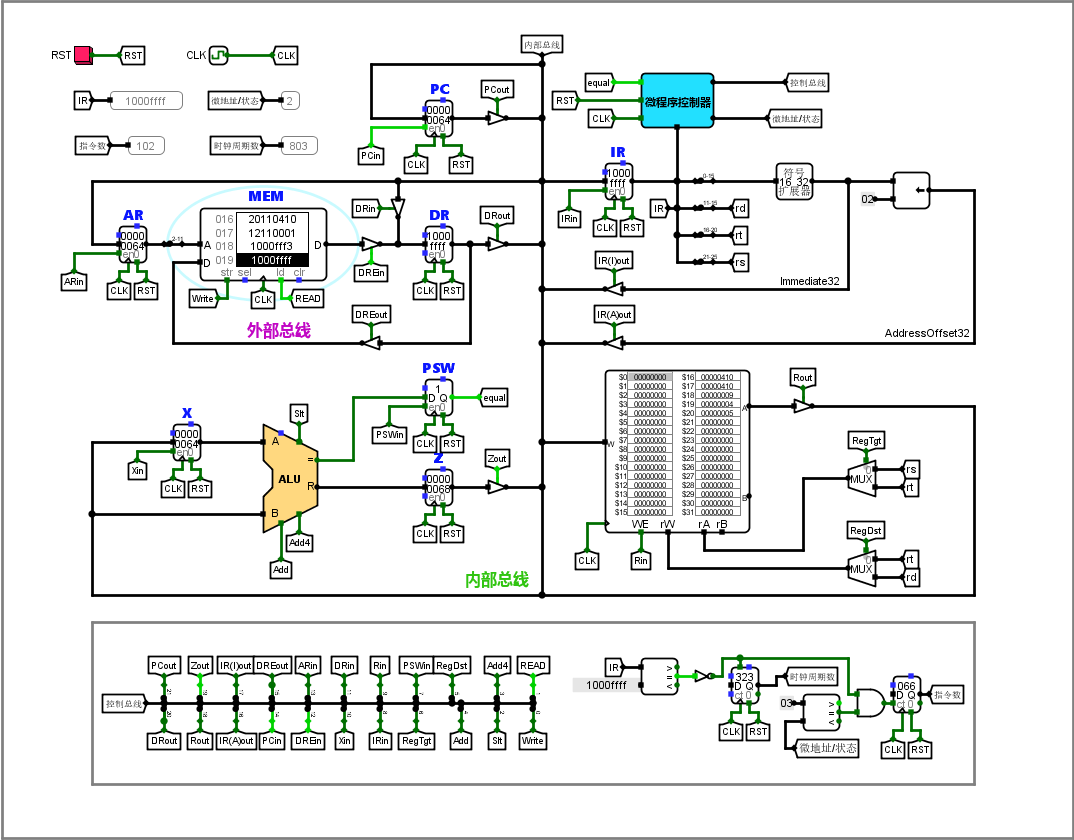


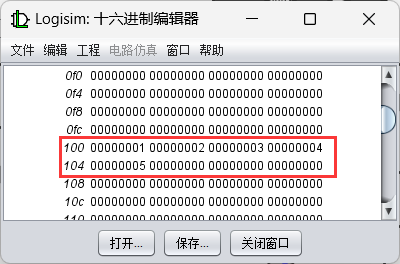




**sort4\_mips\_bus.hex**







**请分析单总线结构 MIPS 处理器（微程序控制器）的电路原理和微程序：**

**• 包括：数据通路、微程序控制器（下址字段法）、微程序入口查找逻辑、判别测试逻辑、控制存储器中的微程序（25条微指令）等。**

数据通路中包括寄存器文件、算术逻辑单元(ALU)和数据存储器。其中，寄存器文件有32个寄存器，每个寄存器都可以存储一个32位的数据。ALU可以进行基本的算术和逻辑运算，例如加法、减法、与、或等操作。数据存储器用于存储程序和数据。

微程序控制器是用来控制整个处理器的执行过程。它通过微程序来控制不同的指令执行流程。微程序控制器采用下址字段法，将指令的操作码作为下一条微指令的地址，从而实现对不同指令的控制。

微程序入口查找逻辑会将指令的操作码转换成微程序的起始地址，并将其存储在一个寄存器中。判别测试逻辑负责识别指令类型，并根据指令类型选择相应的微程序执行。

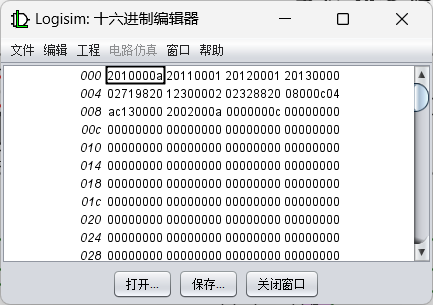
控制存储器中存储了25条微指令，包括取指令、取数1、取数2、执行、写回等微指令。

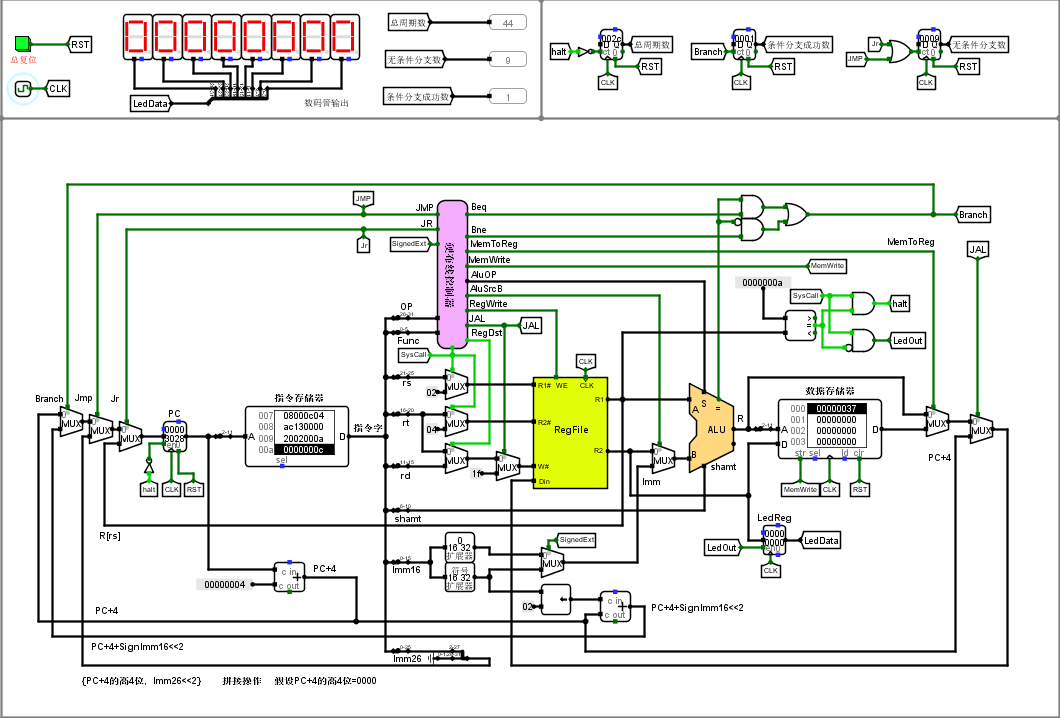
微指令通过微程序计数器控制执行顺序，并通过控制信号控制数据通路中各部件的工作状态。这些微指令按照特定的顺序执行，从而完成一个指令的执行过程。

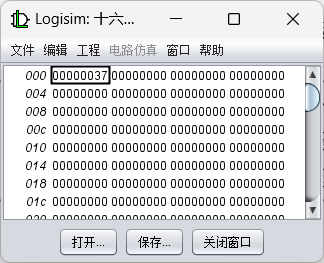
1. **单周期 MIPS 处理器（硬布线控制器）（24条指令）**

**测试程序：包括求累加和程序、计算费波那契数列程序、排序程序（降序、升序）**

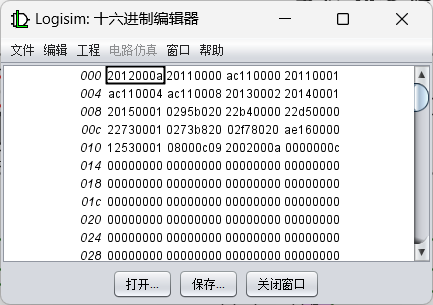
**求累加和程序**

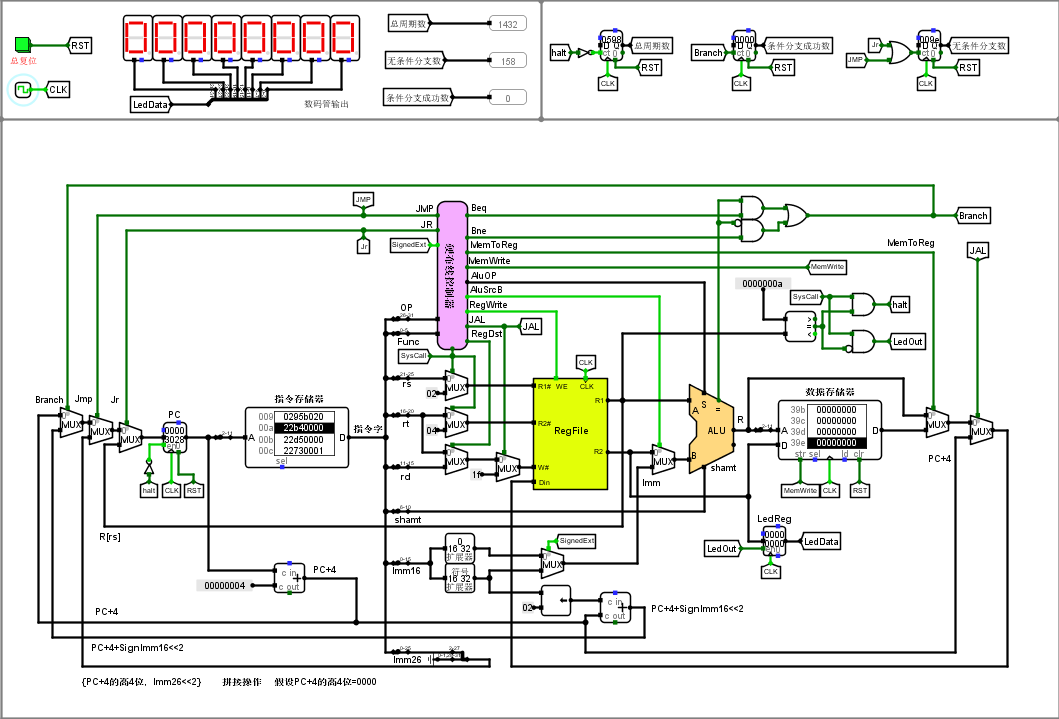


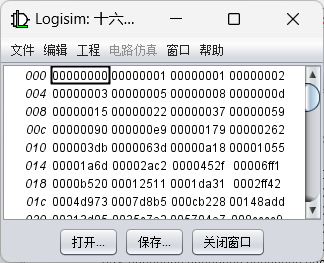




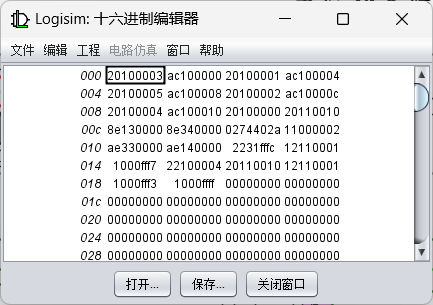
**计算费波那契数列程序**

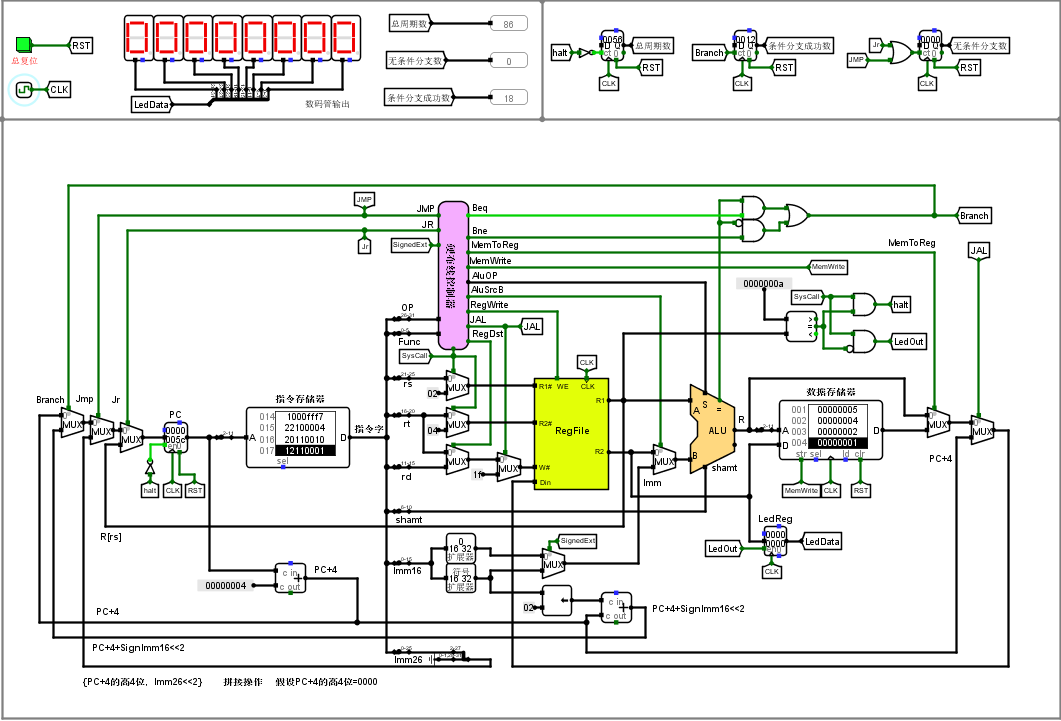


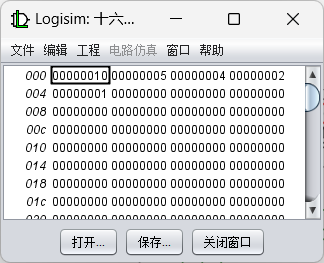




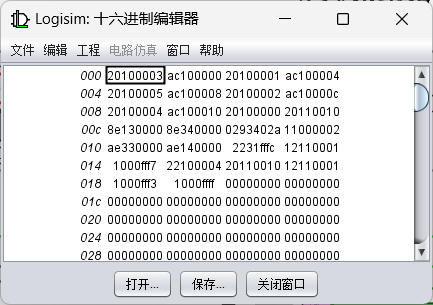
**排序程序（降序）**

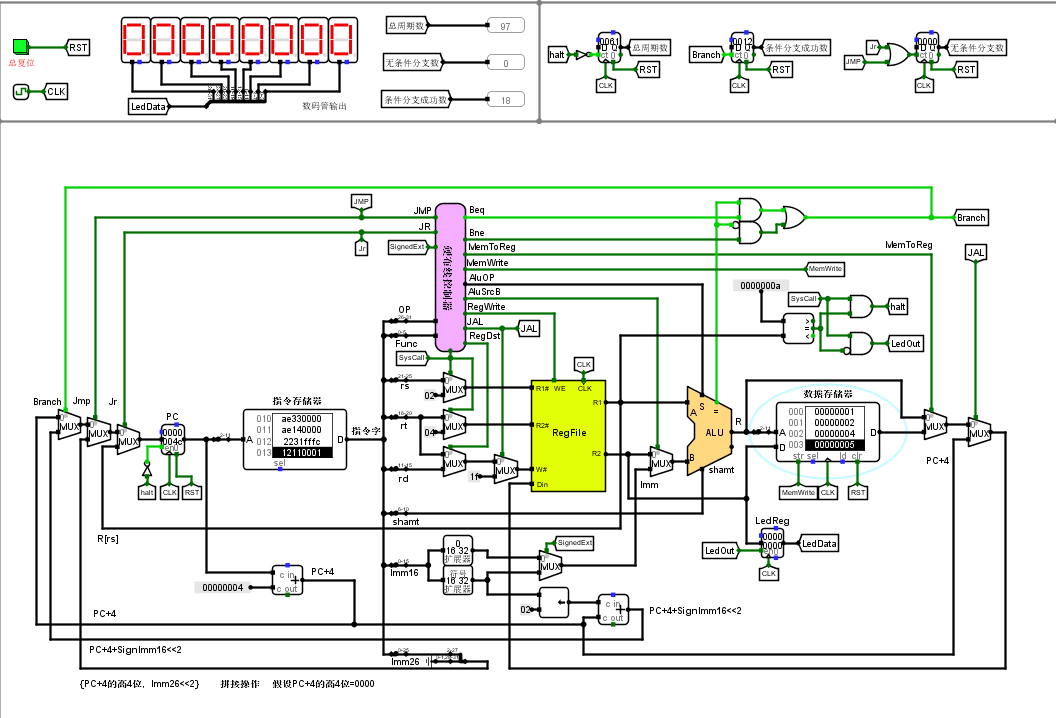


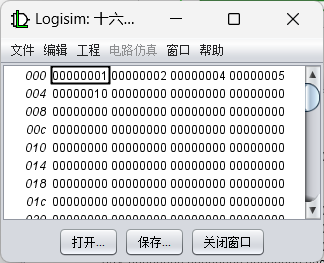




**排序程序（升序）**







**请分析单周期 MIPS 处理器（硬布线控制器）的电路原理：**

**• 包括：数据通路、硬布线控制器、运算器控制器、控制信号生成等电路。**

数据通路：数据通路是处理器中的主要组成部分，它负责执行指令操作并将结果传递给下一个阶段。在单周期 MIPS 处理器中，数据通路包括以下几个部分：

寄存器堆：用于存储寄存器文件中的数据。在单周期 MIPS 处理器中，寄存器堆 有32个32位寄存器。

ALU：算术逻辑单元用于执行算术和逻辑操作。在单周期 MIPS 处理器中，ALU 支持加、减、与、或、异或等多种操作。

数据存储器：用于存储数据。在单周期 MIPS 处理器中，数据存储器通常是RAM 或ROM。

PC：程序计数器用于保存当前正在执行的指令地址。

硬布线控制器：硬布线控制器负责产生各种控制信号以完成指令操作。在单周期 MIPS 处理器中，硬布线控制器包括以下几个部分：

指令寄存器（IR）：用于保存当前正在执行的指令。

译码器：用于将指令转换为相应的操作码。

控制信号生成器：根据指令操作码产生相应的控制信号。

运算器控制器：运算器控制器负责控制ALU的操作。在单周期 MIPS 处理器中，运算器控制器根据指令操作码产生相应的ALU控制信号。

控制信号生成：控制信号生成电路负责将硬布线控制器和运算器控制器产生的控制信号组合成完整的控制信号，并发送给数据通路中的各个部分执行指令操作。

**请问：该单周期 MIPS 处理器的控制器能不能采用微程序控制器的方法设计？为什么？**

可以。

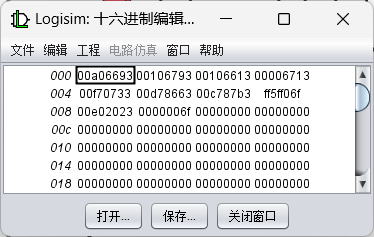
对于单周期 MIPS 处理器这样的简单处理器，指令的执行步骤相对较少，因此可以使用微程序控制器进行设计。具体来说，可以将每条 MIPS 指令拆分成若干个微操作，并且将这些微操作的控制逻辑编写成微指令，存储在控制存储器中。然后，控制器根据当前执行的指令从控制存储器中读取对应的微指令序列，并按照微指令序列中规定的时序和顺序来控制各个微操作的执行。

1. **单周期 RISC-V 处理器（硬布线控制器）（9条指令）**

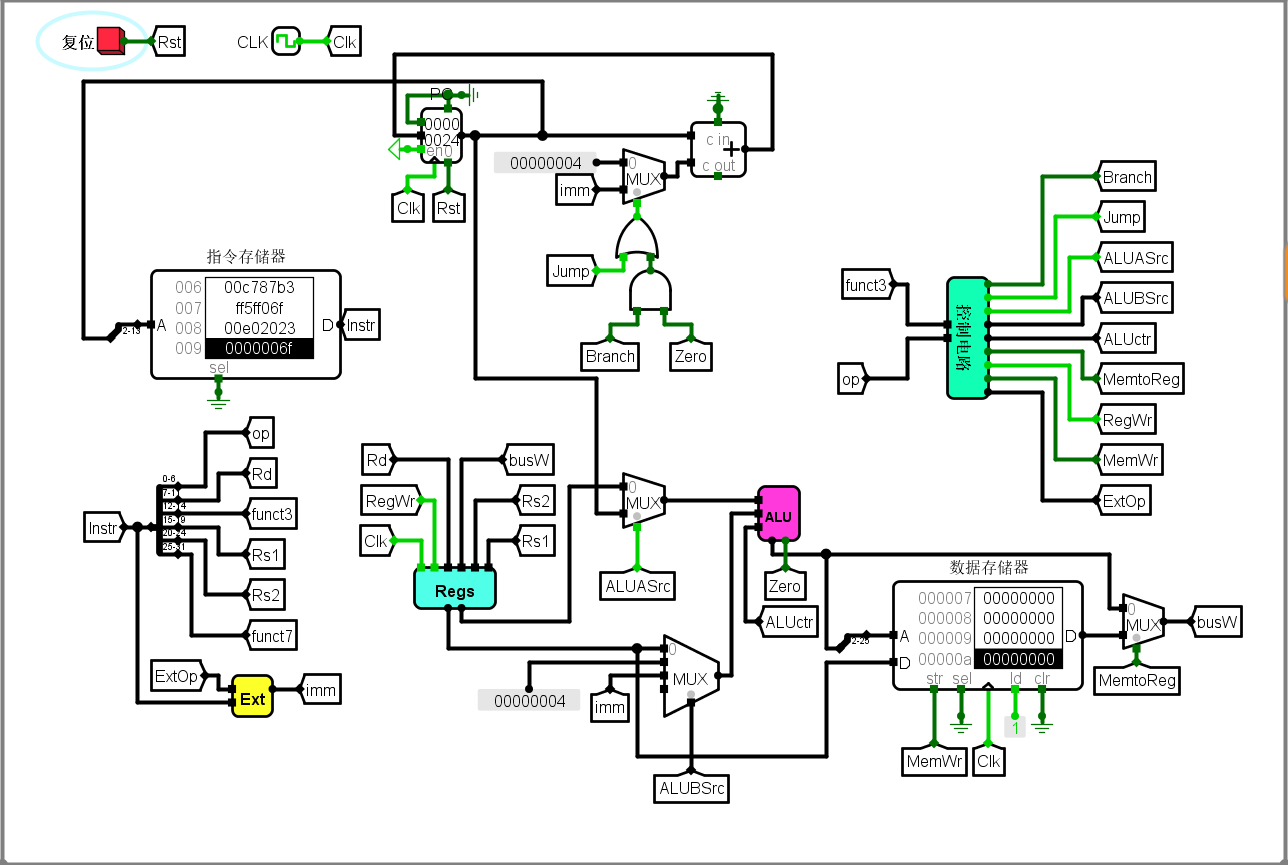
**测试程序：包括求累加和程序、计算费波那契数列程序、排序程序（降序、升序）**

**求累加和程序**

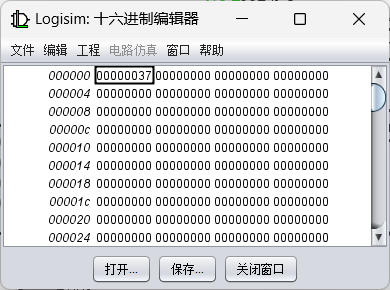
**指令存储器：**



**运行结束**

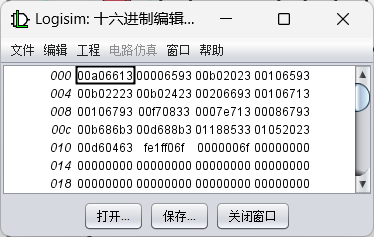


**数据存储器（运行结果）：**

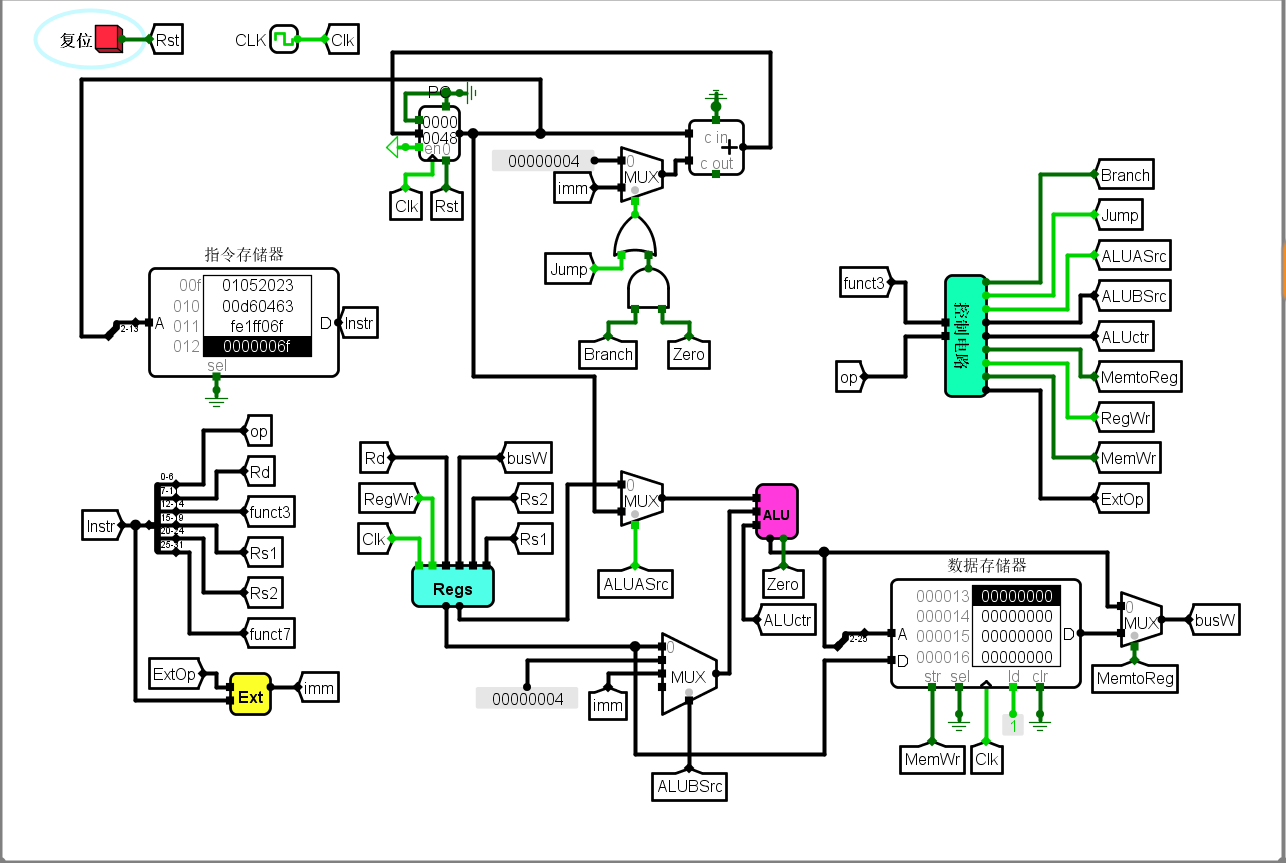


**计算费波那契数列程序**

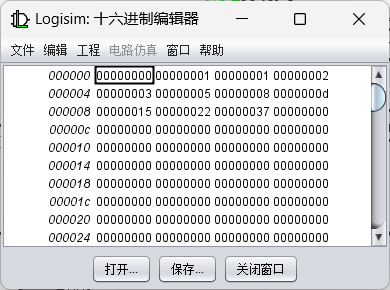
**指令存储器：**



**运行结束：**



**数据存储器：**

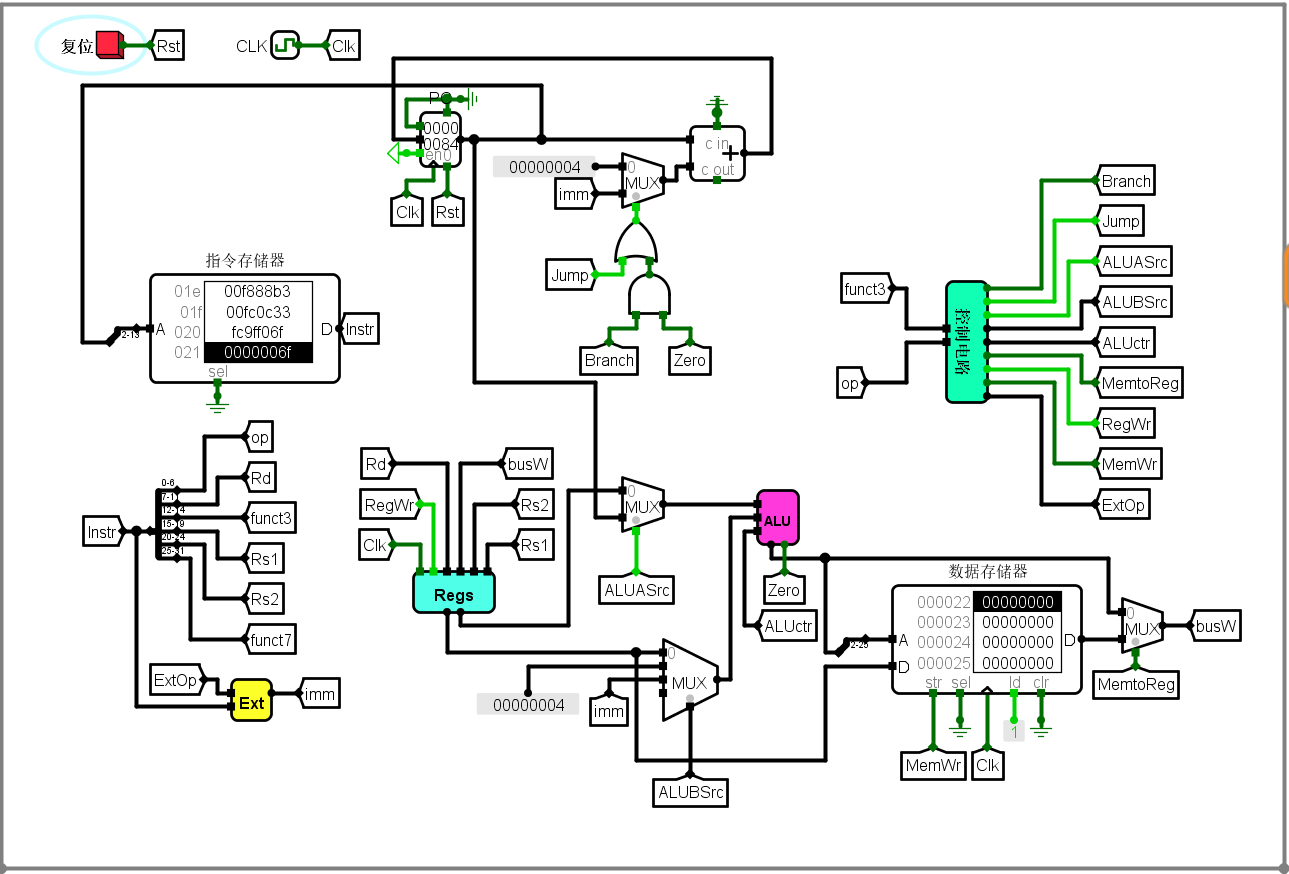


**排序程序（降序）**

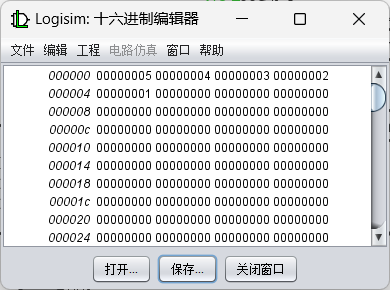
**指令存储器：**



**运行结束：**



**数据存储器（运行结果）：**

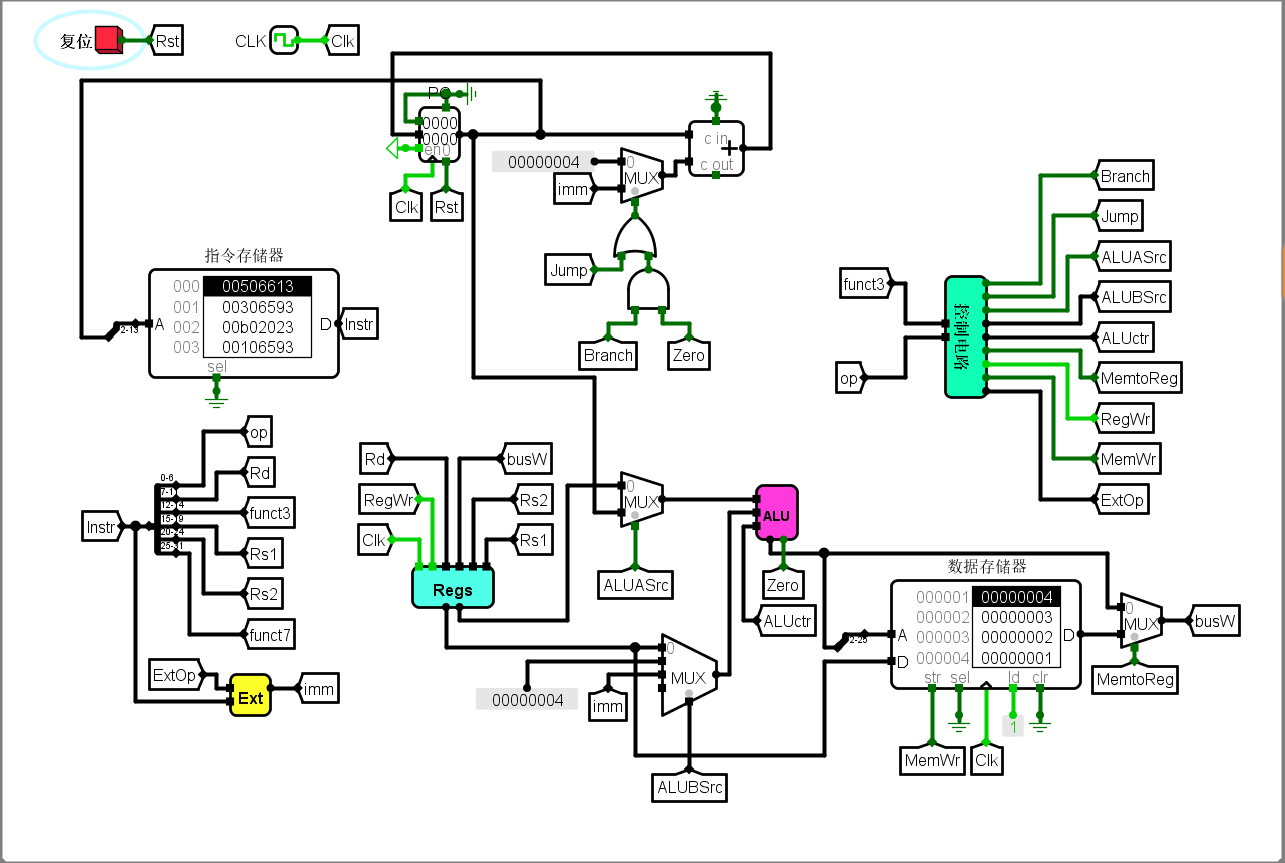


**排序程序（升序）**

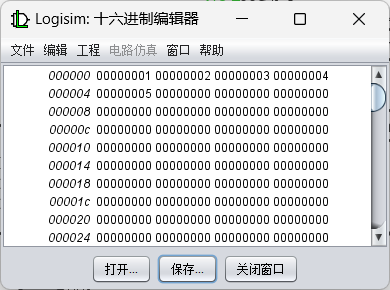
**指令存储器：**



**运行结束：**



**数据存储器（运行结果）：**



**请分析单周期 RISC-V处理器（硬布线控制器）的电路原理：**

**• 包括：数据通路、硬布线控制器、立即数扩展部件Ext、算术逻辑单元ALU等电路。**

数据通路：数据通路是由一组寄存器和一些用于寻址的算术逻辑单元组成。它接收指令并根据指令执行操作。在单周期处理器中，数据通路只需要支持最长的指令，并且所有操作都在一个时钟周期内完成。

控制单元：控制单元负责生成所有控制信号以及处理指令之间的依赖关系。硬布线控制器是控制单元中的一种实现方式，它将指令解码为操作码，然后根据操作码生成相应的控制信号。

立即数扩展部件：立即数扩展部件用于将指令中的立即数符号扩展为更长的位数。例如，如果指令要求使用 8 位的立即数，那么立即数扩展部件会将其符号扩展为 32 位，以便与其他操作数进行计算。

算术逻辑单元：算术逻辑单元执行各种算术和逻辑运算，例如加、减、乘、除、与、或、异或等。ALU 接收来自数据通路的操作数和控制单元生成的操作码，并根据操作码执行相应的运算，然后将结果返回给数据通路。

**请问：该单周期 RISC-V 处理器的控制器能不能采用微程序控制器的方法设计？为什**

**么？**

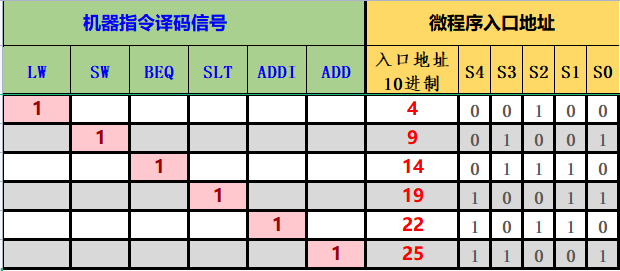
可以。

在RISC-V处理器中，指令集极为简化，每个指令的操作码长度固定，因此可以使用微程序控制器来实现指令解码和控制信号的生成。

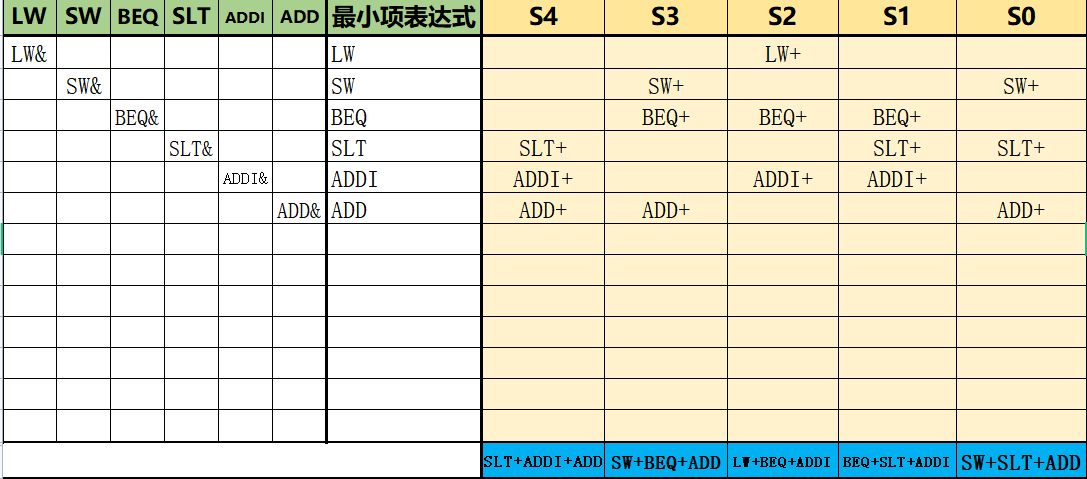
**3.2设计实验**

1. **单总线结构 MIPS 处理器（微程序控制器）（6条指令）**

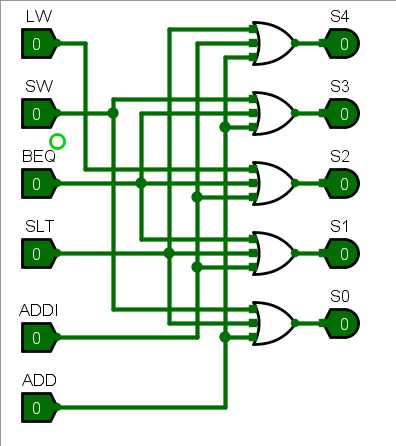
**添加了ADD指令后的微程序入口地址如图**



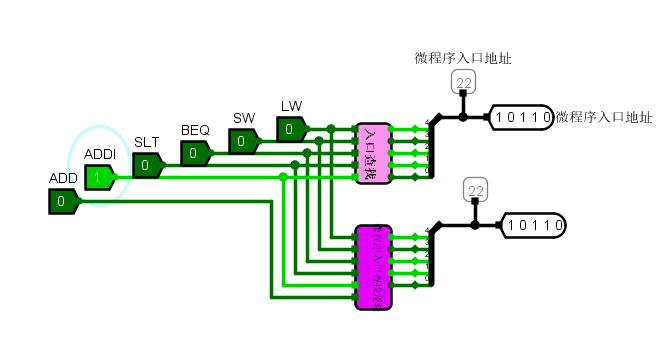
**其自动生成的微程序入口查找逻辑如图**



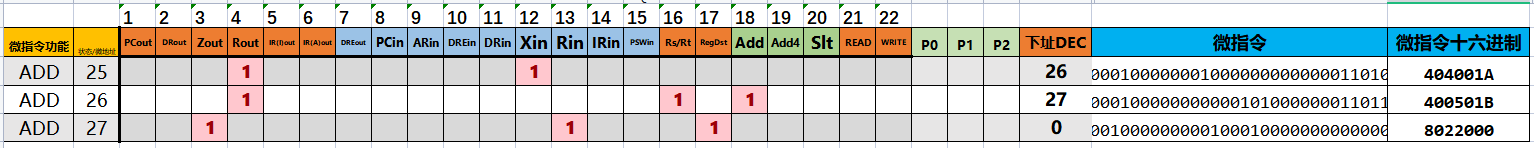
**生成的微程序入口查找逻辑电路如图**



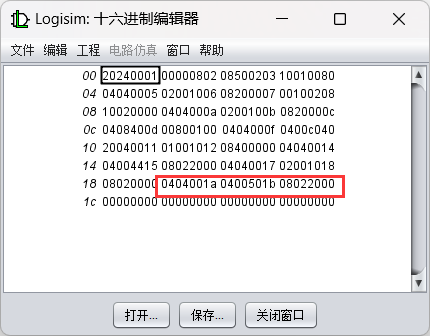
**测试结果**



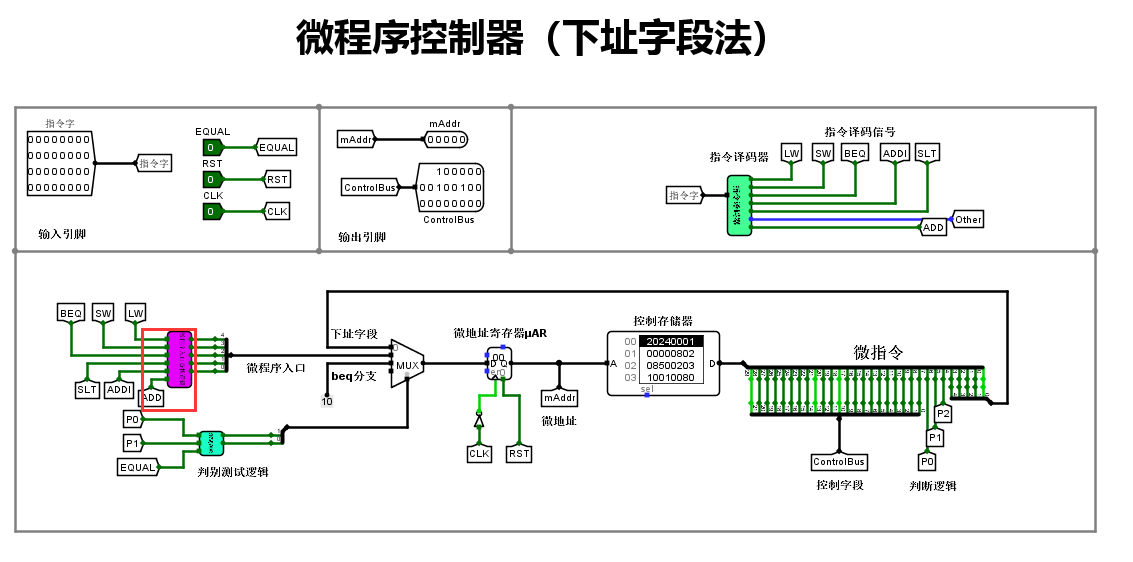
**ADD指令微程序如图**



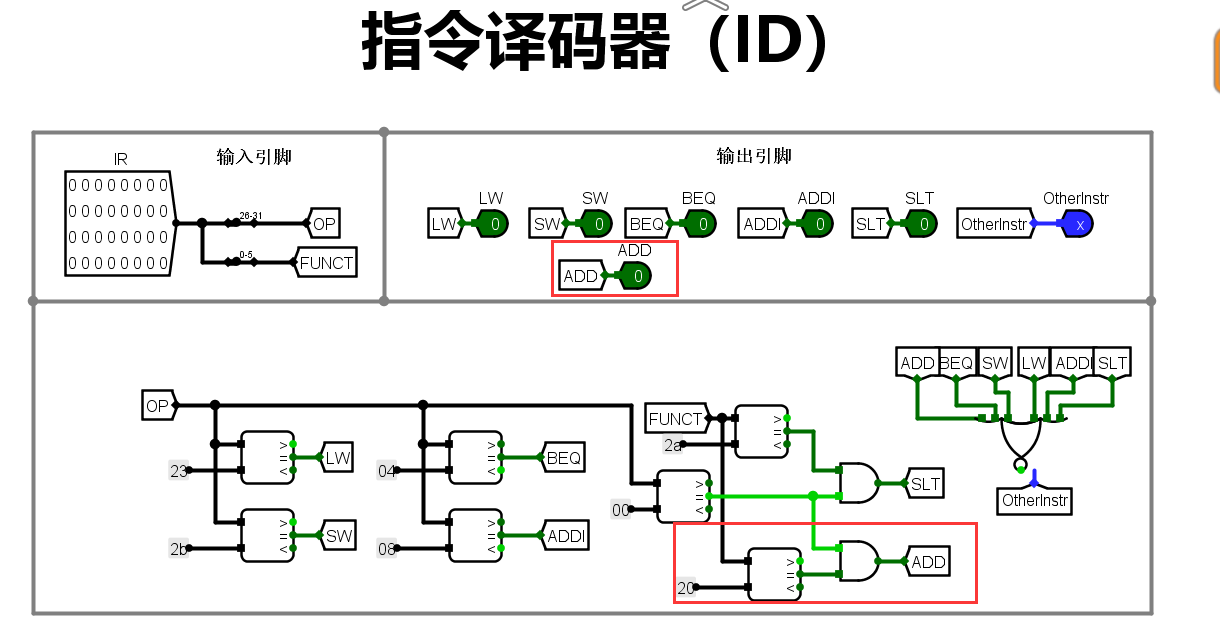
**将生成的3条微程序添加到程序控制器中**



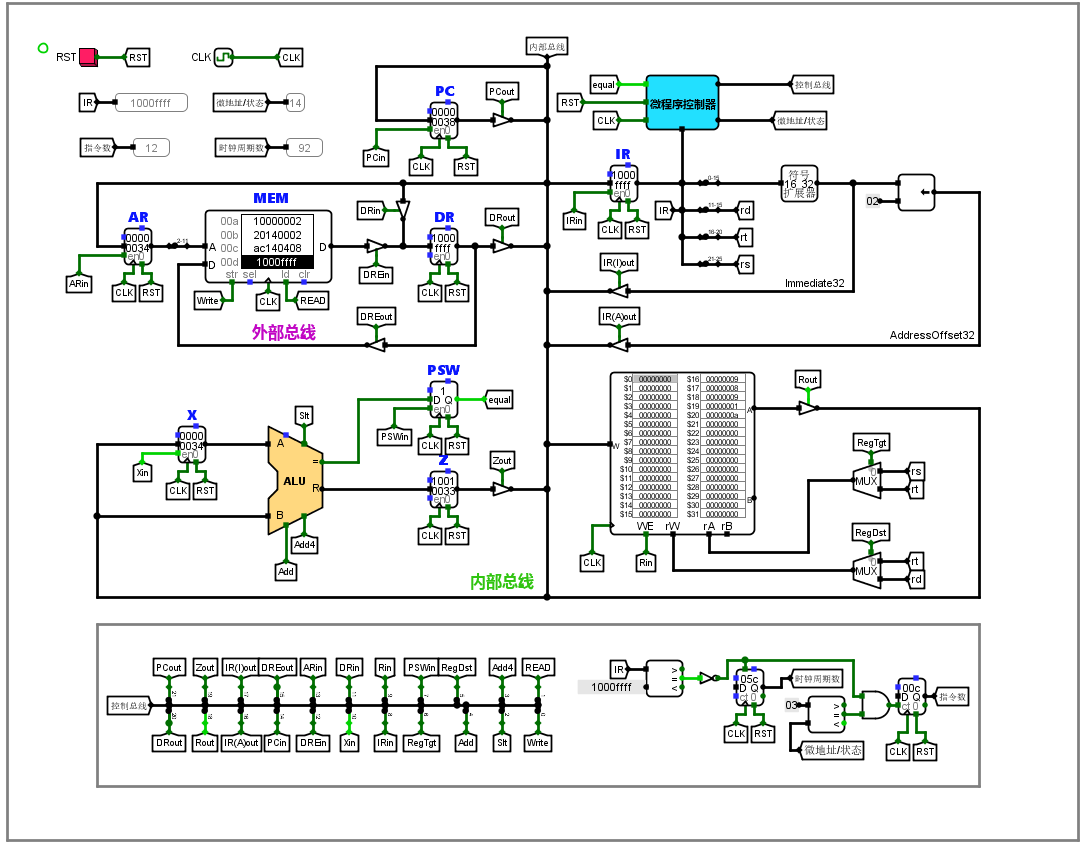
**此外再替换微程序控制器的微程序入口查找逻辑**

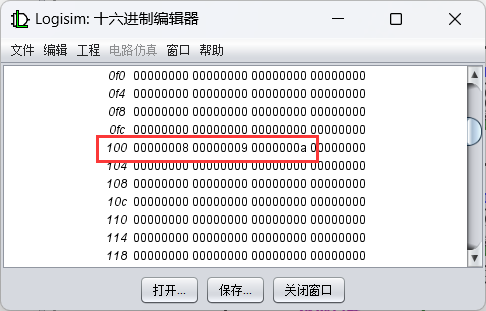


**以下是对指令译码器的修改，其中20表示ADD对应的机器码100000，即16进制的 20**

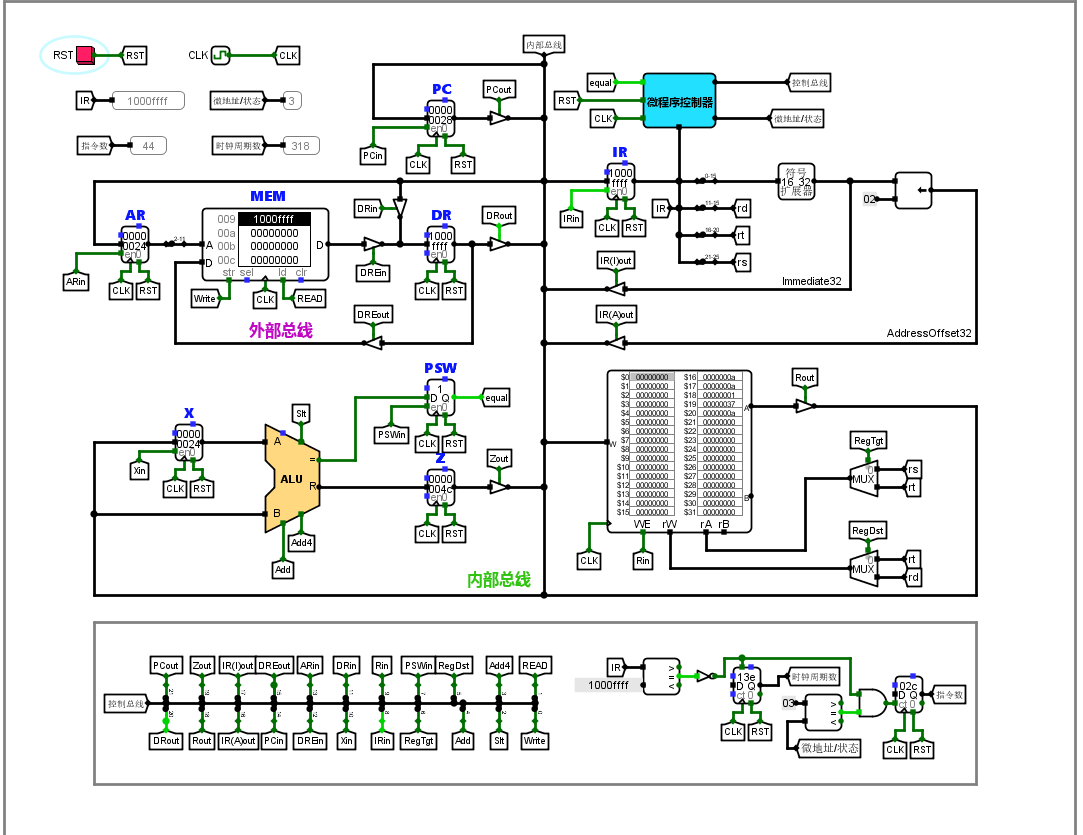


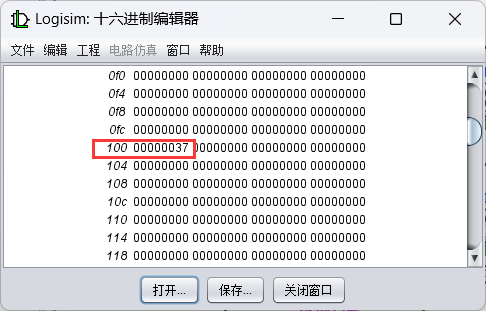
**Test2的运行结果**



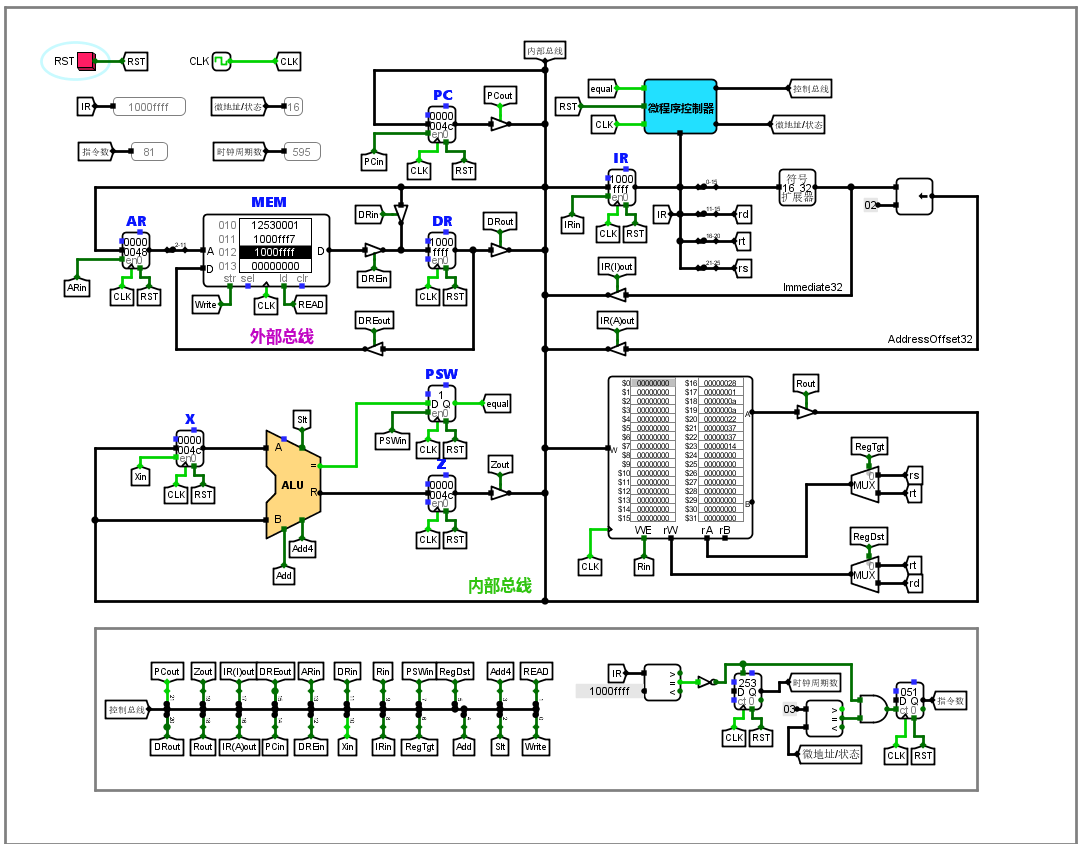


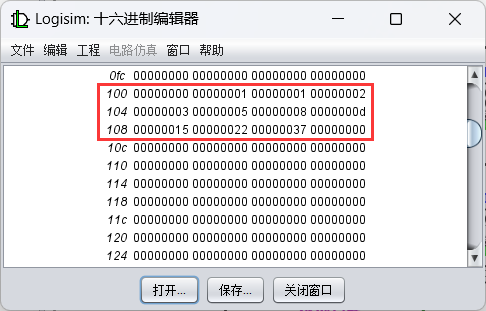
**求累加和程序运行结果**



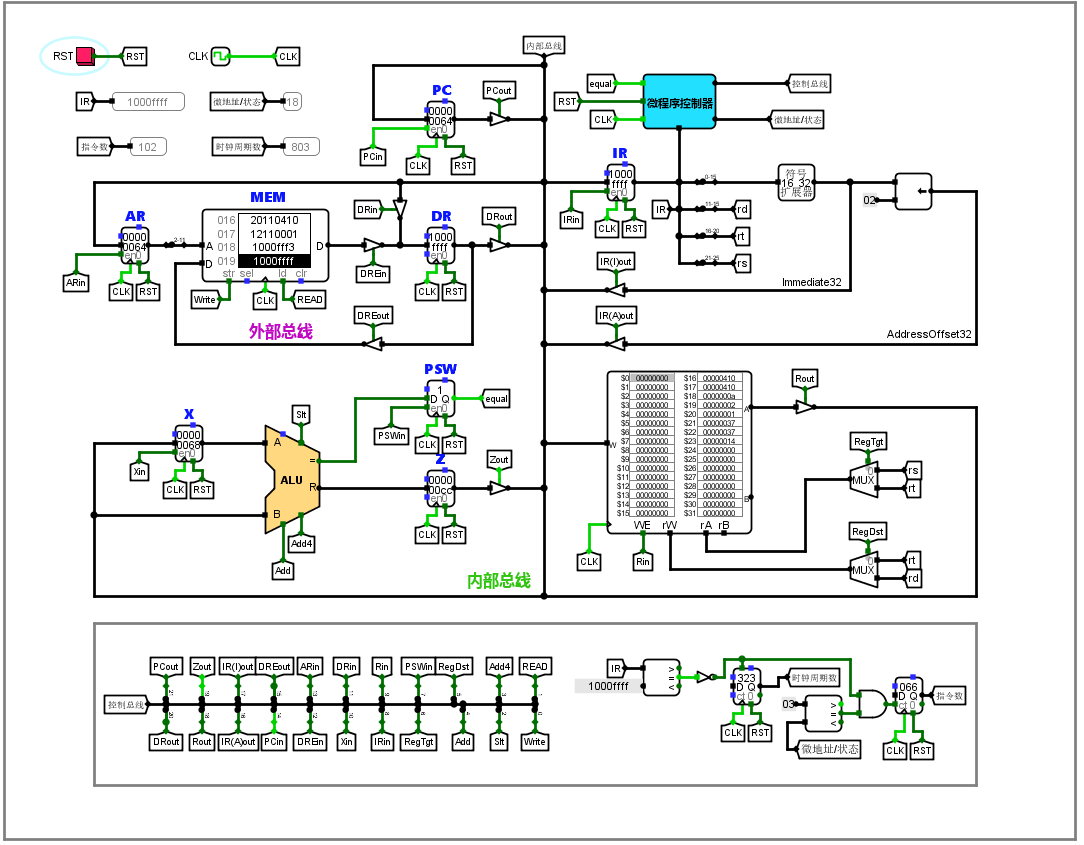


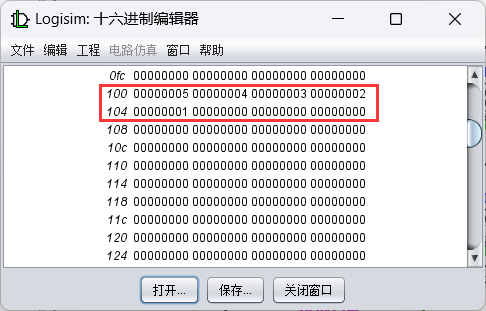
**计算费波那契数列程序运行结果**



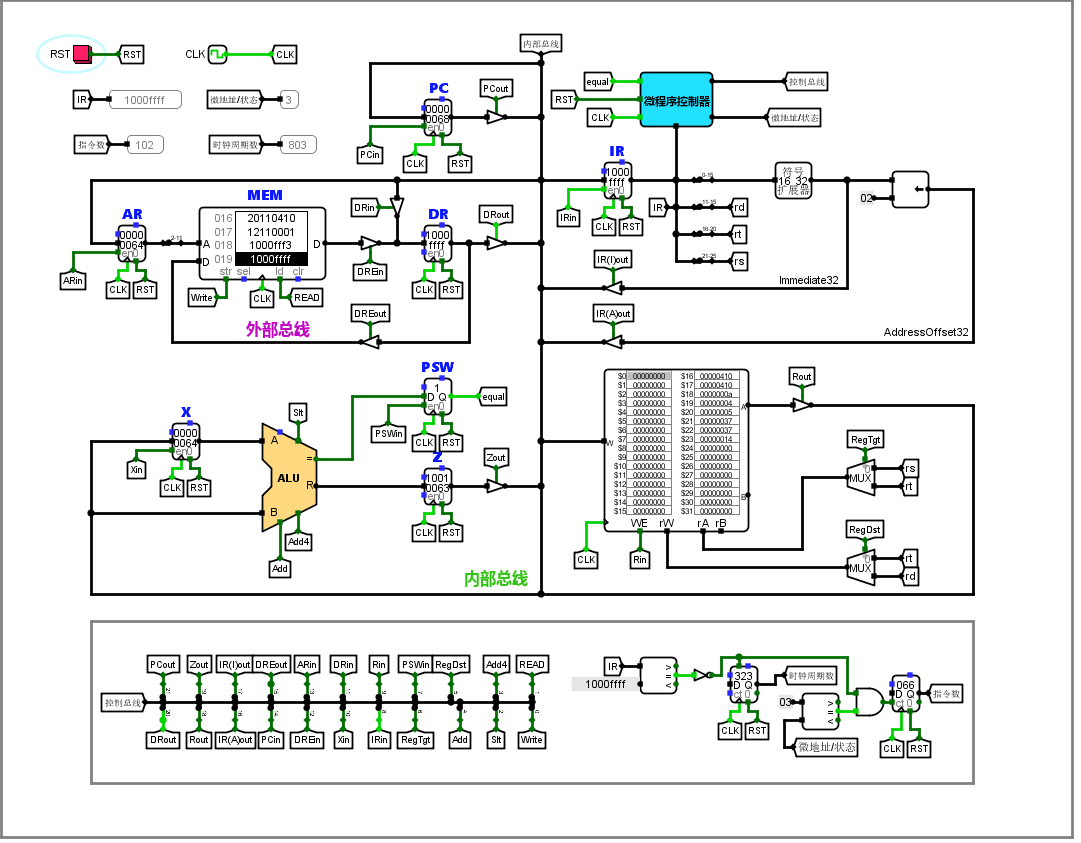


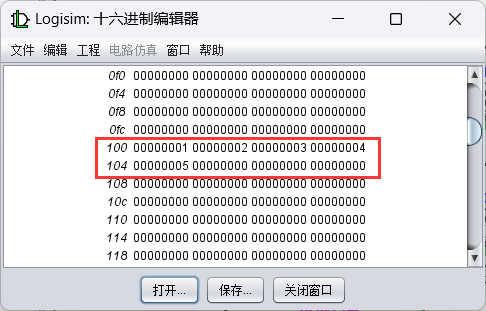
**排序程序（降序）**





**排序程序（升序）**





1. **单总线结构 MIPS 处理器（微程序控制器）（7条指令）**

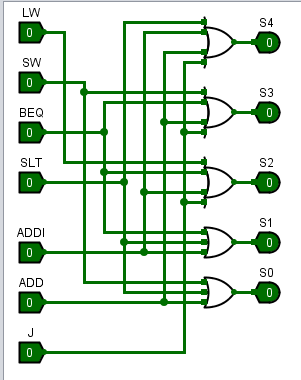
**添加了j指令后的微程序入口地址表**



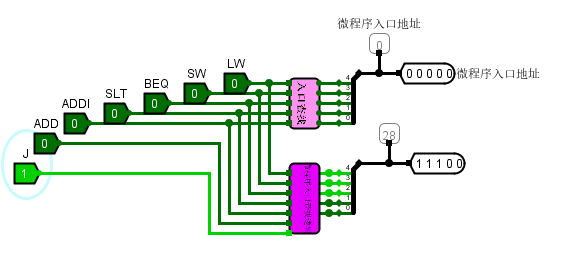
**其自动生成的查找逻辑表**



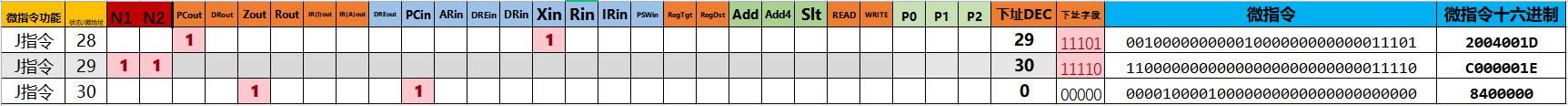
**根据上表生成的查找逻辑电路**



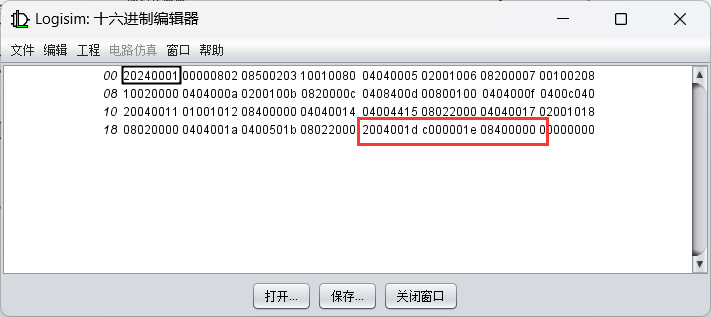
**测试结果**



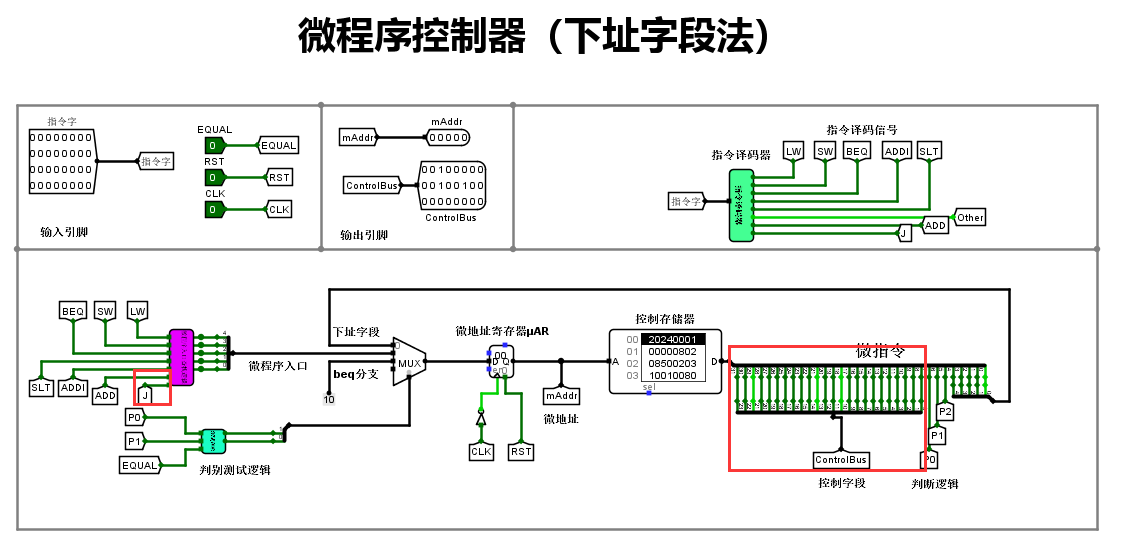
**j指令的微指令**



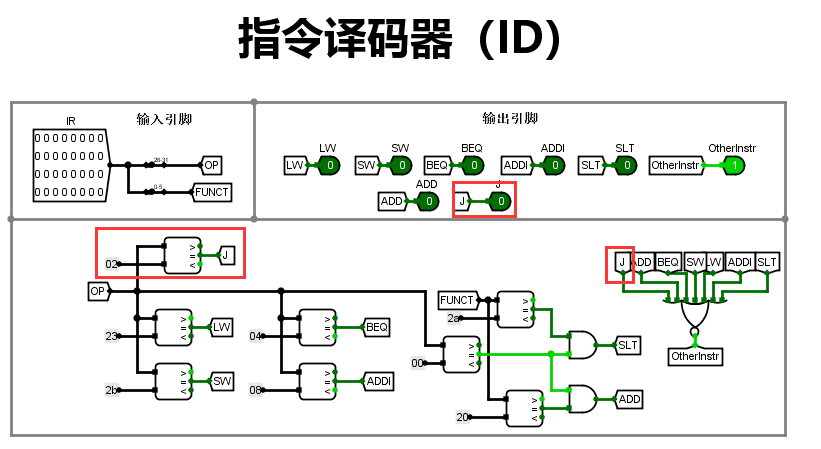
**添加到微程序控制器的控制存储器中**



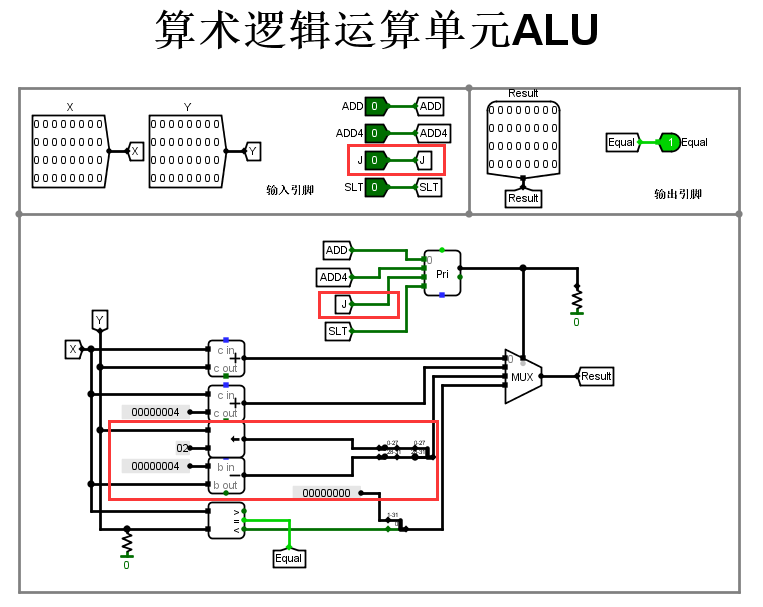
**微程序控制器增加j指令并将控制储存器的输出改为32位，对应控制字段改为24位**



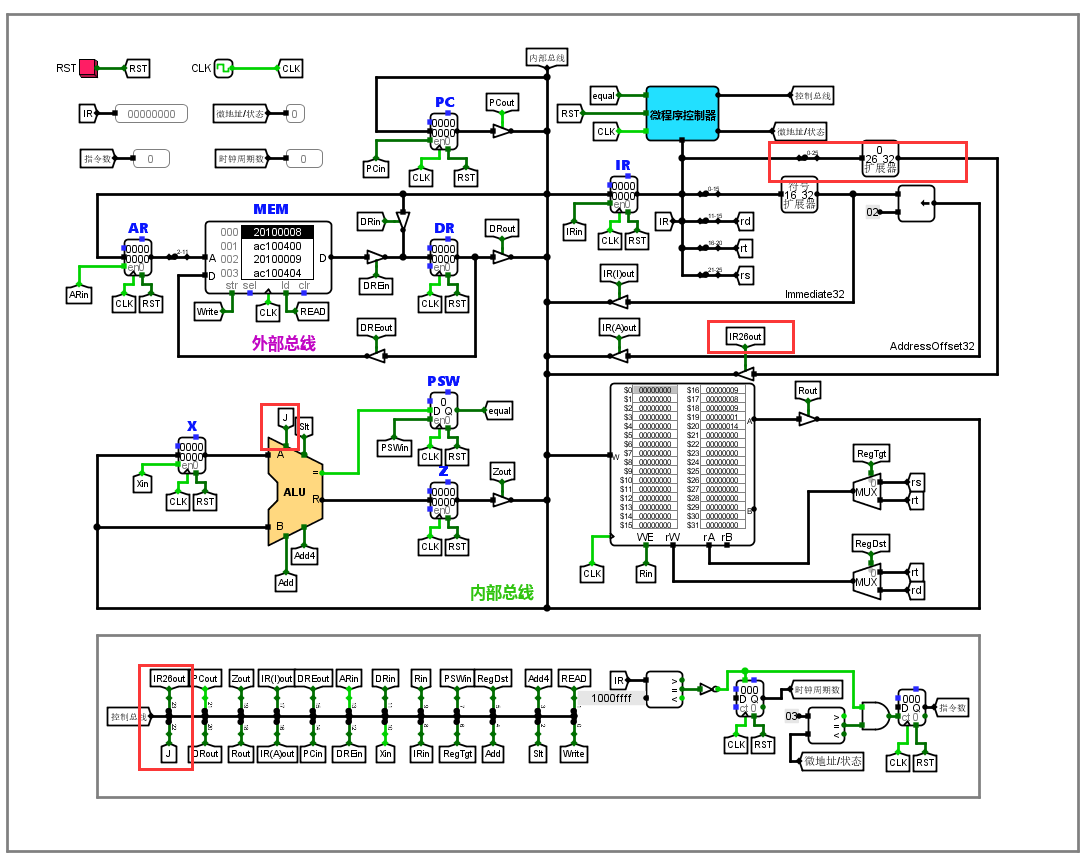
**指令译码器中增加j指令，其对应的机器码为000010，即2**



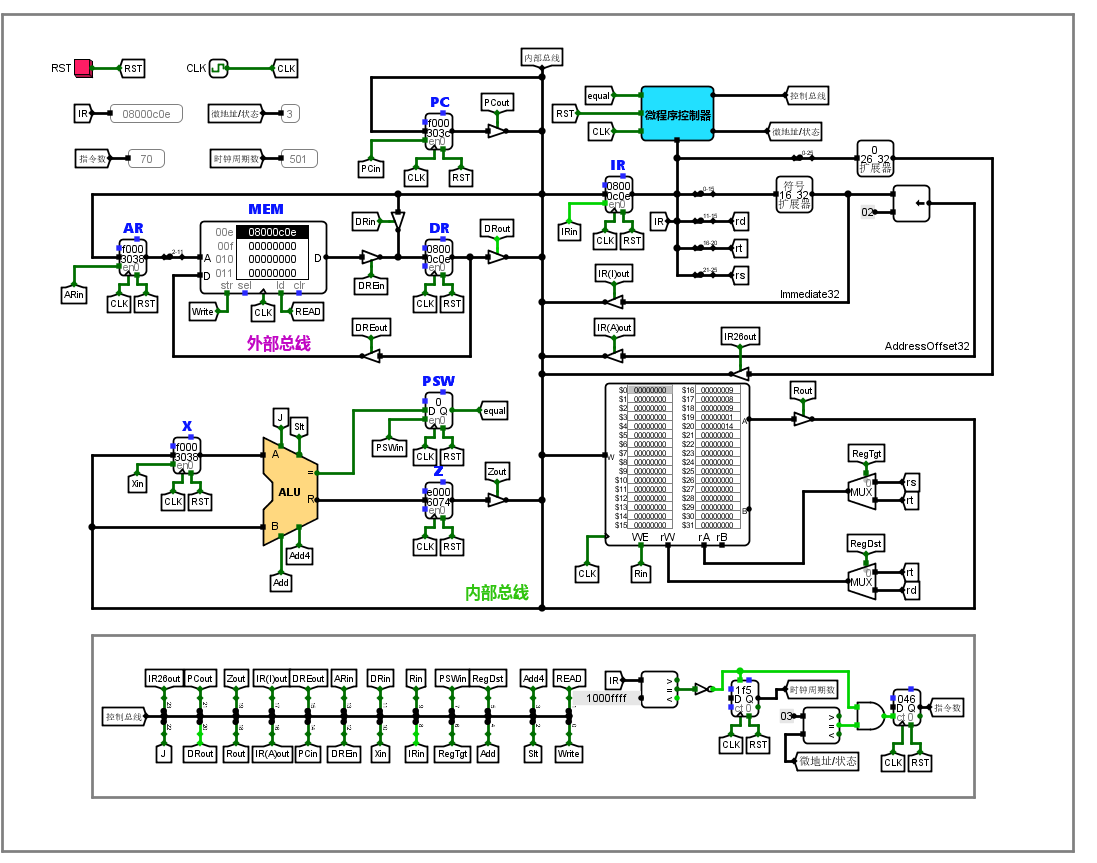
**ALU中将之前没有使用到的SUB替换为J指令**

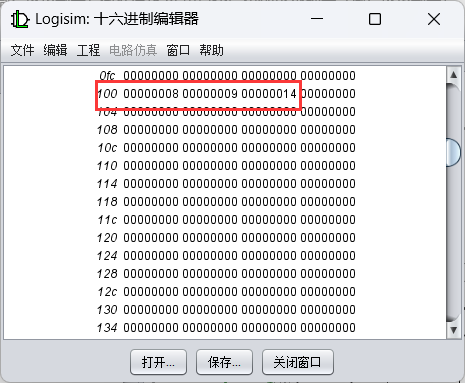


**数据通路中将控制总线修改为24位，新增的两位分别用于J指令的运算判断和取26位立即数**

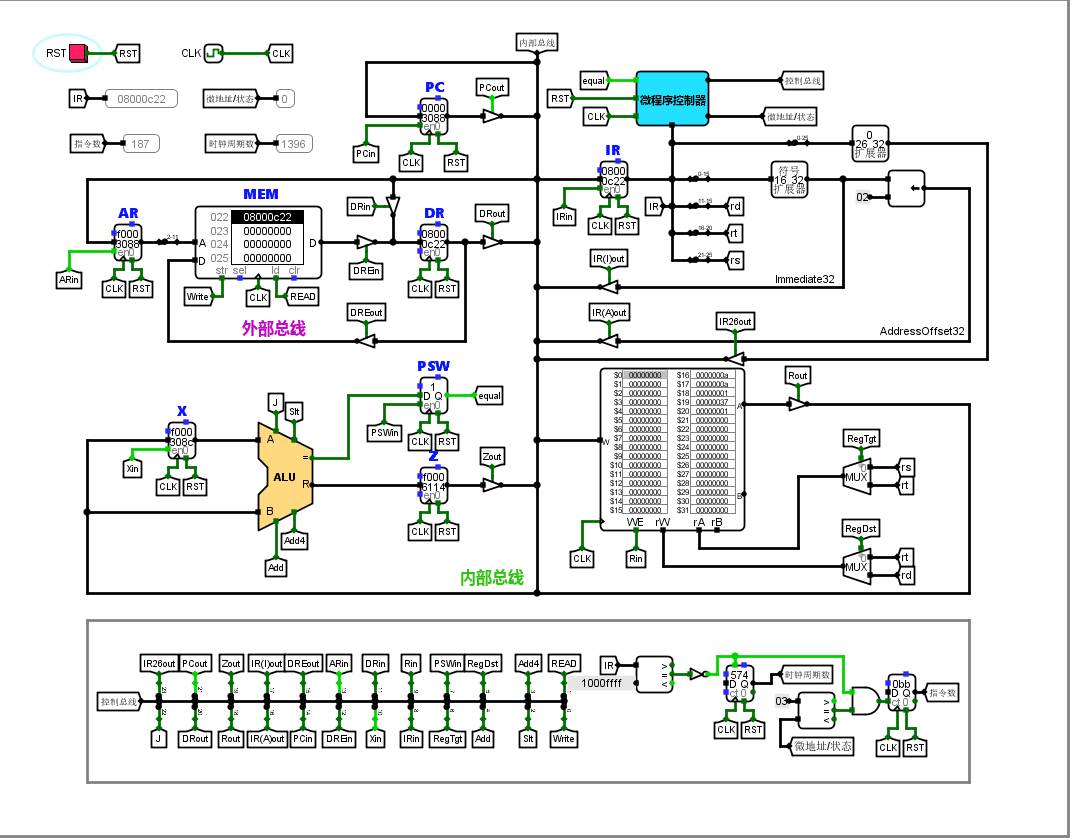


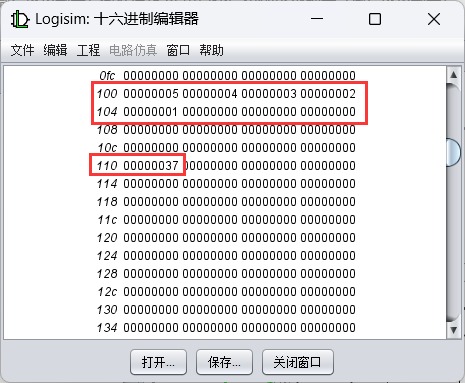
**Test3运行结果**





**sort\_sum\_mips\_bus.hex运行结果**





请按照实验课件的要求，完成设计任务，通过测试程序验证设计电路的正确性，将运行结果黏贴到实验报告中，并给出相关文字说明。

**3.3挑战性实验**

**（1）单总线结构 MIPS 处理器（硬布线控制器）（6条指令）**

**（2）单总线结构 MIPS 处理器（硬布线控制器）（7条指令）**

请按照实验课件的要求，完成设计任务，通过测试程序验证设计电路的正确性，将运行结果黏贴到实验报告中，并给出相关文字说明。

**3.4拓展实验（不强行要求）**

**（1）（验证实验）多周期 MIPS 处理器（硬布线控制器）（8条指令）**

**（2）（验证实验）多周期 MIPS 处理器（微程序控制器）（8条指令）**

**（3）（设计实验）多周期 MIPS 处理器（硬布线控制器）（增加1条j指令）（9条指令）**

**（4）（设计实验）多周期 MIPS 处理器（微程序控制器）（增加1条j指令）（9条指令）**

**对于验证实验，**请按照实验课件的要求，验证测试程序的运行结果，将运行结果黏贴到实验报告中，给出相关的文字说明，并对有关的电路原理进行分析。

对于设计实验，请按照实验课件的要求，完成设计任务，通过测试程序验证设计电路的正确性，将运行结果黏贴到实验报告中，并给出相关文字说明。