

深入浅出LabVIEW FPGA

周喆颀

LabVIEW FPGA软件工程师

我们在工程中面临的挑战



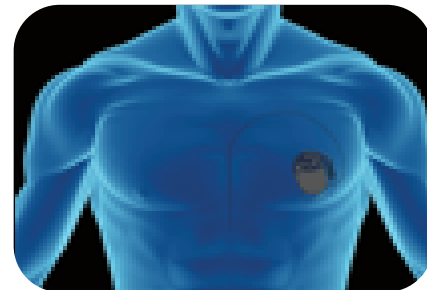
电力控制



发动机控制



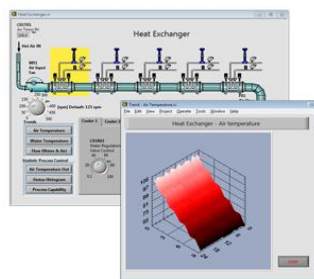
工业控制



医疗仪器测试



建筑监测



自动控制

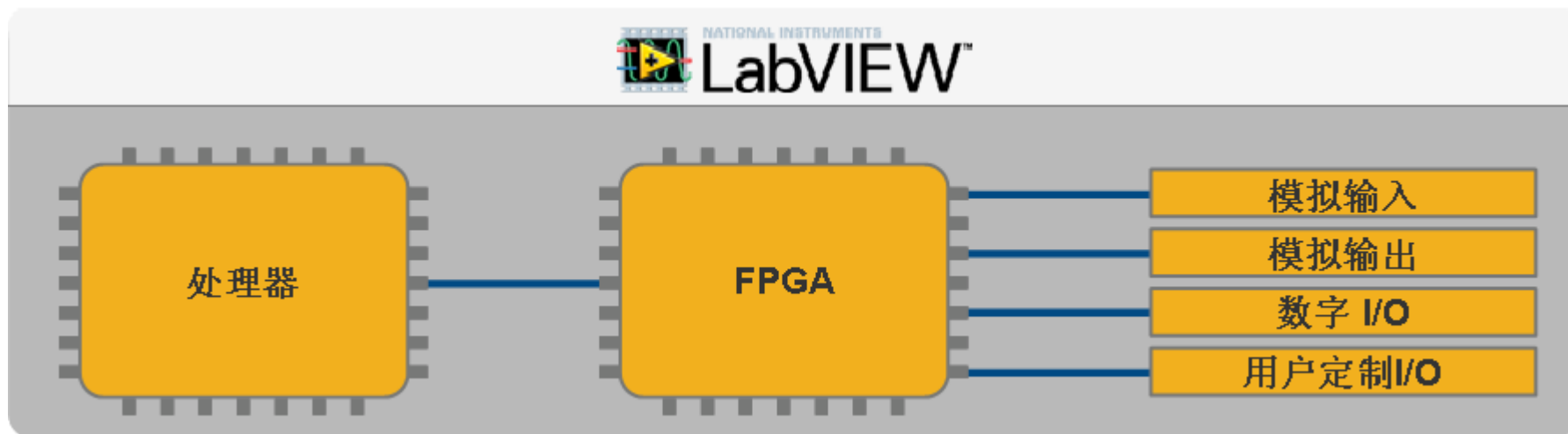


能源应用



电力监控与控制

基于LabVIEW RIO构架的解决方案



- 系统级设计平台
- 无缝集成多种硬件
- 图形化系统设计环境
- 提升开发效率

硬件平台

CompactRIO



高可靠、耐恶劣环境
低能耗、小体积
热插拔、电学隔离

PXI/PCI板卡

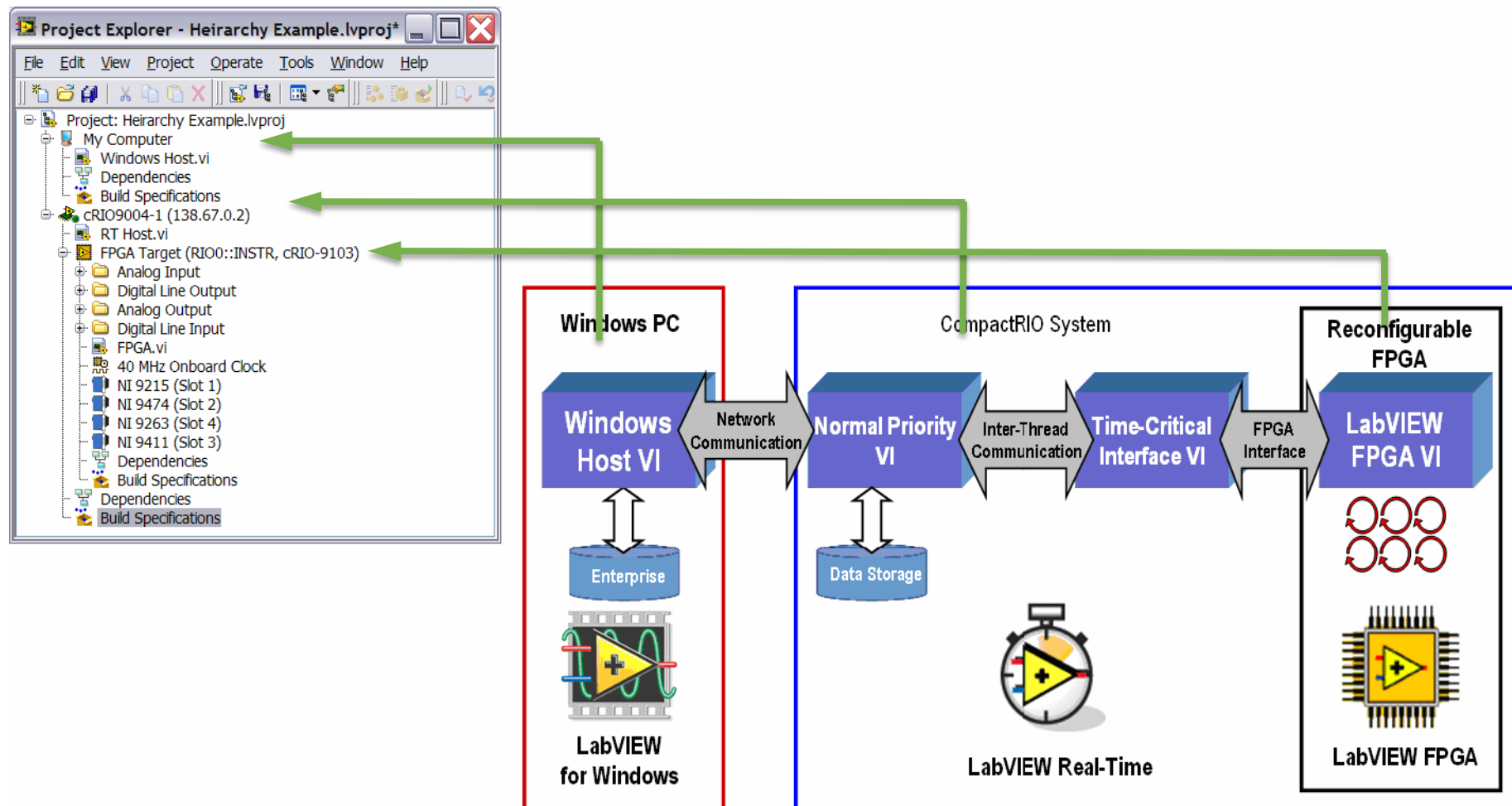


- 多功能通用测控 (RIO)
- 测试验证 (FlexRIO)
- 通信处理 (VST)

议程

- 搭建程序框架
- FPGA算法开发技巧
- 与上位机通信
- FPGA VI仿真

FPGA 项目基本结构



功能分配 – 主机还是FPGA

- 资源、实时性、调试复杂度

主机(PC/RT)

- 资源灵活
- 调试方便
- 实时性差

FPGA

- 实时性强
- 资源有限
- 调试困难

显示存储

测量显示、数据存储、网络服务.....

测量控制

波形分析、频谱分析、联合时频分析、故障诊断、网络通信.....

控制逻辑

PID、同步、触发、通讯应答.....

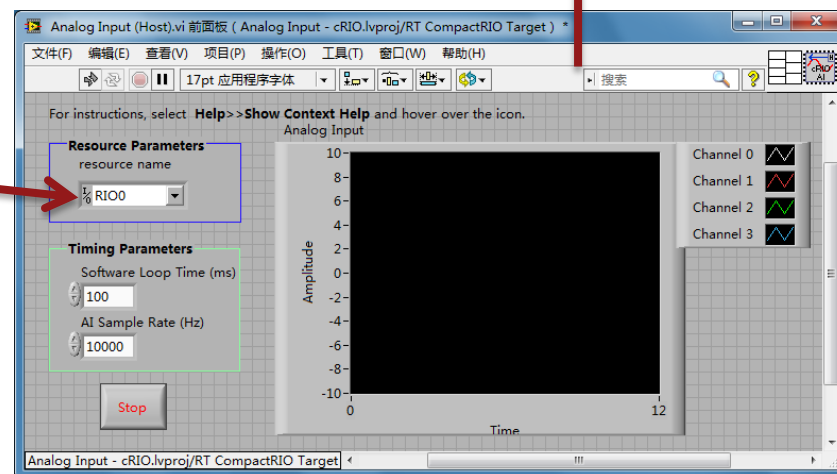
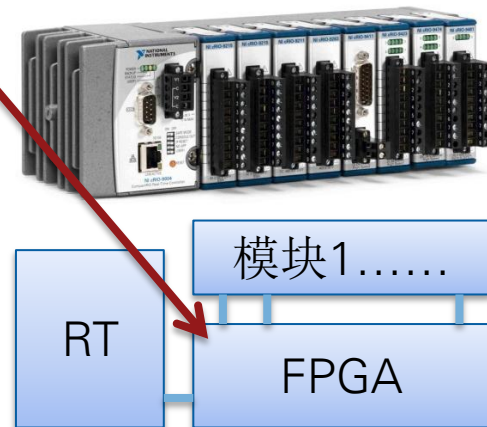
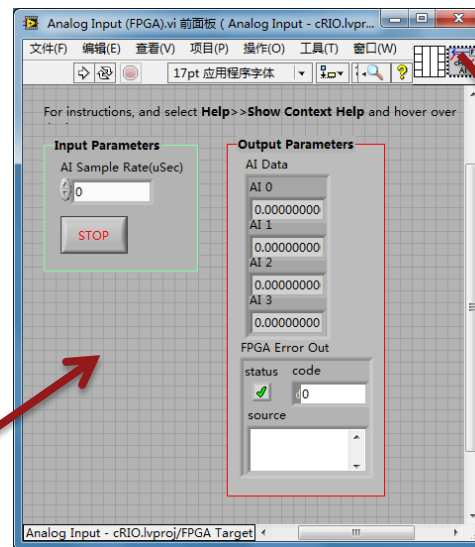
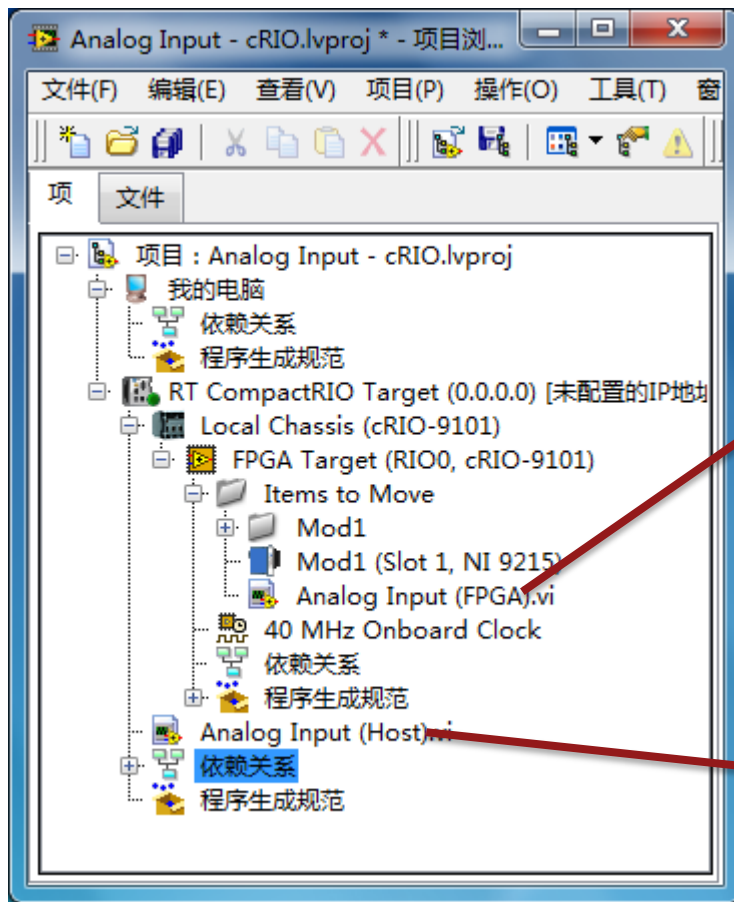
信号处理

滤波、统计、FFT、调制、解调.....

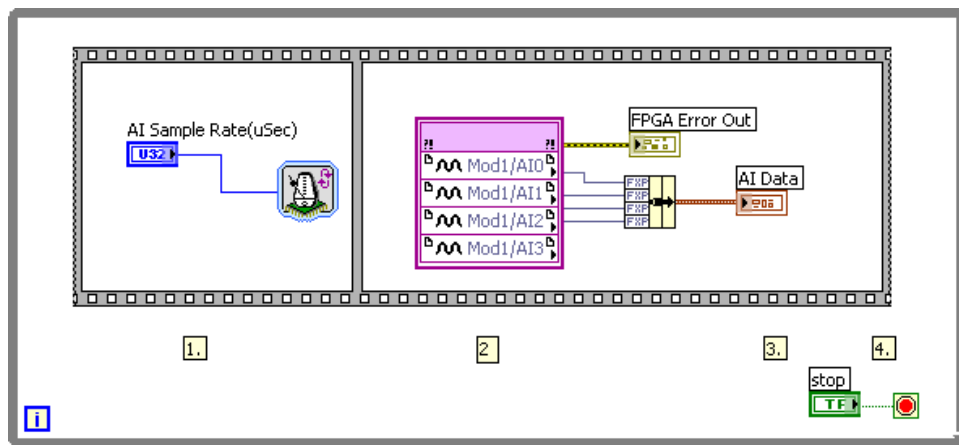
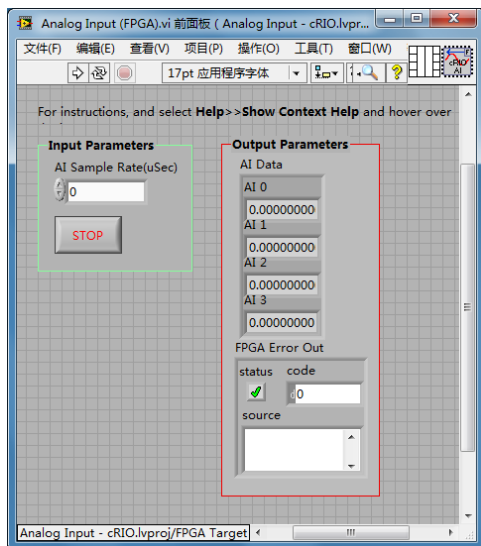
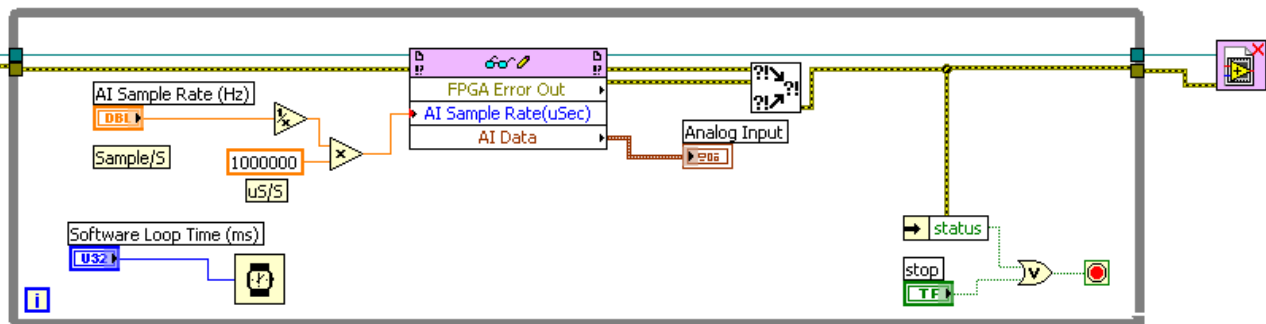
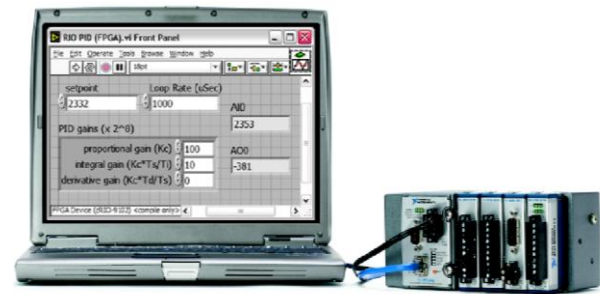
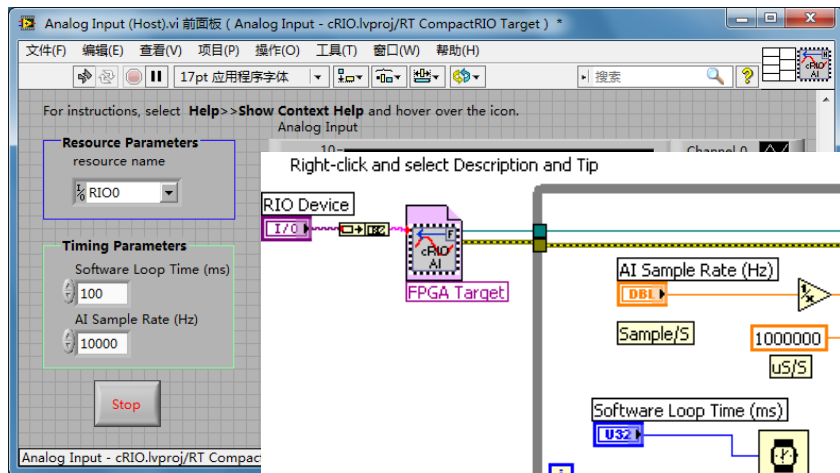
硬件I/O

模拟、数字IO.....

CompactRIO 项目入门



CompactRIO 项目入门



CompactRIO 项目入门

- LabVIEW FPGA设计嵌入式系统非常简单、方便
- 解决了底层开发的硬件细节
- 工程师可以将精力集中于所要解决的问题本身

算法开发技巧

- 搭建程序框架
- 算法开发技巧
 - 算法移植
 - 单周期定时循环
 - 利用工具加速开发
- FPGA与上位机通信
- FPGA VI仿真

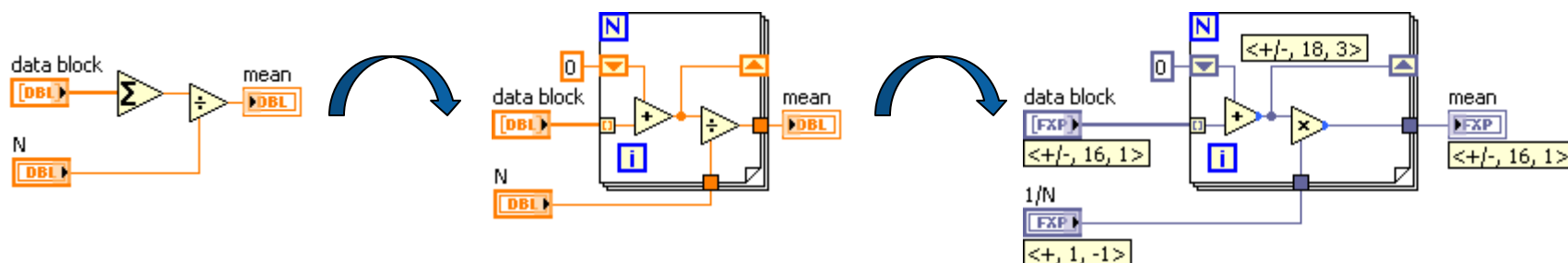
行为 / 算法设计

- 针对问题，采用LabVIEW设计算法
 - 功能准确
 - 无需考虑FPGA实现细节
 - 采用高层函数
 - 采用浮点数运算
 - 采用数组结构
 - 采用For/While 循环



将算法移植至FPGA

- FPGA 的语法要比桌面环境更加严格
 - 浮点数 → 定点数
 - 数组运算 → 逐点运算
- 所作出的修改需要重新进行验证
- 我们正在努力让这些工作变得更简单!



各种数值类型的范围与精度问题

- 浮点数(双精度)

- 范围是动态的
- 精度较高

Floating-point

DBL

- 整数

- 范围是固定的
- 可能会有溢出和下溢的问题

Integer

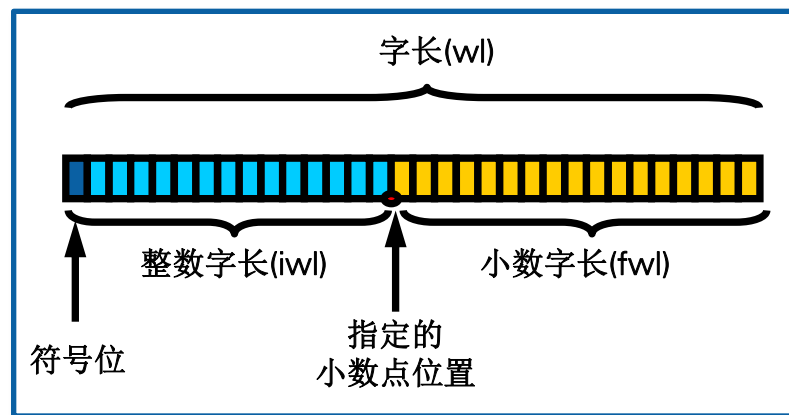
I16

- 定点数

- 采用分数的形式
- 范围通过手动设定
- 可能会有溢出和下溢的问题
- 例: $\langle ?16, 12 \rangle$
- $-2048 \sim 2047.9, \Delta = 0.0625$

Fixed-point

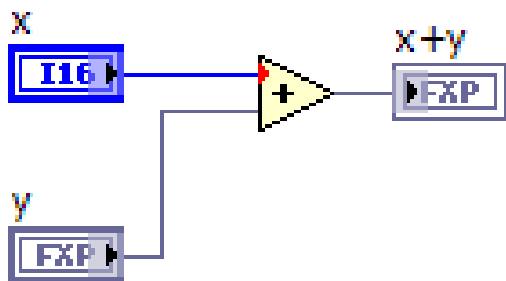
FXP



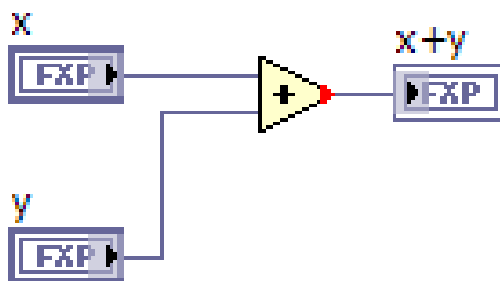
避免强制转换标识

- 可能表明精度降低
- 可能表明资源占用量增多

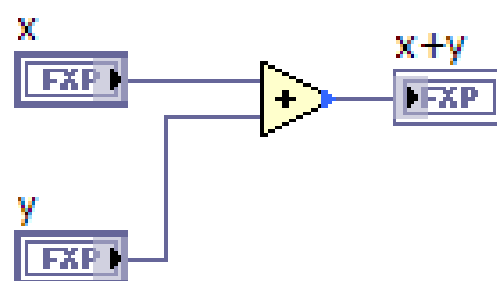
红色输入 – 数据类型不匹配



红色输出 – 数据类型超出LV所能表示的精度范围

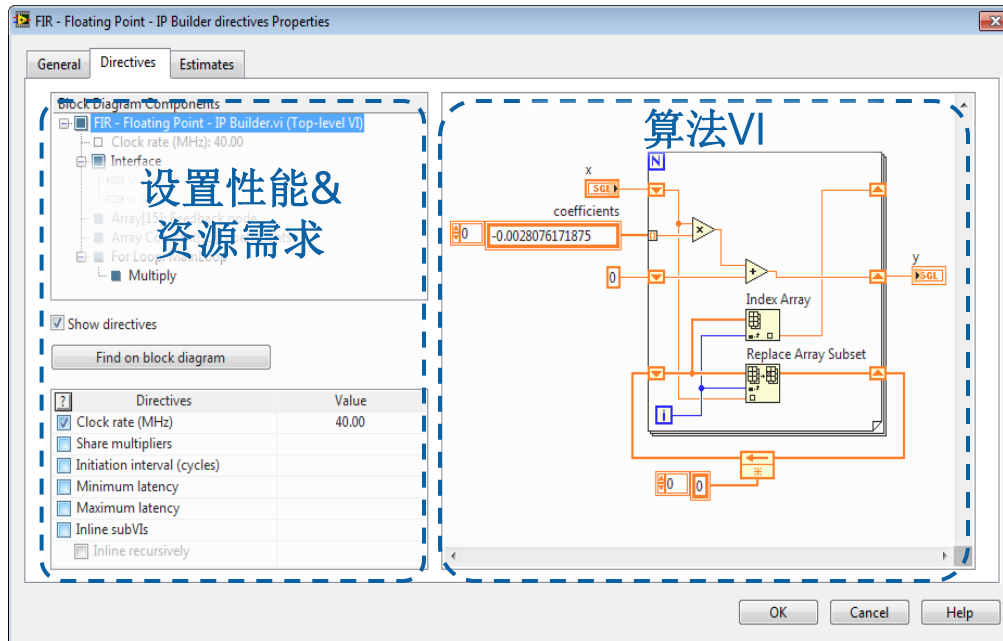


蓝色输出 – 数据类型已被改变

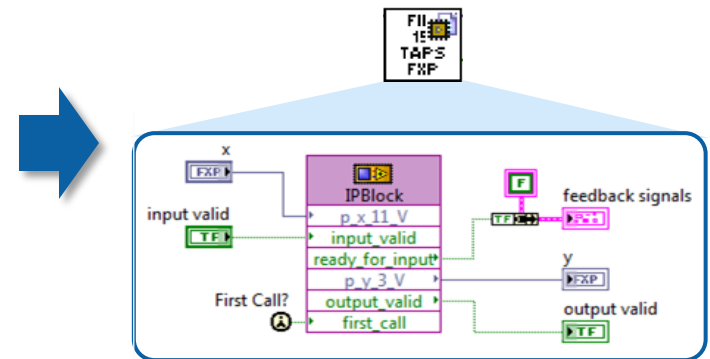


LabVIEW 2013 推出FPGA IP Builder!

- 自动优化FPGA VI
- 方便将桌面算法转化成FPGA VI
- 快速评估性能和资源消耗

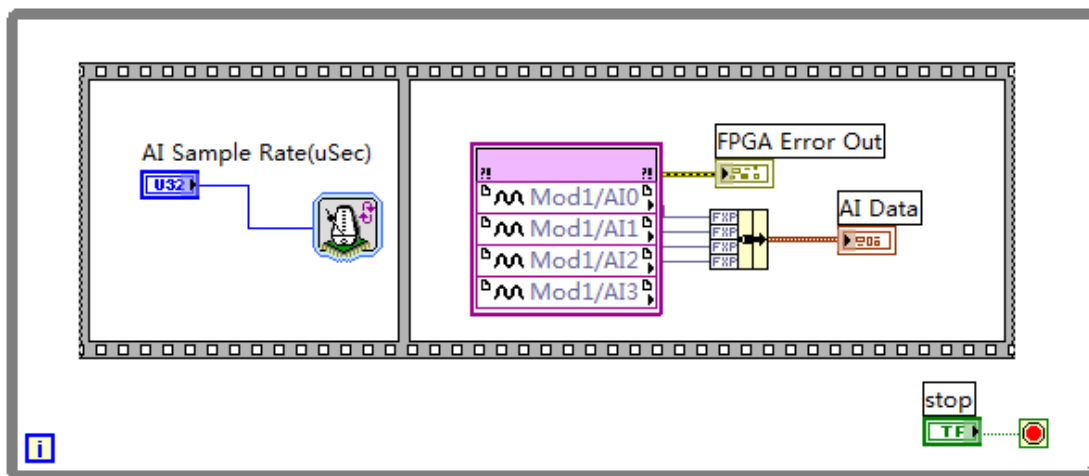


优化的 FPGA VI



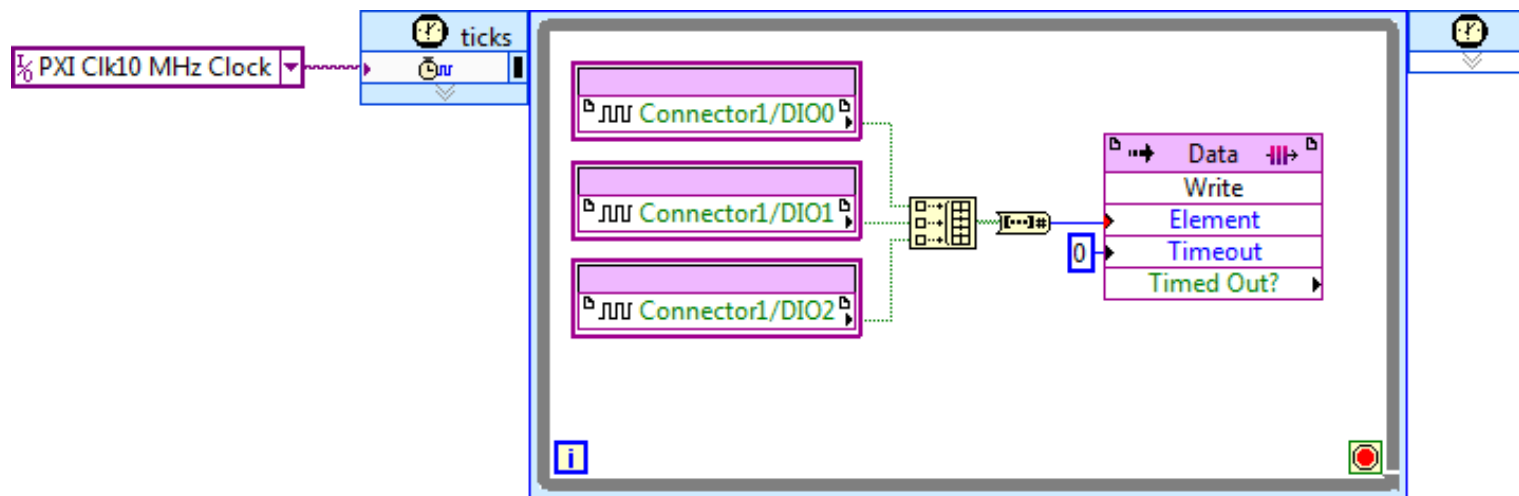
定时 – 较低频率

- 使用 While 循环及循环定时器
- 可指定等待的毫秒间隔/微秒间隔/时钟周期数
- 代码执行时间必须小于定时器的定时间隔
- 适合 1MHz 以下定时频率



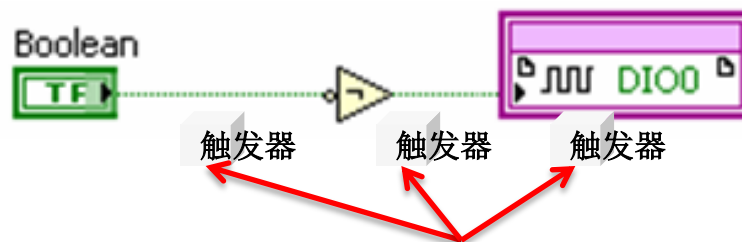
定时 – 较高频率/精确定时

- 使用单周期定时循环
- 采样频率由连接的时钟源确定
- 适合较高频率定时/外部时钟源/多通道同步采样

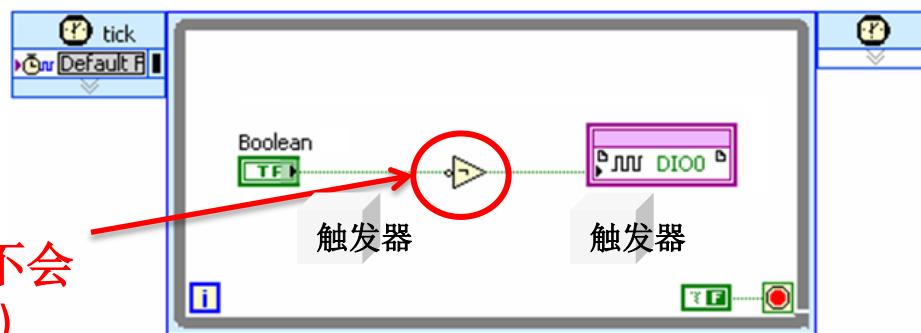


单周期定时循环的实现细节

- 可以指定循环内的时钟
- 可达到更高的数据吞吐量，并消耗较少资源
- 需要通过代码控制数据流



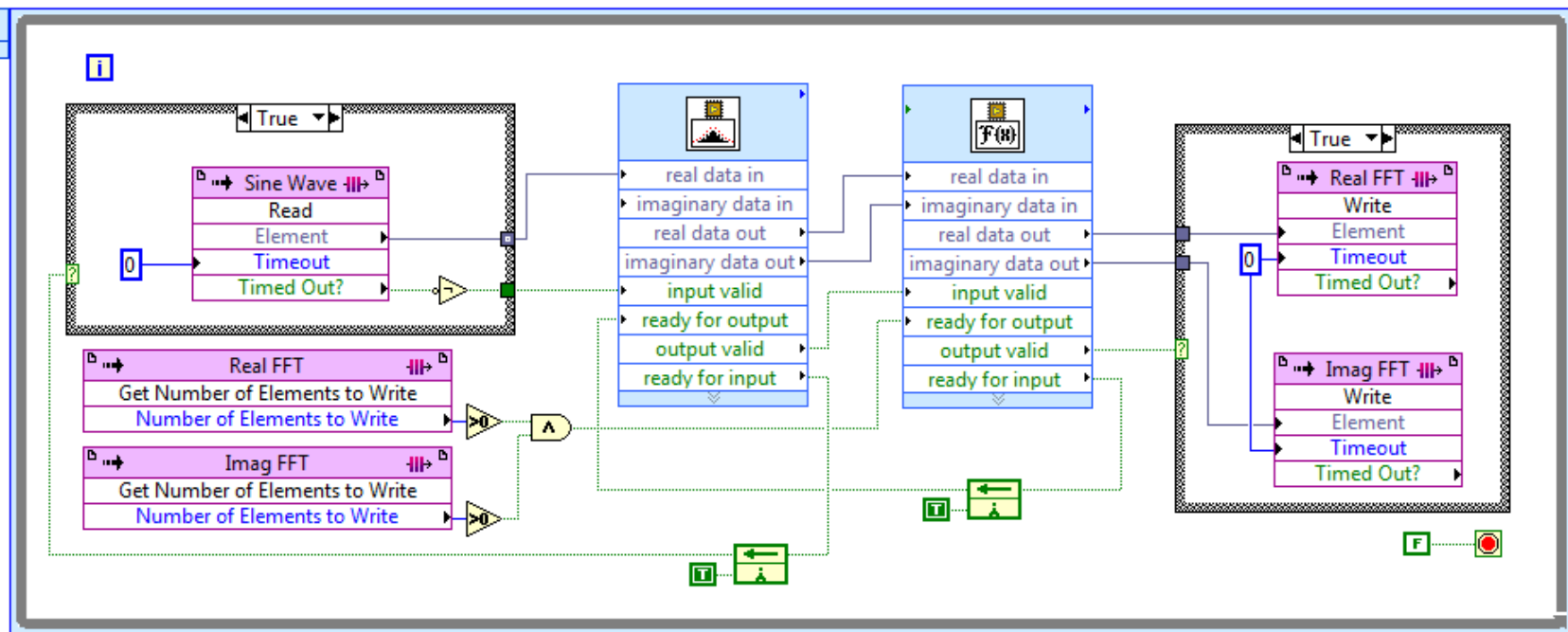
编译器生成的触发器，
用于确定数据流



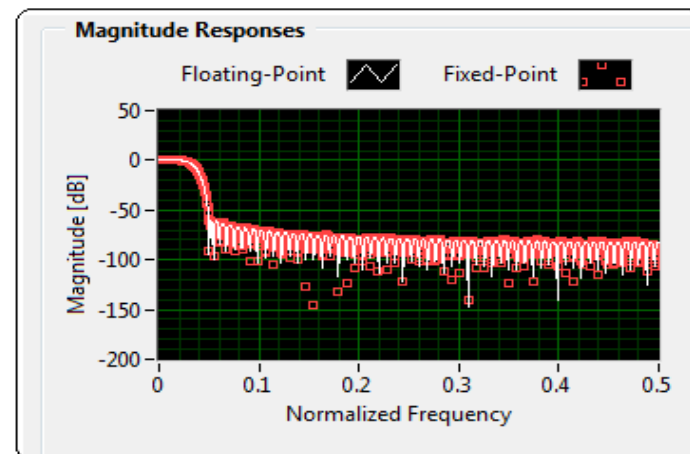
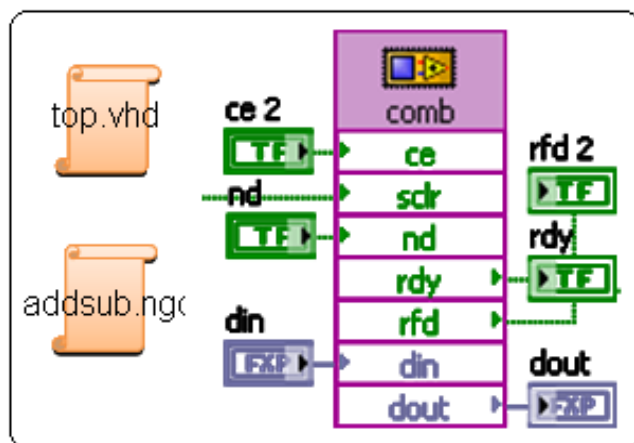
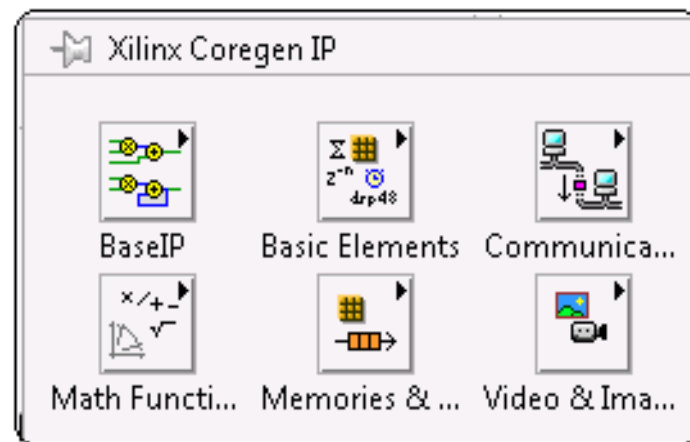
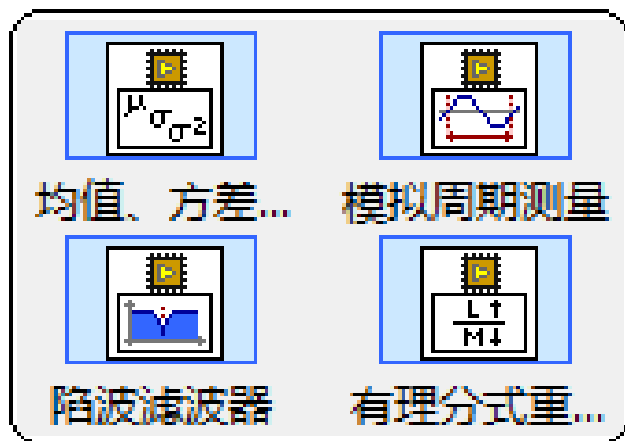
组合逻辑 (不会
生成触发器)

单周期定时循环使用案例

- 带窗 FFT 变换
- 数据吞吐量可达到 1 sample/cycle

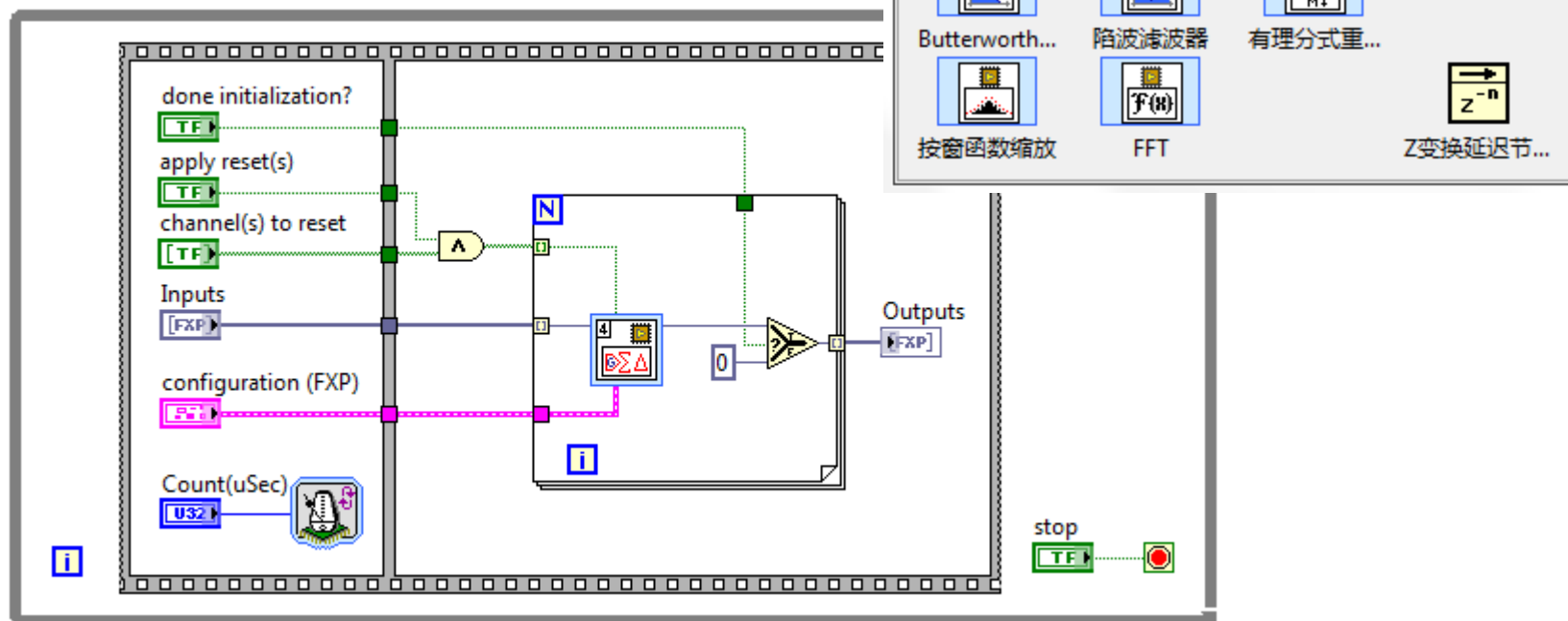


有用的FPGA开发工具



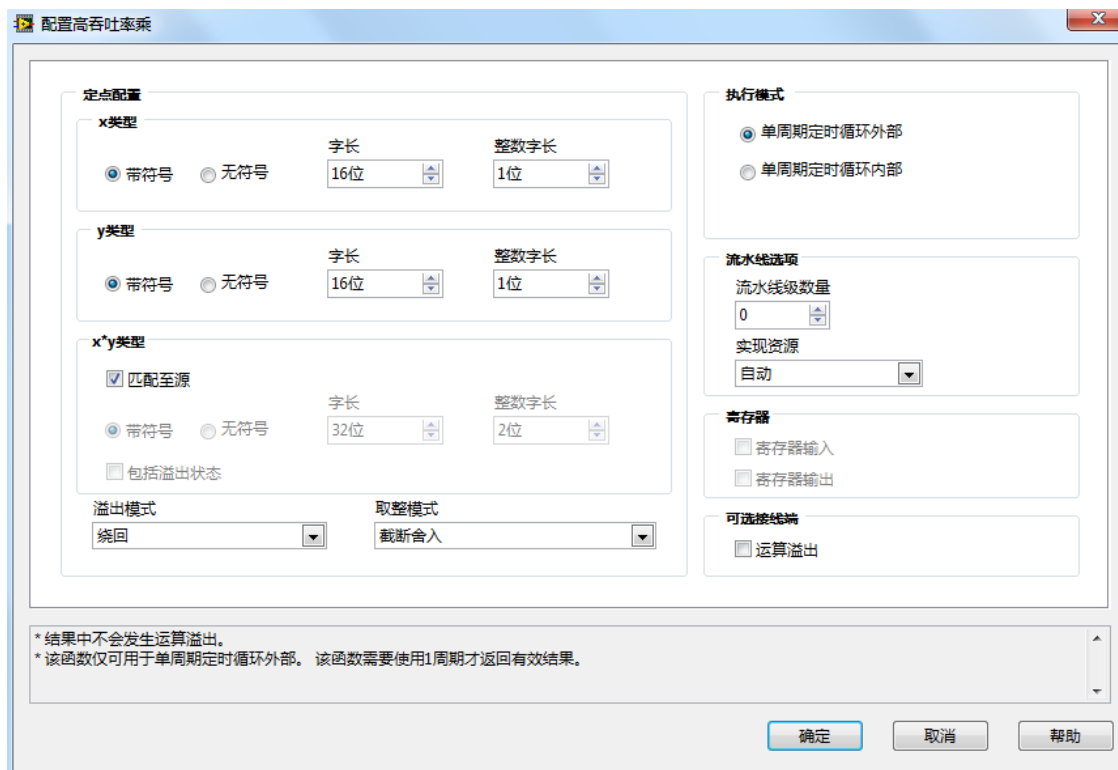
FPGA 数学和分析面板

- 信号发生、控制
- 均值、周期、滤波器
- FFT、重采样
- 时延、LUT等



高吞吐率数学函数面板 (定点)

- 整数？OUT啦！
- 速度和资源的权衡
 - While循环 / 单周期定时循环
 - 多周期 / 流水线

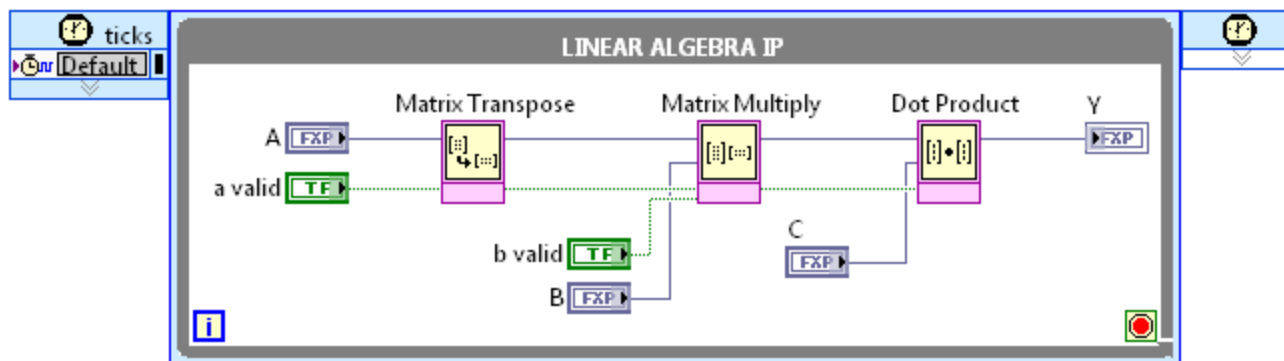


LabVIEW 2013 支持线性代数模块！

- 点积
- 矩阵乘法
- 矩阵转置
- 范数平方

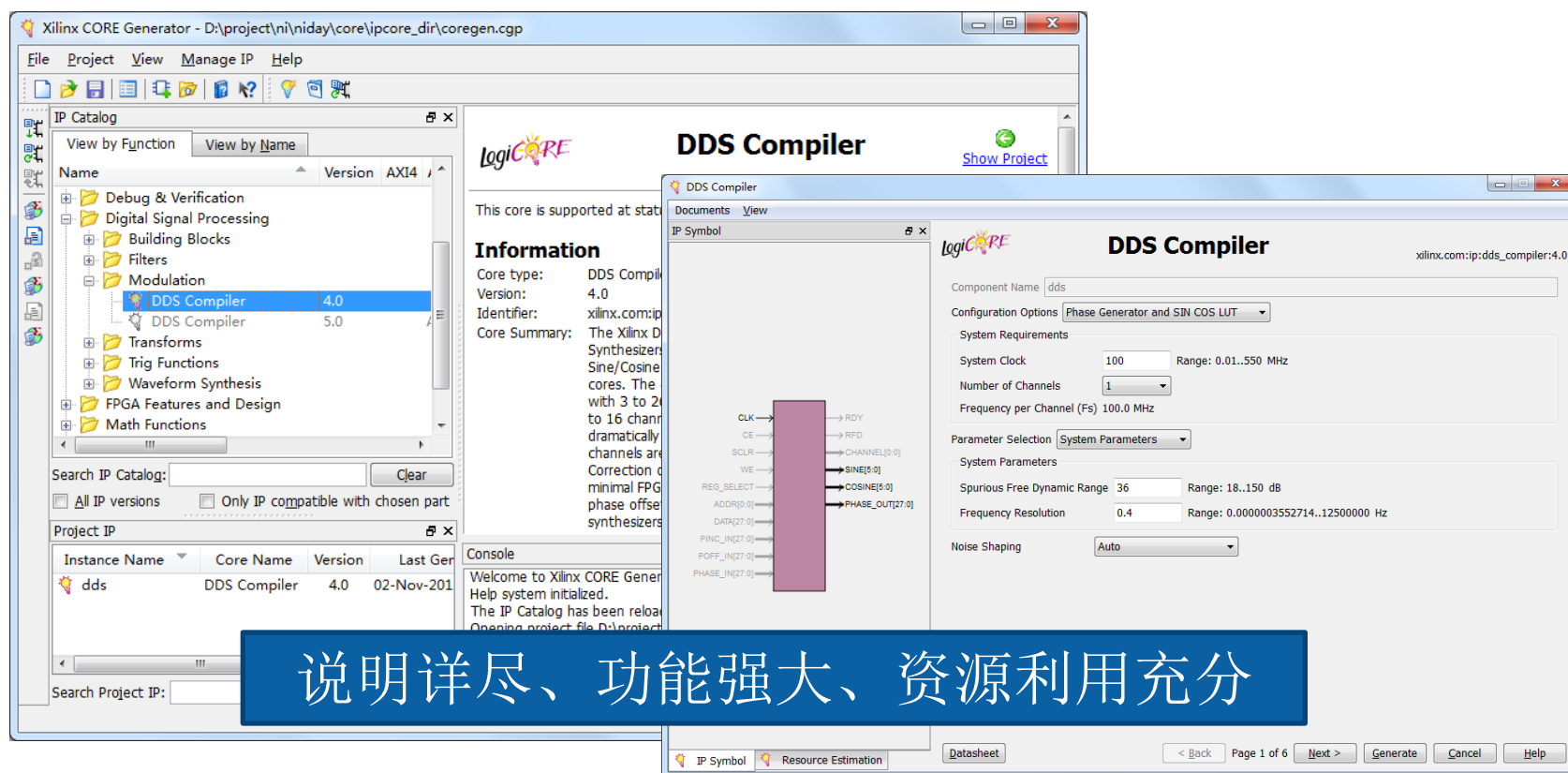
$$y = (A^T \times b) \cdot c$$

$$y = \left(\begin{bmatrix} a_{11} & a_{12} & a_{13} & \cdots & a_{1N} \\ a_{21} & a_{22} & a_{23} & \cdots & a_{2N} \\ a_{31} & a_{32} & a_{33} & \cdots & a_{3N} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ a_{M1} & a_{M2} & a_{M3} & \cdots & a_{MN} \end{bmatrix}^T \times \begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ \vdots \\ b_M \end{bmatrix} \right) \cdot \begin{bmatrix} c_1 \\ c_2 \\ c_3 \\ \vdots \\ c_N \end{bmatrix}$$



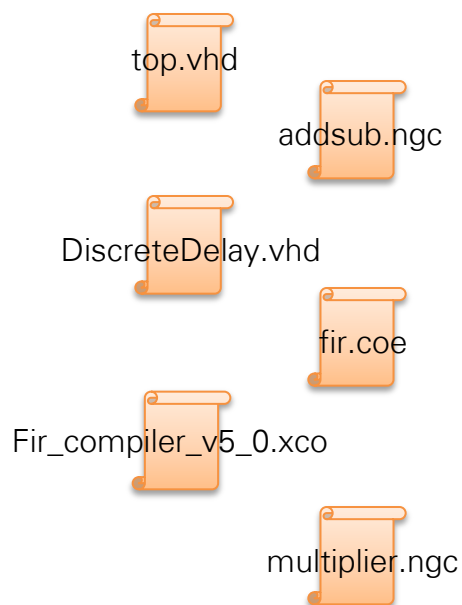
Xilinx IP 生成器

- 在设计中集成Xilinx设计的IP核
- DDS、滤波器、FFT.....

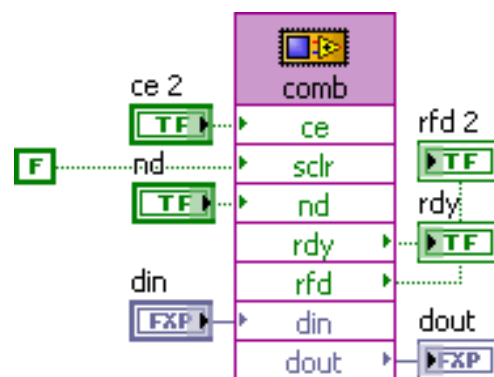
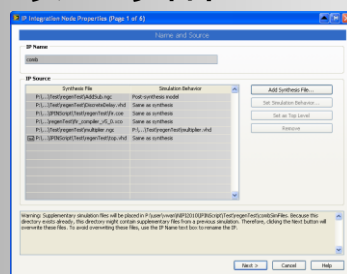


SCTL利器 – IP 集成节点

- 在 VI 中嵌入 VHDL 代码或网表文件
- 仅可在单周期定时循环中使用
- 可支持双时钟



导入对话框



IPNet: 分享FPGA IP

- www.ni.com/ipnet



联系NI | 中国

产品与服务 应用案例 技术支持 NI Developer Zone 院校 活动 关于NI

搜索

个人档案 MyNI 站内信 我的购物单 我的购物车

您好, Cui Peng (登出)

[主页](#) > [技术支持](#) > [IPNet](#)

全站搜索

搜索范围

IPNet

分类搜索

▼ 应用领域

控制 (26)

数据采集, 生成 (37)

数据操作 (30)

数字总线, 协议 (14)

加密 (2)

[更多](#)

IPNet

LabVIEW FPGA IPNet是用来浏览、理解并下载LabVIEW FPGA函数或IP的一站式资源。该站点汇聚了从LabVIEW FPGA函数模板、National Instruments内部开发者和LabVIEW FPGA社区收集的FPGA IP与范例。

搜索IPNet

输入关键词

IPNet

搜索

[搜索技巧](#)

页面语种: ☒ 英文 / 简体中文 ☐ 简体中文

新增特性

[CANopen Reference Example for the NI-9853 C-Series CAN Module](#)

[How to Enable Wireless 802.11 on NI Single-Board RIO \(sbRIO\) Based Custom Reference Designs](#)

[Reference Example for Encrypting IP for LabVIEW FPGA](#)

[Advanced Encryption Standard \(AES\) for LabVIEW FPGA](#)

[LabVIEW FPGA 1-wire Driver](#)

[NI CompactRIO Waveform Reference Library](#)

亮点

[Multiply Accumulate \(MAC\) for Virtex 5 FPGAs](#)

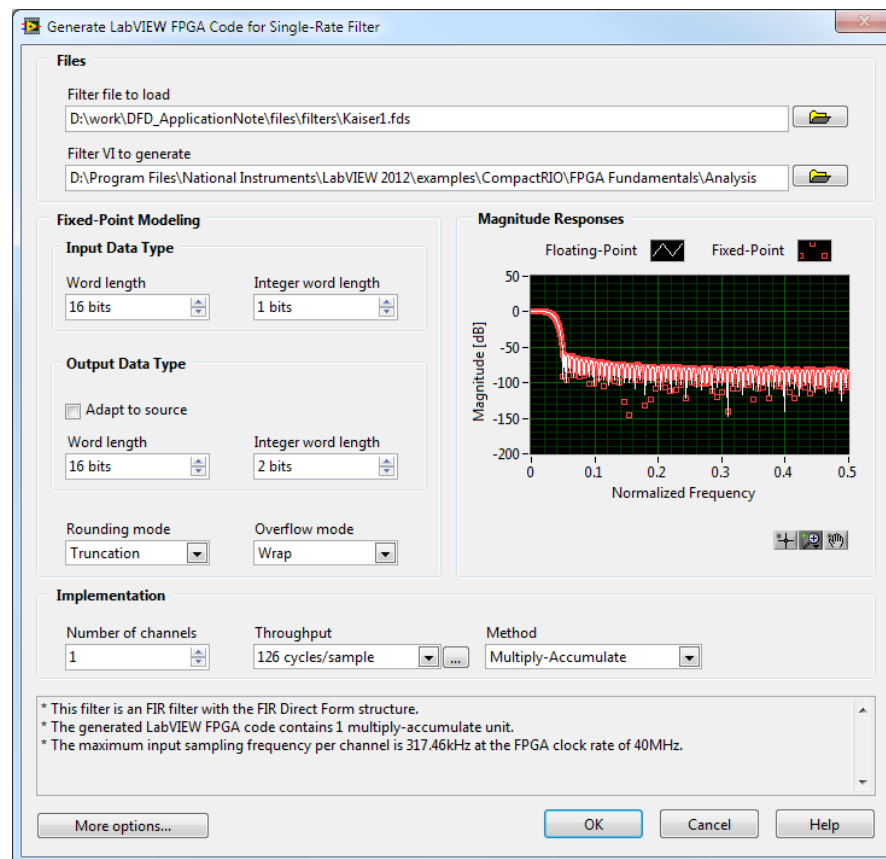
[PID Control \(with multichannel support\)](#)

[SPI Protocol](#)



数字滤波器设计工具包

- 低通、高通、带通、带阻、波陷
- 频响均衡
- 升、降采样
- 重采样 (阶次分析)
- 锁相环 (超窄带滤波)
- 包络检测
- 时延
- 波束成形



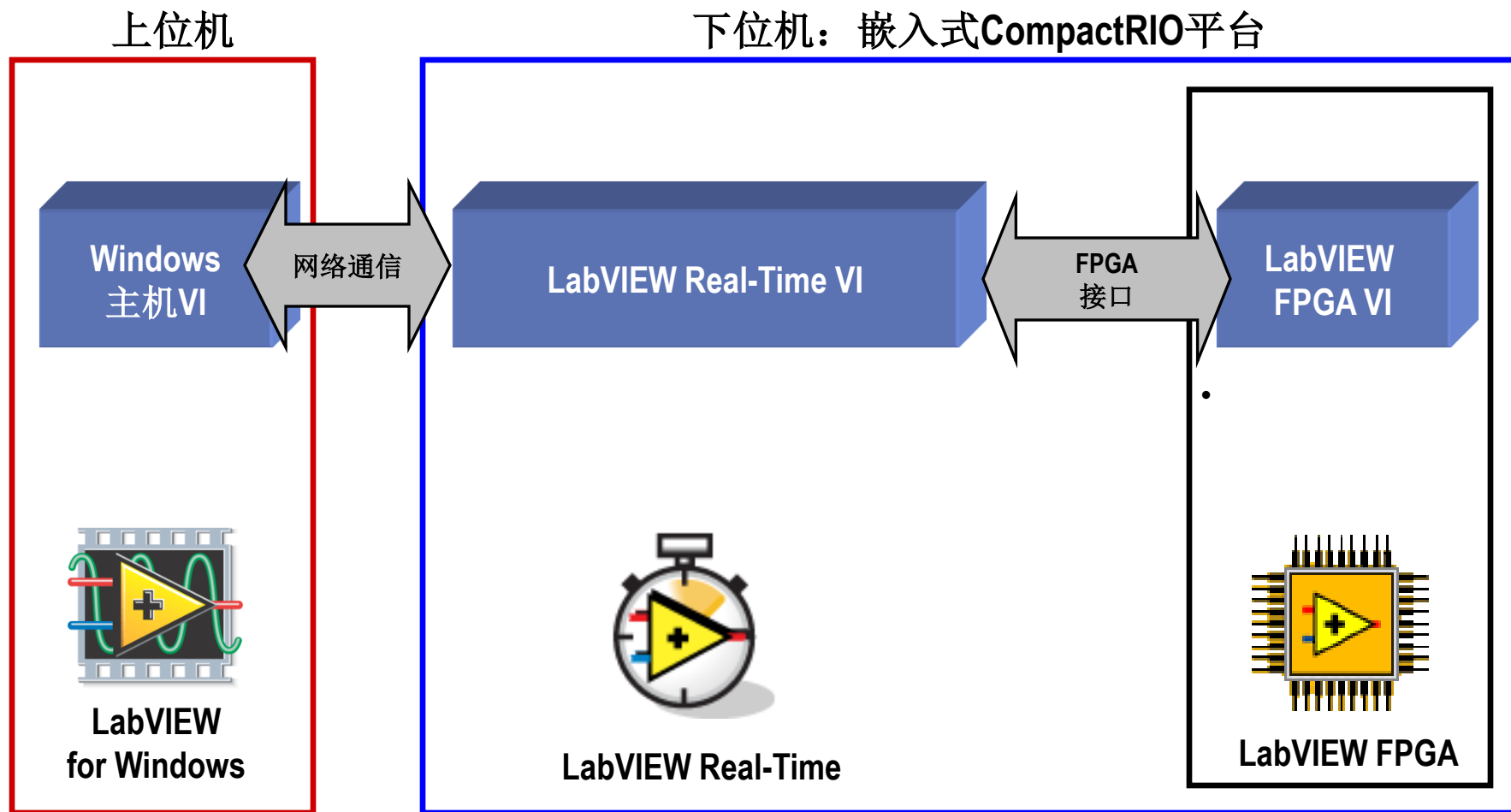
LabVIEW FPGA算法开发

- FPGA算法移植
- 单周期定时循环
- 内置丰富的数字信号处理VI和高性能函数
- 开放并兼容多种开发方式
- 工具包辅助信号处理设计与实现

FPGA与上位机通信

- 搭建程序框架
- 算法开发技巧
- **FPGA与上位机通信**
- FPGA VI仿真

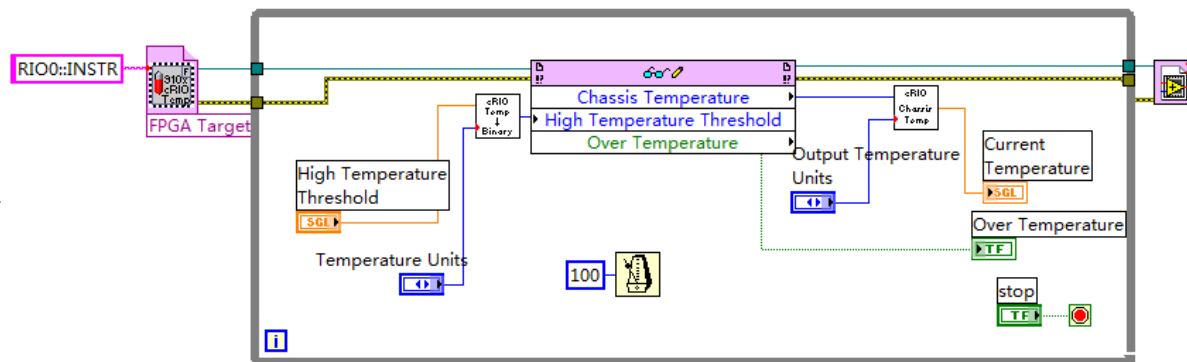
NI CompactRIO软件架构



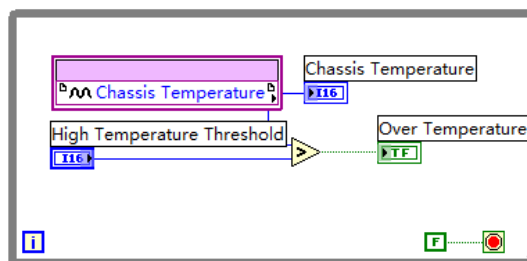
方式一：输入控件/显式控件

- 可读可写，但上位机更新速度较慢
- 适用于设置参数/监控状态

上位机

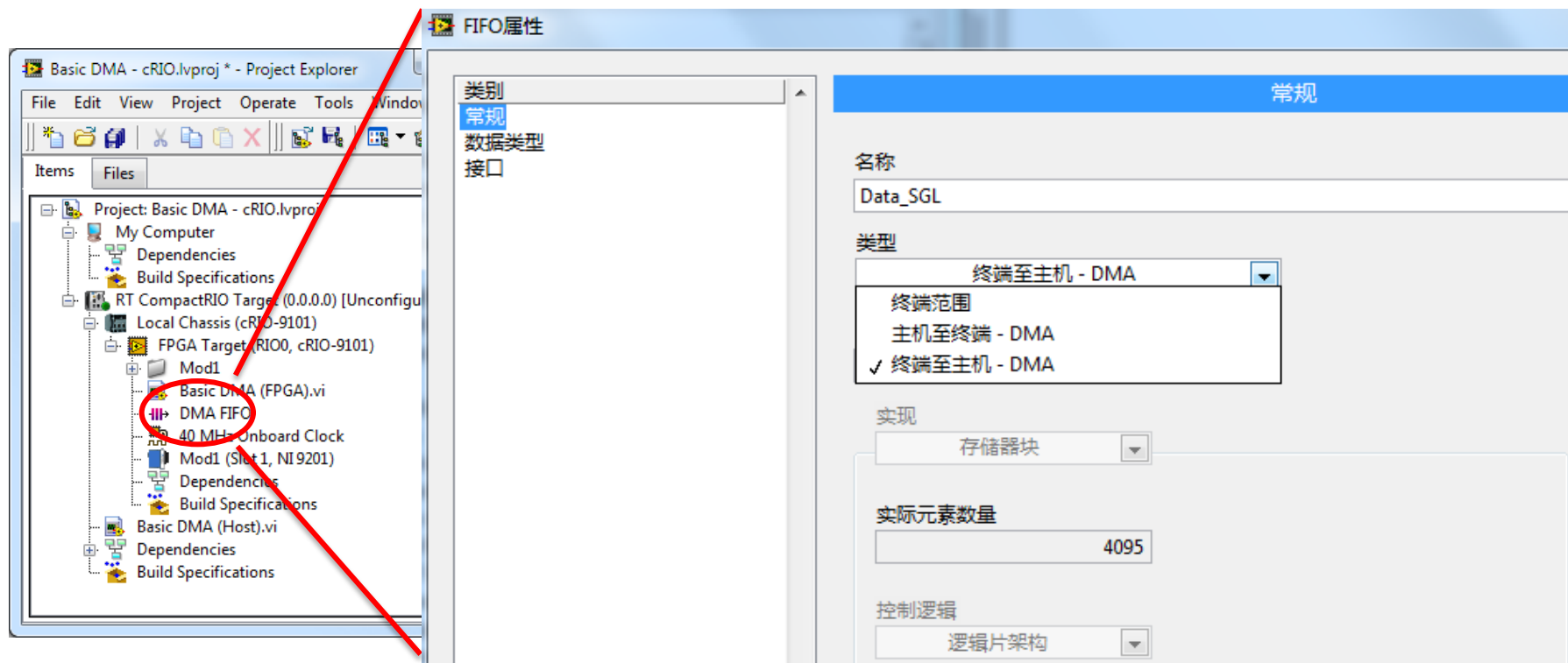


FPGA



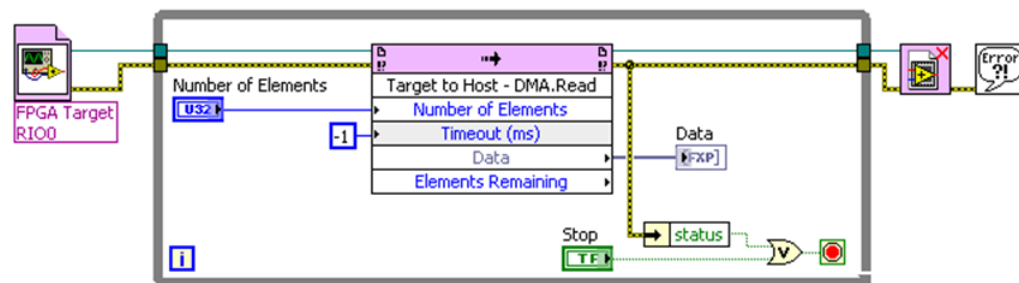
方法二：DMA FIFO

- 可以传输连续数据
- 终端到主机 / 主机到终端
- 创建 FIFO 时选择 DMA 类型
- 每个终端仅包含有限个DMA通道

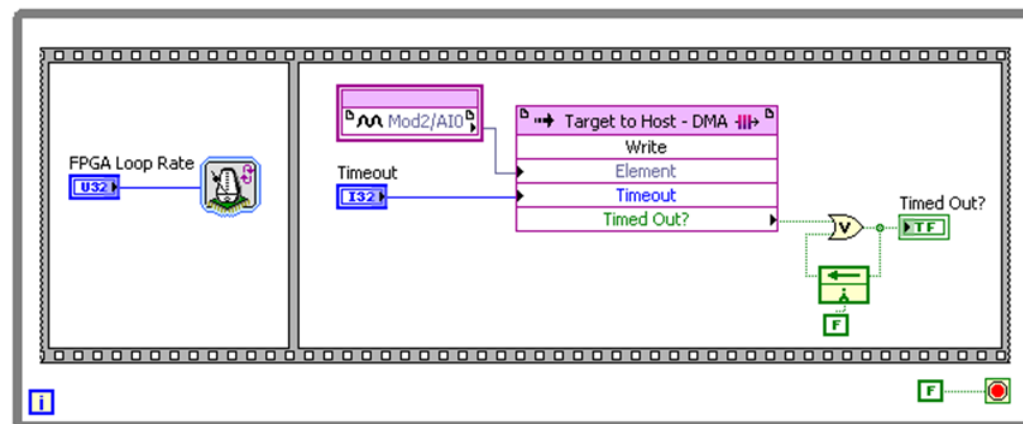


方法二：DMA FIFO

上位机

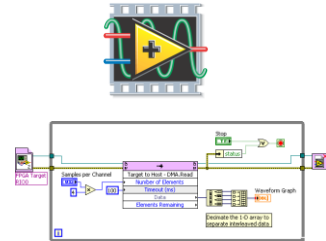
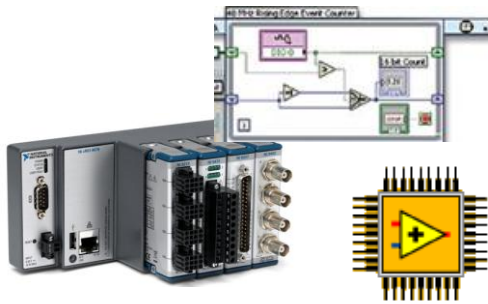


FPGA



避免 FIFO 溢出

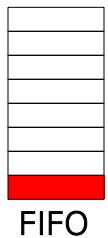
- 需要估算数据吞吐量
- 必要时检查 Timeout 标志



Data element



Point-by-point
write operation

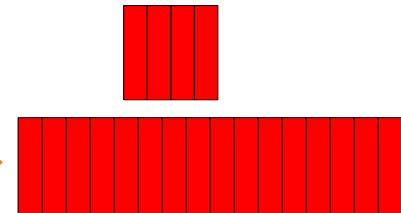


Local Bus

DMA
Engine

PCI Bus

Buffer
read operation



Buffer

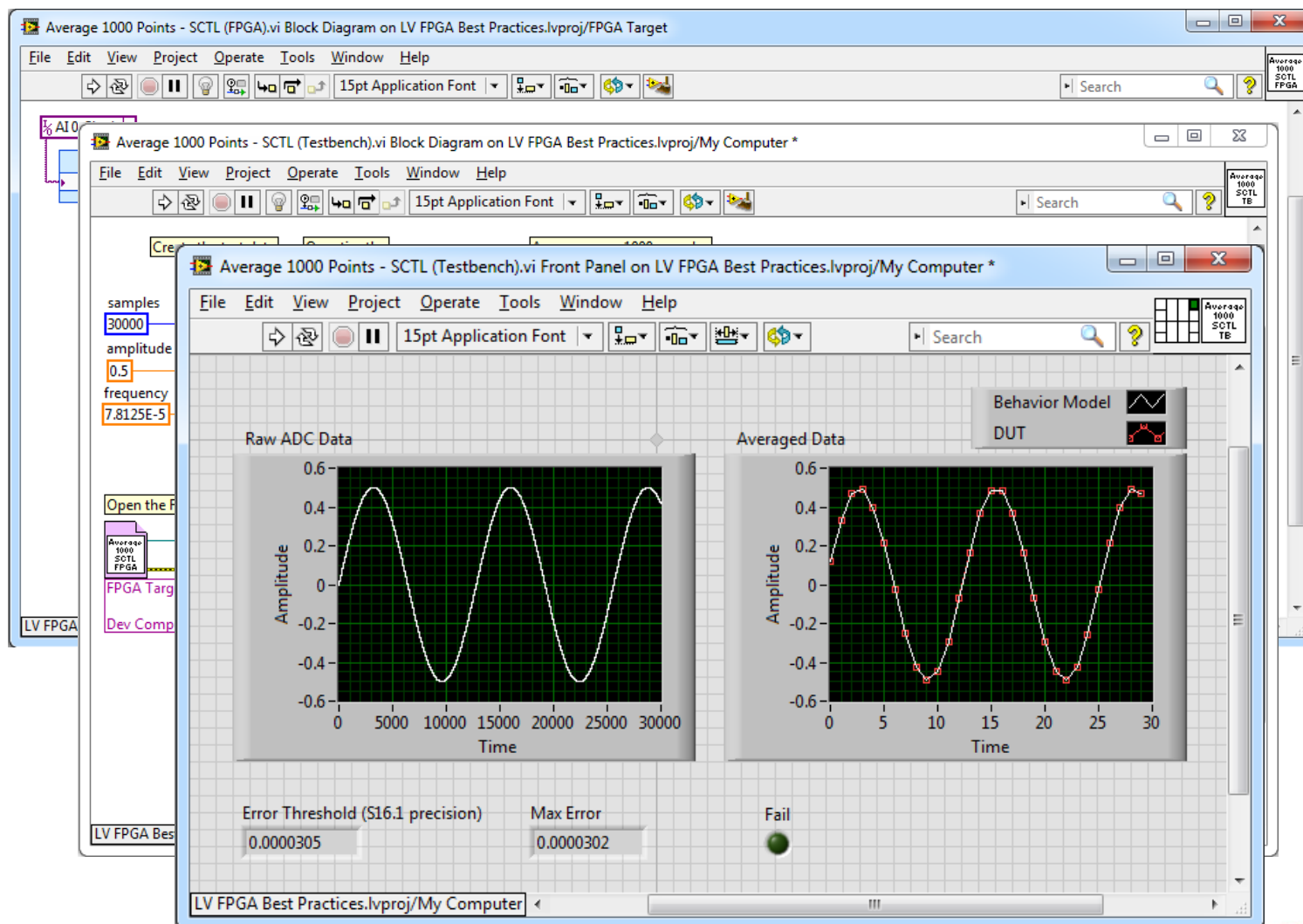
FPGA VI仿真

- 搭建程序框架
- 算法开发技巧
- FPGA与上位机通信
- **FPGA VI仿真**

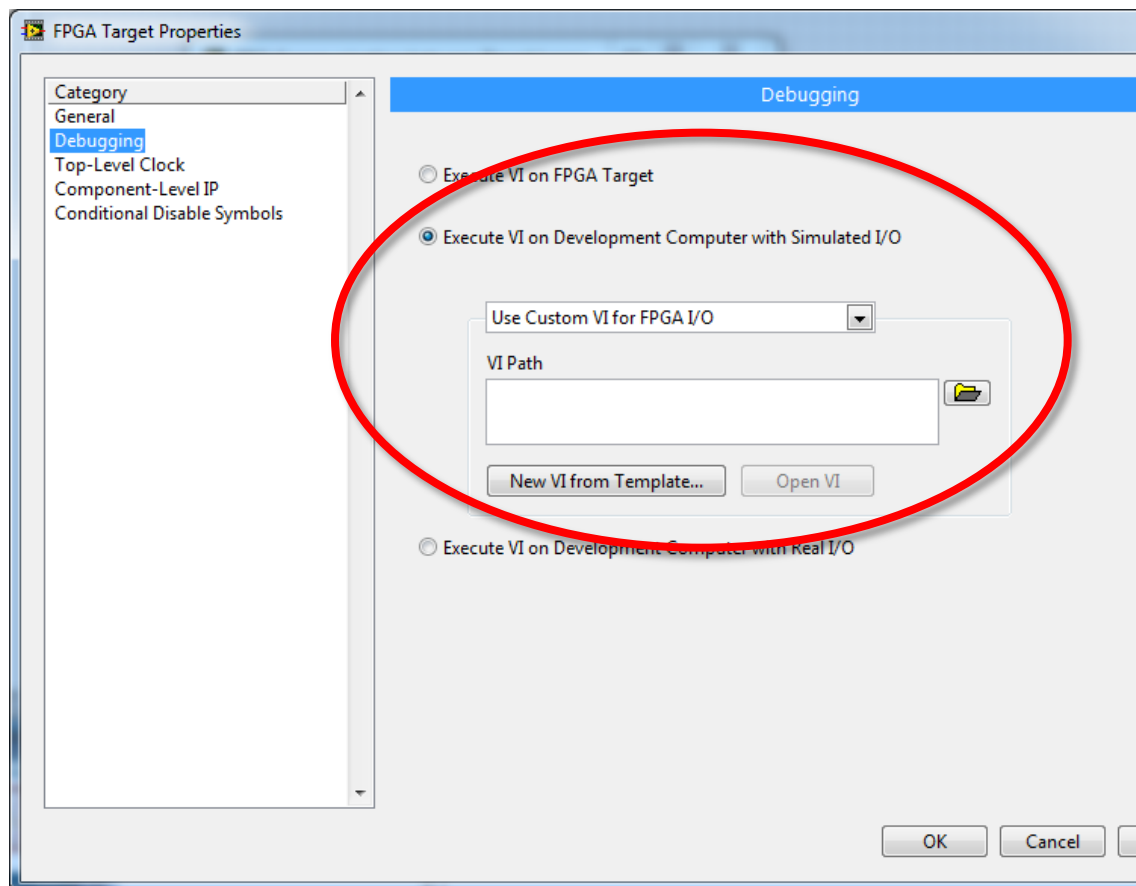
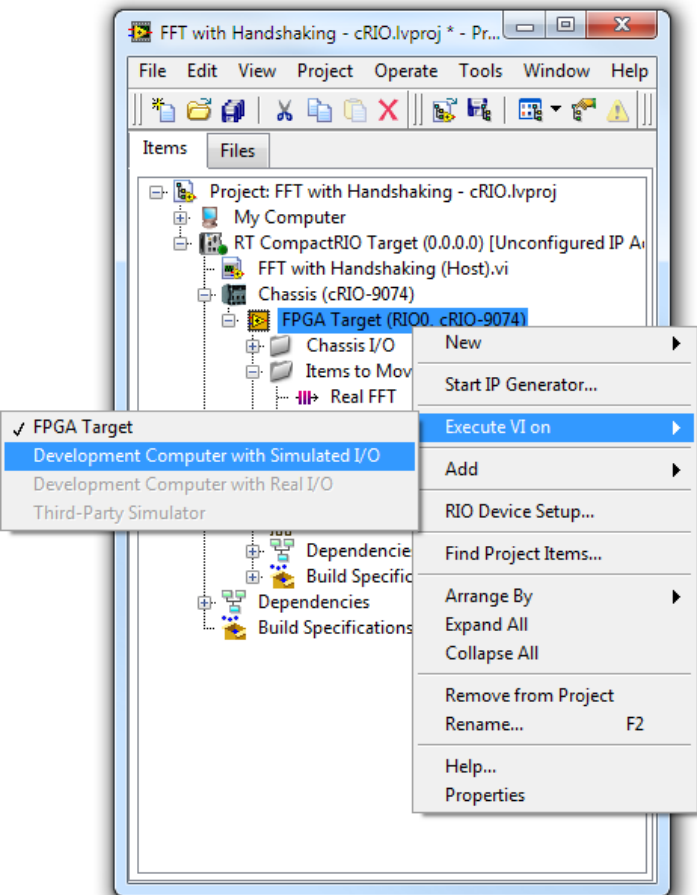
测试 FPGA VI

- 相对于直接在硬件上运行：
 - 可以更快地反复调试
 - 可以使用探针或者其它LabVIEW调试工具
 - 可以与桌面算法的结果比较

搭建 FPGA 测试台



配置仿真模式



总结

- NI RIO硬件平台
- 创建工程
- 编写FPGA VI的技巧
 - 数值类型、数组/内存
 - 多多利用现有IP核
 - 合理使用单周期定时循环
- 与上位机通信
 - 输入控件/显式控件
 - DMA FIFO
- 功能仿真

更多资源

- NI CompactRIO 开发者指南
 - ni.com/compactriodevguide
- GSD Zone CompactRIO 教学大楼
 - gsdzone.net/CompactRIO.aspx
- NI Developer Zone 设计参考
 - zone.ni.com

