



Marlin3 B3 RFPLL Unlock 芯片测试

1. Unlock 芯片 +40M / -40M Noise 测试

1.1 测试条件

遍历 ir_cap_ext 值，发 Tone 信号，使用 频谱仪测试 TX Power。

测试 Tone 信号的 Power。

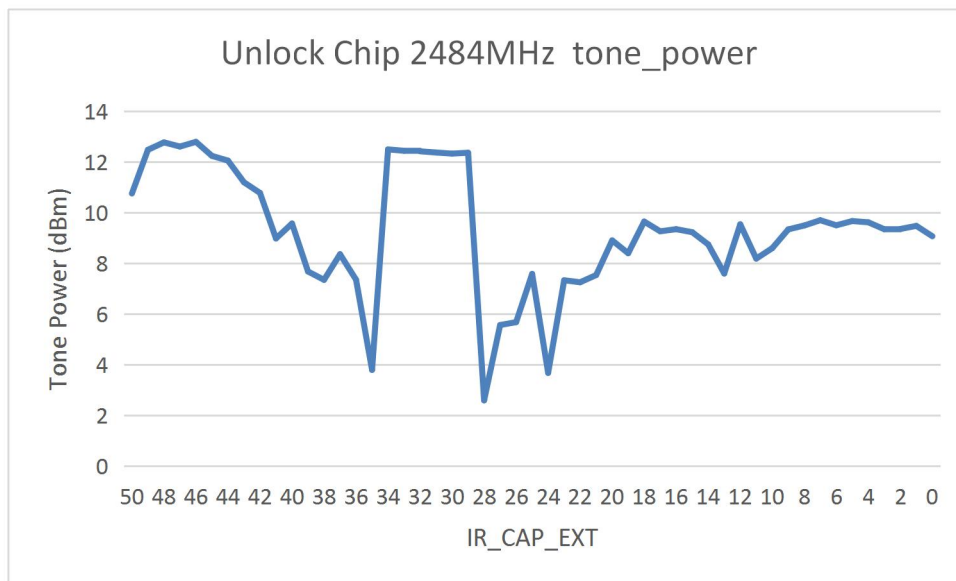
测试 Tone 信号频率相差 +40MHz / -40MHz 位置的 Noise Power。

1.2 测试结论

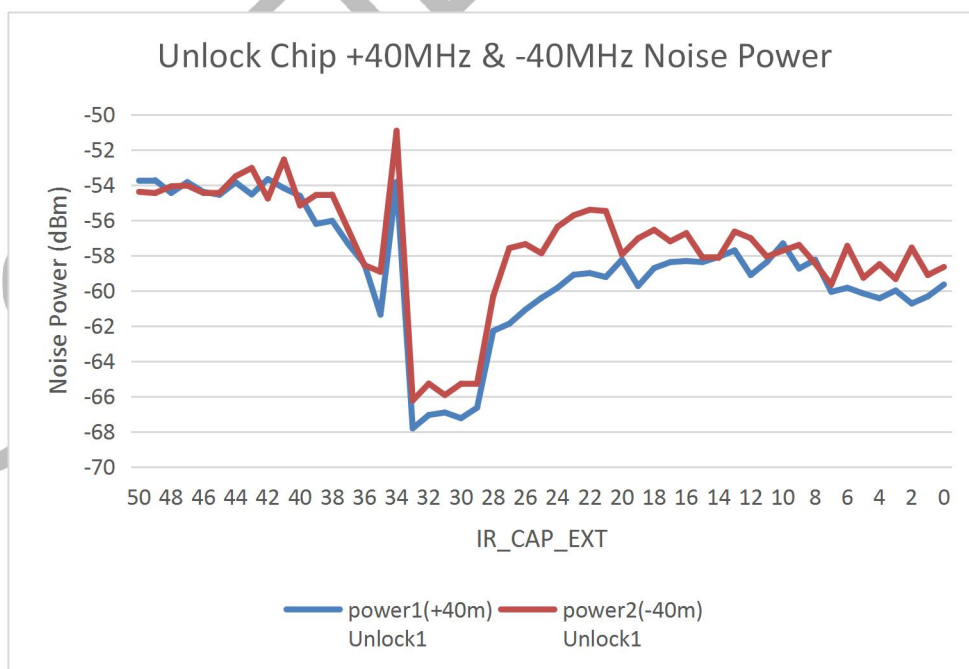
- 当 PLL 频率锁定时，+40MHz / -40MHz 位置的 Noise 较小，淹没在低噪里，基本看不出来。
- 当 PLL 频率没有锁定的时候，+40MHz / -40MHz 位置的 Noise 较大，且会随 Tone 信号功率的变大而变大。
- 正常的芯片与 PLL 不能锁定的芯片现象一样。

1.3 RFPLL Unlock 与 Normal 芯片测试结果比较

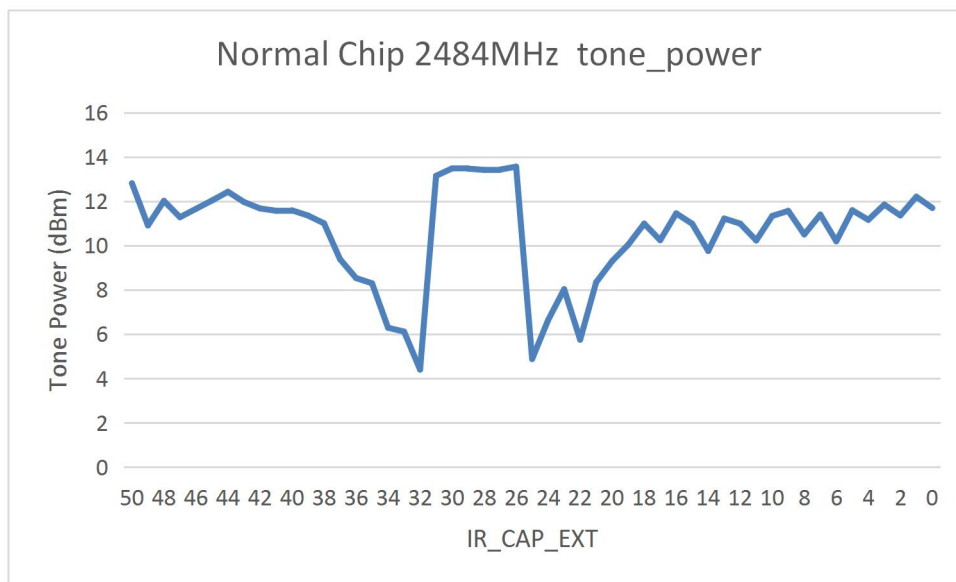
- Unlock 芯片：当 IR_CAP_EXT 在 32 附近时，PLL 可以锁定 2484MHz，此时 Tone Power 的功率比较稳定。如下图所示。



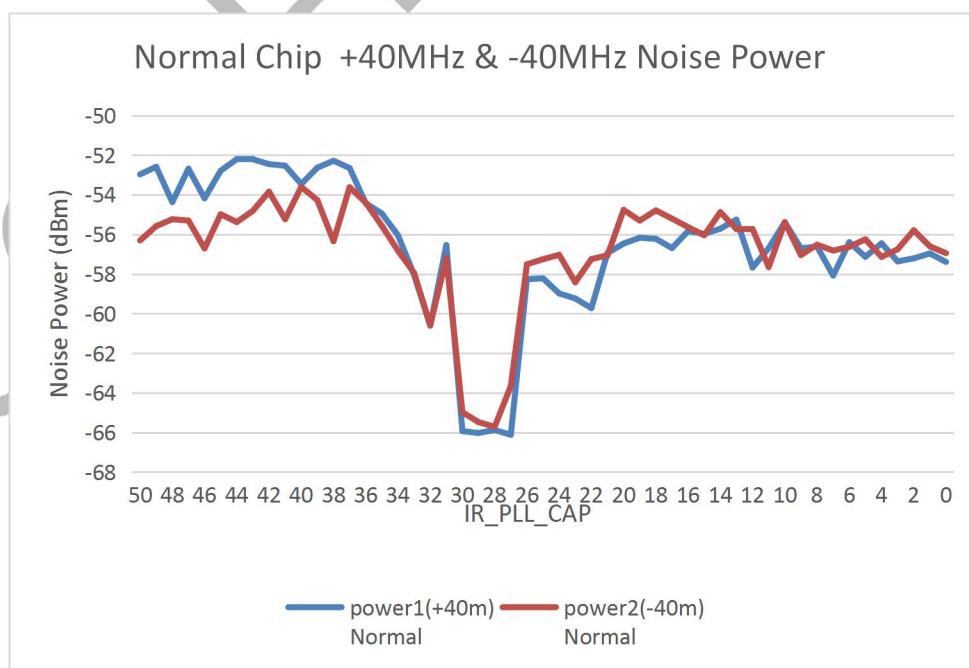
- Unlock 芯片：当 IR_CAP_EXT 在 32 附近时，PLL 可以锁定 2484MHz，此时 Tone 频率 +40MHz 和 -40MHz 的 Noise Power 较小。如下图所示。



- Normal 芯片：当 IR_CAP_EXT 在 30 附近时，PLL 可以锁定 2484MHz，此时 Tone Power 的功率比较稳定。如下图所示。



- Normal 芯片：当 IR_CAP_EXT 在 30 附近时，PLL 可以锁定 2484MHz，此时 Tone 频率 +40MHz 和 -40MHz 的 Noise Power 较小。如下图所示。





2. Unlock 芯片 EVM 测试

2.1 测试条件

遍历 ir_cap_ext 值，使 PLL 频率能锁定，测试 TX MCS7 EVM。

2.2 测试结论

PLL Unlock 芯片有以下现象：

- 当 PLL 锁定时，EVM 最好能达 -31 dB 左右。
- 最大的 or_pll_cap=1 的时候，可以锁住 PLL 频率。
- or_pll_cap 不能等于 2 。

2.3 RFPLL Unlock 芯片

从下表数据中可以看出：

- EVM 最好为 -31 dB 左右。
- 最大的 or_pll_cap=1 的时候，可以锁住频率。
- or_pll_cap 不能等于 2 。

channel	rate	ir_enx_cap	ir_cap_ext	or_pll_cap	ent_vco_bias_vol (V)	power	evm	evm_std
1	mcs7	1	62	0	1.57	12.4	0	0
1	mcs7	1	61	0	1.59	12.46	0	0
1	mcs7	1	60	0	1.59	12.43	0	0
1	mcs7	1	59	0	1.59	12.41	0	0
1	mcs7	1	58	0	1.59	12.44	0	0
1	mcs7	1	57	0	1.59	12.51	0	0
1	mcs7	1	56	0	1.59	12.65	0	0
1	mcs7	1	55	0	1.59	12.8	0	0
1	mcs7	1	54	0	1.59	13	0	0
1	mcs7	1	53	0	1.58	13.29	0	0
1	mcs7	1	52	0	1.58	13.48	0	0
1	mcs7	1	51	0	1.58	13.63	0	0
1	mcs7	1	50	0	1.58	13.71	0	0
1	mcs7	1	49	0	1.44	13.69	-29.45	0.85



1	mcs7	1	48	0	1.14	13.67	-30.94	0.59
1	mcs7	1	47	0	1.01	13.66	-27.11	1.35
1	mcs7	1	46	0	0.66	13.64	-29.58	1.18
1	mcs7	1	45	1	0.22	13.62	-27.06	1.7
1	mcs7	1	44	1	0.04	13.6	-30.45	1.21
1	mcs7	1	43	1	0.04	13.53	0	0
1	mcs7	1	42	1	0.04	13.41	0	0
1	mcs7	1	41	1	0.04	13.16	0	0
1	mcs7	1	40	1	0.04	12.97	0	0
1	mcs7	1	39	1	0.04	12.81	0	0
1	mcs7	1	38	1	0.04	12.66	0	0
6	mcs7	1	49	0	1.58	13.78	0	0
6	mcs7	1	48	0	1.59	13.73	0	0
6	mcs7	1	47	0	1.59	13.69	0	0
6	mcs7	1	46	0	1.58	13.56	0	0
6	mcs7	1	45	0	1.58	13.32	0	0
6	mcs7	1	44	0	1.59	13.13	0	0
6	mcs7	1	43	0	1.58	12.96	0	0
6	mcs7	1	42	0	1.58	12.87	0	0
6	mcs7	1	41	0	1.59	12.83	0	0
6	mcs7	1	40	0	1.39	12.82	-31.12	0.63
6	mcs7	1	39	0	1.12	12.81	-31.5	0.65
6	mcs7	1	38	0	0.79	12.8	-30.95	0.64
6	mcs7	1	37	1	0.31	12.8	-29.02	0.96
6	mcs7	1	36	1	0.09	12.79	-28.41	1.14
6	mcs7	1	35	1	0.04	12.81	0	0
6	mcs7	1	34	1	0.04	12.87	0	0
6	mcs7	1	33	1	0.04	12.97	0	0
6	mcs7	1	32	1	0.04	13.04	0	0
6	mcs7	1	31	1	0.04	13.05	0	0
6	mcs7	1	30	1	0.04	13.06	0	0

2.4 RFPLL Lock 正常的芯片

测试到信道 1 的时候，or_pll_cap 直接从 2 变化到 1。

金萍在测试 EVM 一致性的时候，发现信道 1 的 EVM 会波动较大一些，也许就是 or_pll_cap 没有等于 0 的时候，使用 or_pll_cap=0 的跟踪方式 ir_cap_ext 在相邻两值间波动，从而导致 EVM 波动。



channel	rate	ir_enx_cap	ir_cap_ext	or_pll_cap	ent_vco_bias_vol (V)	power	evm	evm_std
1	mcs7	1	62	2	1.63	13.42	0	0
1	mcs7	1	61	2	1.64	13.73	0	0
1	mcs7	1	60	2	1.64	13.95	0	0
1	mcs7	1	59	2	1.64	14.15	0	0
1	mcs7	1	58	2	1.65	14.28	0	0
1	mcs7	1	57	2	1.66	14.38	0	0
1	mcs7	1	56	2	1.38	14.36	-30.11	0.7
1	mcs7	1	55	2	1.1	14.35	-30.92	0.43
1	mcs7	1	54	2	0.74	14.35	-30.79	0.53
1	mcs7	1	53	1	0.27	14.34	-28.38	0.88
1	mcs7	1	52	1	0.06	14.34	-31.31	0.6
1	mcs7	1	51	1	0.04	14.3	0	0
1	mcs7	1	50	1	0.04	14.21	0	0
1	mcs7	1	49	1	0.04	14.01	0	0
1	mcs7	1	48	1	0.04	13.84	0	0
1	mcs7	1	47	1	0.04	13.79	0	0
1	mcs7	1	46	1	0.04	13.65	0	0
6	mcs7	1	57	2	1.64	15.25	0	0
6	mcs7	1	56	2	1.64	15.28	0	0
6	mcs7	1	55	2	1.64	15.25	0	0
6	mcs7	1	54	2	1.64	15.15	0	0
6	mcs7	1	53	2	1.64	14.94	0	0
6	mcs7	1	52	2	1.64	14.78	0	0
6	mcs7	1	51	2	1.64	14.64	0	0
6	mcs7	1	50	2	1.64	14.55	0	0
6	mcs7	1	49	2	1.64	14.51	0	0
6	mcs7	1	48	2	1.57	14.53	-31.7	0.5
6	mcs7	1	47	2	1.44	14.53	-29.22	1.28
6	mcs7	1	46	2	1.13	14.52	-31.63	0.48
6	mcs7	1	45	0	0.62	14.52	-31.45	0.58
6	mcs7	1	44	1	0.29	14.52	-29.54	0.98
6	mcs7	1	43	1	0.07	14.52	-30.74	0.81
6	mcs7	1	42	1	0.04	14.56	0	0
6	mcs7	1	41	1	0.04	14.68	0	0
6	mcs7	1	40	1	0.04	14.78	0	0
6	mcs7	1	39	1	0.04	14.85	0	0
6	mcs7	1	38	1	0.04	14.9	0	0
6	mcs7	1	37	1	0.04	14.88	0	0