**작성자의 말** : 중간에 굵은 글씨는 제가 읽으면서 중요하거나 요점이라고 생각되는 부분이고

붉은 글씨는 유의깊게 봐야하는 부분, 기울기체는 제가 넣은 생각입니다.

Signals, Interfaces, and Pins

**2.1 Introduction 소개**

**2.1.1 Notices 알림**

**2.2 Power Pins**

**2.3 PS I/O Pins**

**2.4 PS–PL Voltage Level Shifter Enables PS-PL 전압 레벨 시프터 사용**

**2.5 PS-PL MIO-EMIO Signals and Interfaces**

**2.5.1 I/O Peripheral (IOP) Interface Routing IOP (I / O Peripheral) 인터페이스 라우팅**

**2.5.2 IOP Interface Connections**

**2.5.3 MIO Pin Assignment Considerations MIO 핀의 배정 고려 사항**

**2.5.4 MIO-at-a-Glance Table MIO 개요 테이블**

**2.5.5 MIO Signal Routing**

**2.5.6 Default Logic Levels**

**2.5.7 MIO Pin Electrical Parameters MIO 핀 전기 파라미터**

**2.6 PS–PL AXI Interfaces**

**2.7 PS–PL Miscellaneous Signals PS-PL의 기타신호**

**2.7.1 Clocks and Resets 클럭과 리셋**

**2.7.2 Interrupt Signals 인터럽트 신호들**

**2.7.3 Event Signals 이벤트 신호**

**2.7.4 Idle AXI, DDR Urgent/Arb, SRAM Interrupt Signals**

**2.7.5 DMA Req/Ack Signals**

**2.8 PL I/O Pins**

**2.1 Introduction 소개**

이 장에서는 Zynq-7000 AP SoC 장치의 사용자가 볼 수있는 신호와 인터페이스를 설명합니다. 인터페이스 및 신호는 그림 2-1과 같이 주요 그룹으로 구성됩니다. Zynq-7000 AP SoC 디바이스는 Xilinx Artix ™ -7 또는 Kintex ™ -7 기반 Programmable Logic (PL) 블록이 있는 프로세싱 시스템 (PS)으로 구성됩니다.

**2.1.1 Notices알림**

**7z007s and 7z010 CLG225 Devices**

7z007s 싱글 코어 및 **7z010 듀얼 코어 CLG225 디바이스 (225 핀 패키지)는 MIO 핀을 통해 최대 32 개의 MIO 핀과 하나의 이더넷 인터페이스를 지원합니다.** 이것은 2.5.4 MIO-at-a-Glance 표의 MIO 표에 나와 있습니다. 하나 또는 둘 모두의 이더넷 컨트롤러는 PL의 로직과 인터페이스 할 수 있습니다.

**PS-PL Voltage Level Shifters PS-PL 전압 레벨 쉬프터**

PS와 PL 사이에 들어가는 모든 신호와 인터페이스는 전압 경계를 통과합니다. 이러한 입력 및 출력 신호는 PL의 파워 업 및 파워 다운 시퀀스 중에 활성화 및 비활성화되어야하는 전압 레벨 쉬프터를 통해 라우팅됩니다. 전압 레벨 쉬프터에 대한 자세한 내용은 섹션 2.4 PS-PL 전압 레벨 쉬프터 활성화를 참조하십시오.​

**Pin Timing and Voltage Specifications 핀 타이밍 및 전압 사양​**

타이밍 및 핀 전압 정보는 Zynq-7000 AP SoC 데이터 시트를 참조하십시오.

​

**​​2.2 Power Pins**

**​PS 및 PL 전원 공급 장치는 완전히 독립적이지만 PL 전원 공급 장치가 활성화 될 때마다 PS 전원 공급 장치가 있어야합니다.**

PL 파워 업은 PS의 POR 리셋 신호와 특정 타이밍 관계를 유지할 필요가 있습니다.

자세한 내용은 6.3.3 절. BootROM 성능 : PS\_POR\_B De-assertion Guidelines, 177 페이지를 참조하십시오.

​​PS에는 DDR I / O 용 독립 전원 공급 장치와 MIO 용 독립 전압 뱅크가 있습니다. 전원 핀은 표 2-1에 요약되어 있습니다.

​전압 시퀀싱 및 전기적 사양은 해당 Zynq-7000 AP SoC 데이터 시트에 나와 있습니다. 자세한 정보는 Zynq-7000 AP SoC 패키징 및 핀 문서를 참조하십시오.

​

**2.3 PS I/O Pins**

전용 PS 신호 핀의 요약은 표 2-2에 나와 있습니다.

​

**주의**

**MIO 핀의 경우, 허용되는 Vin 하이 레벨 전압은 slcr.MIO\_PIN\_xx [IO\_Type] 및 [DisableRcvr] 비트의 설정에 따라 달라집니다.​ 이러한 제한 사항과 모든 I / O 핀에 대한 제한 사항은 Zynq-7000 AP SoC 데이터 시트에 정의되어 있습니다. 한계를 초과하면 입력 버퍼가 손상 될 수 있습니다.**

​

**​Table 2-2: PS Signal Pins 의 Description만 해석**​

\* Zynq-7000 Family Pin Count 탭은 7z010 제품은 해당되지 않으니 7z007s/ 7z010 Device Pin Count을 본다.

**Clock : PS\_CLK** 시스템 기준 클럭. 제 25 장 클럭을 참조하십시오.

**Reset : PS\_POR\_B** 파워 온 리셋, 활성 낮음. 26 장, 시스템 재설정을 참조하십시오.

​            **PS\_SRST\_B** 디버그 시스템 재설정, 활성 낮음. 시스템이 강제로 리셋 시퀀스를 시작하도록합니다.

26 장, 시스템 재설정을 참조하십시오.

**MIO : PS\_MIO[15:0]** 섹션 2.5 PS-PL MIO-EMIO 신호 및 인터페이스 및 UG865, Zynq-7000 AP SoC

패키지 및 핀아웃 가이드를 참조하십시오.

​  **PS\_MIO[53:16]**

​      **PS\_MIO\_VREF** RGMII 입력 리시버에 대한 전압 레퍼런스는 UG933, Zynq-7000 AP SoC PCB

설계 및 핀 계획 가이드를 참조하십시오.

*ㄴ 우리 FPGA는 pin이 0이므로 사용하지 않는다.*

**DDR : PS\_DDR\_xxx** 10 장, DDR 메모리 컨트롤러를 참조하십시오.

**PS\_DDR\_VR[N,P]** DDR DCI 전압 레퍼런스 핀은 UG933, Zynq-7000 AP SoC PCB

설계 및 핀 계획 가이드를 참조하십시오.

​          **PS\_DDR\_VREF** DDR DQ 및 DQS 차동 입력 리시버에 대한 전압 레퍼런스는 UG933,

Zynq-7000 AP SoC PCB 설계 및 핀 계획 가이드를 참조하십시오.

**​**

**7z007s and 7z010 Devices**

7z007s 싱글 코어 및 7z010 듀얼 코어 CLG225 디바이스 (225 핀 패키지)는 다른 Zynq-7000 AP SoC 디바이스보다 핀 수가 적습니다 (표 2-2 참조).

DDR 및 MIO 핀에 대한 자세한 내용은 10 장, DDR 메모리 컨트롤러 및 2.5.3 MIO 핀 분류 고려 사항에서 각각 확인할 수 있습니다.

CLG225 장치에 대한 자세한 내용은 1.1.3 절의 "주의 사항"절에 나와 있습니다.​​

​

**​2.4 PS–PL Voltage Level Shifter Enables**

**전압 레벨 시프터 사용**

​**PS와 PL 사이에 들어가는 모든 신호와 인터페이스는 전압 경계를 통과합니다. 이러한 입력 및 출력 신호는 전압 레벨 쉬프터를 통해 라우팅됩니다**

**대부분의 전압 레벨 쉬프터는 slcr.LVL\_SHFTR\_EN 레지스터에 의해 활성화됩니다.** 전압 레벨 쉬프터는 일부 PS-PL 횡단 신호가 PL 전력 상태로 제어되도록합니다. 여기에는 XADC, PL 및 EMIO JTAG(PCAP 인터페이스) 및 기타 모듈의 신호가 포함됩니다.

​

전압 레벨 쉬프터의 활성화 및 비활성화는 PL 파워 업 및 파워 다운 시퀀스 동안 관리되어 PS 모듈에 대한 입력 신호상의 불필요한 로직 레벨 전이를 방지해야합니다. PL 전원이 꺼지기 전에 전압 레벨 쉬프터를 비활성화하십시오. 마찬가지로 PL이 켜지고 신호가 사용되기 전에 레벨 쉬프터를 활성화하십시오. PL의 로직을 프로그래밍하려면 PS의 전원을 켜야합니다.

**​**

**Example: Power-up Sequence** 전원켜기 단계

​1. PL의 전원을 켭니다. 전압 시퀀싱 요구 사항은 데이터 시트를 참조하십시오. **slcr.LVL\_SHFTR\_EN 레지스터는 0x0과 같아야합니다.**

2. PS-to-PL 레벨 쉬프터를 활성화하십시오. **slcr.LVL\_SHFTR\_EN 레지스터에 0x0A를 씁니다**

3.PL을 프로그램하십시오.

4. PL을 프로그래밍 할 때까지 기다립니다. devcfg.INT\_STS [PCFG\_DONE\_INT] = 1로 읽히면​ DONE신호가 되었음을 알리는 것 입니다.

5. PL-to-PS 레벨 시프터를 활성화하십시오. slcr.LVL\_SHFTR\_EN 레지스터에 0x0F를 씁니다.

6. PS와 PL 사이의 신호와 인터페이스를 사용합니다.

​

**Example: Power-down Sequence** 전원끄기 단계

1. PS와 PL 사이의 신호와 인터페이스 사용을 중지하십시오.

2. 전압 레벨 쉬프터를 비활성화하십시오. **slcr.LVL\_SHFTR\_EN 레지스터에 0x0**을 씁니다.

3. PL의 전원을 끕니다. 전압 시퀀싱 요구 사항은 데이터 시트를 참조하십시오.

4. PL의 전원이 꺼지면 **slcr.LVL\_SHFTR\_EN 레지스터 = 0x0**을 그대로 두십시오.​

​

**TIP**

기능적으로, **PL이 완전히 구성 될 때까지 전압 레벨 시프터를 활성화 할 이유가 없습니다. PS는 PL 글로벌 신호가 안전하다고 표시 할 때까지 전압 레벨 쉬프터가 사용가능하도록 허용하지 않습니다.** PL DONE 신호가 High 가 될 때 PL은 완전히 프로그래밍됩니다. PL DONE 신호는 DevC 서브 시스템에서 인터럽트로 추적됩니다.

​**2.5 PS-PL MIO-EMIO Signals and Interfaces**

**MIO는 제한된 수의 MIO 핀으로 인해 I / O 주변 장치 연결에 중요합니다.** 소프트웨어는 I / O 신호를 MIO 핀으로 라우팅합니다.​

**또한 I / O 주변 신호는 EMIO 인터페이스를 통해 PL (PL 장치 핀 포함)로 라우팅 될 수  있습니다.** **이는 더 많은 장치 핀 (PL 핀)에 액세스하고 I / O 주변 장치 컨트롤러가 PL의 사용자 논리에 인터페이스 할 수있게하는 데 유용합니다.** 그림 2-2를 참조하십시오.

​

**​2.5.1 I/O Peripheral (IOP) Interface Routing**

**IOP (I / O Peripheral) 인터페이스 라우팅**

**I / O 제어기 신호의 I / O 다중화는 다릅니다.**

**즉, 일부 IOP 신호는 MIO 핀 인터페이스에서만 사용할 수 있으며 일부 신호는 MIO 또는 EMIO를 통해 사용할 수 있으며 일부 인터페이스 신호는 EMIO를 통해서만 액세스 할 수 있습니다.**

각 I / O 주변 장치의 일부 라우팅 기능은 표 2-3에 나와 있습니다.  
 각 IOP의 세부 사항은 IOP를 설명하는 장에 포함되어 있습니다. MIO 핀 할당 가능성은 2.5.4 MIO-at-a-Glance 표 섹션에 설명되어 있습니다.

​

**NOTE :**

**IOP 인터페이스 I / O 신호의 라우팅은 그룹으로 수행되어야합니다. 즉, 신호를 분할하여 다른 MIO 핀 그룹으로 라우트해서는 안됩니다**

예를 들어, SPI 0 CLK가 MIO 핀 40으로 라우팅되면, SPI 0 인터페이스의 다른 신호는 MIO 핀 41에서 45로 라우팅되어야합니다.

**마찬가지로 IOP 인터페이스 내의 신호는 MIO와 EMIO 사이에서 분리되어서는 안됩니다 .**

**그러나 IOP 인터페이스 내의 사용되지 않는 신호는 반드시 라우팅되어야합니다. 사용하지 않은 신호는 GPIO로 구성 할 수 있습니다.**​​

​

**Table 2-3: I/O Peripheral MIO-EMIO Interface Routing**

​

​**NOTE :**

이더넷 MII / GMII 인터페이스가 EMIO를 통해 라우팅 될 때, 다른 MII 인터페이스 (예를 들어, RMII, RGMII 및 SGMII)  
PL 핀에 부착 된 PL의 적절한 shim logic 를 사용하여 도출 할 수 있습니다.

**​**

**2.5.2 IOP Interface Connections**

**​**

​대부분의 주변 장치에는 I / O 신호를 매핑 할 수있는 융통성이 있습니다. 라우팅 기능은 그림 2-4에 나와 있습니다.

​예를 들어, XPS 설계 소프트웨어는 CAN에 대해 최대 12 개의 가능한 MIO 포트 매핑을 포함하고, 선택하면 EMIO 인터페이스에 대한 경로를 포함합니다. 주변 시스템 연결 다이어그램은 그림 2-3에 나와 있습니다.

​

USB 이외의 PS 주변 장치에 대한 대부분의 I / O 신호는 MIO를 통해 PS 핀으로 전달되거나 EMIO를 통해 PL 핀으로 라우팅 될 수 있습니다.

대부분의 주변기기는 기가비트 이더넷을 제외하고 MIO와 EMIO간에 동일한 프로토콜을 유지합니다. 핀 수를 줄이기 위해 4 비트 RGMII 인터페이스는 MIO를 통해 250MHz 데이터 속도 (125MHz 클럭 및 이중 데이터 속도)로 실행됩니다.

EMIO를 통과하는 경로에는 125MHz 데이터 속도로 실행되는 8 비트 GMII 인터페이스가 포함됩니다. USB, Quad-SPI 및 SMC 인터페이스는 PLO의 EMIO 인터페이스에서 사용할 수 없습니다.

상호 연결 측면에서 USB, 이더넷 및 SDIO 주변 장치는 중앙 상호 연결부에 연결되어 6 개의 DMA 마스터를 서비스합니다. 소프트웨어는 AHB 상호 연결을 통해 슬레이브 전용 Quad-SPI 및 SMC 주변 장치에 액세스합니다.​​​

​GPIO, SPI, CAN, UART 및 I2C 세이브 전용 컨트롤러는 APB 버스를 통해 액세스됩니다. 모든 제어 및 상태 레지스터는 APB 상호 연결을 통해 액세스 할 수 있습니다. 단 두 개의 AHB 인터페이스가있는 SDIO 컨트롤러는 예외입니다. 이 아키텍처는 각 컨트롤러 인터페이스의 대역폭 요구를 맞추기 위해 설계되었습니다.

**​**

**2.5.3 MIO Pin Assignment Considerations**

**MIO 핀의 배정 고려 사항**

일반적으로 각 핀은 하나의 기능에 할당됩니다. 한 가지 예외는 이중 사용 부트 모드 스트래핑 저항 (MIO [2 : 8])입니다.

​

**​중요 ​**

​몇 가지 중요한 MIO 핀 지정 고려 사항이 있습니다.

MIO-at-a-Glance 테이블, 인터페이스 라우팅 테이블 및 핀 할당 고려 사항은 핀 계획을 수행 할 때 유용합니다. ​(2-3, 2-4 표와 2.5.3 )

**인터페이스 주파수 :** 인터페이스의 클로킹 주파수는 일반적으로 장치 속도 등급과 인터페이스가 MIO 또는 EMIO를 통해 라우팅되는지 여부에 따라 다릅니다. 각 인터페이스의 가능한 라우팅 경로는 표 2-3 (48 페이지)에 나와 있습니다. 각 속도 등급 및 라우팅 경로에 사용할 수있는 최대 클록 주파수는 Zynq-7000 AP SoC 데이터 시트에 정의되어 있습니다.

​

**2 개의 MIO 전압 뱅크 :** ​ MIO 핀은 개별적으로 구성된 2 개의 I / O 버퍼 세트 (뱅크 0, MIO [15 : 0] 및 뱅크 1, MIO [53:16])에 걸쳐 분할됩니다.

​신호 전압은 처음에는 다음을 사용하여 구성됩니다. 신호 전압은 처음에 VMODE 부트 모드 스트래핑 핀을 사용하여 구성됩니다. 각 뱅크는 1.8V 신호 또는 2.5V / 3.3V를 구성 할 수 있습니다.

​

**부트 모드에 사용되는 핀 :** 이 핀은 부팅 모드 핀으로서의 기능 외에도 I / O 주변 장치에 할당 될 수 있습니다. MIO 핀 [8 : 2]에서 MIO 뱅크의 부팅 장치, 초기 PLL 클럭 바이 패스 모드 및 전압 모드 (VMODE)를 정의하십시오.

스트래핑 핀은 PS\_POR\_B 리셋 신호가 디어서트 된 후(디어서트가 뭔지 잘 모르겠당) 몇 PS\_CLK 클럭 사이클에서 샘플링된다. 보드 설계는이 신호를 20kΩ 풀업 및 풀다운 저항을 사용하여 VCC 또는 접지에 연결합니다. 부팅 모드 핀 설정에 대한 자세한 내용은 6 장, 부팅 및 구성에 나와 있습니다.

​

**I / O 버퍼 출력 활성화 제어 :** 각 MIO I / O 버퍼의 출력 활성화는 세가지 상태 오버라이드 제어 비트의 설정, 선택된 신호 유형 (입력 전용 여부) 및 주변 장치 컨트롤러의 상태의 조합에 의해 제어됩니다.​ 세가지 상태 오버라이드 비트는 slcr.MIO\_PIN\_xx [TRI\_ENABLE] 레지스터 비트 또는 slcr.MIO\_MST\_TRI 레지스터 비트 두 위치 중 하나에서 제어 할 수 있습니다. 이 비트들은 동일한 플립 플롭을 제어하여 I / O 버퍼의 세가지 상태 신호를 제어하는 것을 돕습니다. I / O 버퍼 출력은 세가지 상태 오버라이드 제어 비트가 0이고 신호가 출력 전용이거나 I / O 주변 장치가 I / O로 구성된 신호를 구동하고자 할 때 활성화됩니다.

​

**SD 카드에서 부팅 :** BootROM은 SD 카드가 MIO 핀 40 ~ 45 (SDIO 0 인터페이스)에 연결될 것으로 인식합니다.

***ㄴ 우리의 보드는 해당 핀을 사용하지 않아 할 수 없음.***

​

**정적 메모리 컨트롤러 (SMC) 인터페이스 :** **하나의 SMC 메모리 인터페이스 만 설계에 사용할 수 있습니다. SMC 컨트롤러는 많은 MIO 핀을 소비하며 SMC 메모리 인터페이스는 EMIO로 라우팅 할 수 없습니다.**

​

**예를 들어, 8 비트 NAND 플래시가 구현 된 경우 Quad-SPI는 사용할 수 없으며 테스트 포트는 8 비트로 제한됩니다.**

**16 비트 NAND 플래시가 구현되면 추가 핀이 소모됩니다.**

**이더넷 0을 사용할 수 없습니다. SRAM / NOR 인터페이스는 이더넷 및 USB 0을 제거하여 MIO 핀의 최대 70 %를 소모합니다.**

**SRAM / NOR 상위 주소 핀은 부착 된 장치에 따라 선택적입니다. 또한 SMC 인터페이스는 2 개의 MIO 전압 뱅크에 걸쳐 있습니다.**

​​​​

**Quad-SPI 인터페이스 : Quad-SPI 메모리 서브 시스템을 사용하려면 하위 메모리 Quad-SPI 인터페이스 (QSPI\_0)를 사용해야합니다. 상위 인터페이스 (QSPI\_1)는 옵션이며 두개의 메모리 배열 (병렬 또는 스택)에만 사용됩니다. Quad-SPI 1 인터페이스 만 사용하지 마십시오.**

​

**MIO 핀 [8 : 7]은 출력입니다 : 이 MIO 핀은 출력으로 만 사용할 수 있습니다.** GPIO 채널 7과 8은 출력으로 만 구성 할 수 있습니다.

**​**

**MIO Pins in 7z007s and 7z010 CLG225 Devices:**

7z010 듀얼 코어 및 7z007s 싱글 코어 CLG225 장치에는 32 개의 MIO 핀 (0:15, 28:39, 48, 49, 52 및 53)이 있습니다.

다른 모든 Zynq-7000 AP SoC 디바이스는 54 개의 MIO 핀을 모두 포함하며 모든 디바이스는 동일한 EMIO 인터페이스 기능을 갖추고 있습니다.

1.1.3주의 사항을 참조하십시오.​

​

**7z007s 및 7z010 장치에서 사용할 수있는 32 개의 MIO 핀은 PS의 기능을 제한합니다.**

**- MIO를 통한 하나의 USB 또는 하나의 이더넷 컨트롤러​**

**- SD카드에서 부팅 안 함**

**- NOR / SRAM 인터페이스 없음**

**- 8 비트로 제한된 NAND 플래시의 너비**​

**2.5.4 MIO-at-a-Glance Table MIO 개요 테이블**

표 2-4는 쉽게 참조 할 수 있도록 압축 형식으로 된 MIO 정보를 제공합니다. 회색 상자는 CLG225 패키지 (7z010 듀얼 코어 및 7z007s 단일 코어 장치)가있는 장치에서 사용할 수없는 신호를 나타냅니다.

배경 정보는 PS-PL MIO-EMIO 신호 및 인터페이스 섹션을 참조하십시오. 이 섹션에는 중요한 핀 할당 고려 사항도 포함되어 있습니다.

**2.5.5 MIO Signal Routing**

**MIO를 통한 신호 라우팅은 slcr 레지스터 세트에있는 MIO\_PIN\_ [53 : 0] 구성 레지스터에 의해 제어됩니다.** **MIO는 그림 2-4와 같이 4 단계의 멀티플렉싱을 사용하여 다양한 입출력 신호를 MIO 핀에 멀티플렉싱 및 디 멀티플렉싱합니다.**

**고속 데이터 신호 (예 : 기가비트 이더넷 용 RGMII 및 USB 용 ULPI)는 하나의 멀티플렉서 단을 통해 라우팅됩니다.**

**느린 신호 (예 : UART 및 I2C 포트)는 4 개의 멀티플렉서 단계 모두를 통해 라우팅됩니다.**

각 MIO 핀의 라우팅은 각 MIO\_PIN 레지스터의 다중 비트 필드에 의해 독립적으로 제어됩니다.

​

**Figure 2-4: MIO Signal Routing**

Notice: Not all mux inputs are populated with controller outputs.

주의 : 모든 Mux 입력이 컨트롤러 출력으로 채워지지는 않습니다.

​

To Program Muxing Levels, refer to the select fields in Registers MIO\_PIN\_[53:00]

**Muxing Level을 프로그래밍하려면 레지스터 MIO\_PIN\_ [53:00]의 선택 필드를 참조**하십시오.

모든 MIO 핀은 CAN\_MIOCLK\_CTRL 레지스터를 사용하여 외부 CAN 컨트롤러 레퍼런스 클럭으로 프로그래밍 할 수 있습니다.

​

**2.5.6 Default Logic Levels**

**I / O 주변 장치에 대한 입력은 다른 소스가 MIO 또는 EMIO로 라우팅되지 않을 때 기본값으로 구동됩니다.**

**입력이 EMIO로 라우팅되었지만 PL의 전원이 꺼지면 동일한 기본값이 I / O 주변 장치로 보내집니다.**

(그림 2-5 참조).

MIO 전용 신호의 경우 기본 신호 입력은 MIO 멀티플렉서가 신호를 MIO 핀에 전달하지 않을 때 구동됩니다.

MIO-EMIO 신호의 경우 기본 신호 입력은 MIO 멀티플렉서가 신호를 MIO 핀으로 라우팅하지 않을 때 (신호는 EMIO 인터페이스로 기본 설정 됨) 신호가 EMIO를 통해 라우팅되도록 프로그래밍 된 경우 구동되며, PL은 신호를 구동하지 않거나(구성되지 않음)구동 할 수 없습니다 (전원이 꺼짐).

**( 문장이 좀.. 매끄럽지가 않은듯.. 뭔소린지 정확히... ㅡㅡ;;)**​

**기본 입력 신호 로직 레벨은 I / O 주변 장치에 적합하도록 설계되었습니다. 예방책으로서 관련 주변 코어는 사용하지 않을 때는 비활성화해야합니다. 논리 레벨은 각 I / O 주변 장치에 대한 각 장의 신호 표에 나와 있습니다.**

**2.5.7 MIO Pin Electrical Parameters**

**MIO 핀 전기 파라미터**

**MIO\_PIN 레지스터는 각 I / O 버퍼 (GPIOB)의 전기 핀 특성을 제어하는 비트 필드를 포함**합니다.  
**여기에는 I / O 버퍼 신호 전압, 회전율, 세가지 상태 제어, 풀업 저항 및 HSTL 활성화가 포함**됩니다.

이것들은 표 2-5에 요약되어 있습니다. 전기 사양은 해당 Zynq-7000 AP SoC 데이터 시트를 참조하십시오.

​

**Table 2-5: MIO I/O Buffer Programmable Parameters**

​

**주의!**

**허용되는 Vin 하이 레벨 전압은 slcr.MIO\_PIN\_xx [IO\_Type] 및 [DisableRcvr] 비트의 설정에 따라 다릅니다.** 제한 사항은 Zynq-7000 AP SoC 데이터 시트에 정의되어 있습니다. **한계를 초과하면 입력 버퍼가 손상 될 수 있습니다.**

**VREF Source Considerations VREF 소스 고려 사항**

HSTL 신호용 VREF 핀은 내부 또는 외부 소스로부터 제공 될 수 있습니다. 사용자는 기반 시스템 설계 요구 사항을 선택해야합니다. 기준 소스는 slcr.GPIOB\_CTRL [VREF\_SW\_EN] 레지스터 비트를 사용하여 선택됩니다.

**2.6 PS–PL AXI Interfaces (**Advanced eXtensible Interface**)**

AXI 인터페이스의 PS 쪽은 AXI 3 인터페이스 사양을 기반으로합니다. 각 인터페이스는 여러 개의 AXI 채널로 구성됩니다. 인터페이스는 표 2-6에 요약되어 있습니다. **1000 개가 넘는 신호가 이 9 개의 PL AXI 인터페이스를 구현하는 데 사용됩니다.**

​

**​NOTE :**

**PL 로직 통신이 발생하기 전에 LVL\_SHFTR\_EN을 통해 PL 레벨 쉬프터를 활성화해야합니다**.

2.7.1 Clocks and Resets 섹션을 참조하십시오.

​

​**Table 2-6: PL AXI Interfaces**

​1) M\_AXI\_GP0 / M\_AXI\_GP1 : 범용 (AXI\_GP)

2) S\_AXI\_GP0 / S\_AXI\_GP1 : 범용 (AXI\_GP)

3) S\_AXI\_ACP : 가속기 일관성 포트(ACP), 캐시 일관성있는 트랜잭션

*->해석보단 영어 그대로를 보는게 좋을 듯*

4) ​S\_AXI\_HP0 / S\_AXI\_HP1 / S\_AXI\_HP2 / S\_AXI\_HP3 / S\_AXI\_HP4 : 읽기 / 쓰기 FIFO가있는 고성능 포트 (AXI\_HP)와 DDR 컨트롤러의 2 개의 전용 메모리 포트 및 OCM의 경로. AXI\_HP 인터페이스는 AFI 라고 알려져 있습니다.

Signals:

5 장, Interconnect 에는 이러한 각 인터페이스를 설명하는 절이 있습니다.  
AXI 신호는 섹션 5.6 PS-PL AXI 인터페이스 신호에 개별적으로 나열되어 있습니다.  
AXI\_ACP 인터페이스는 3.5.1 PL 동시 처리 인터페이스를 포함하여 3 장 응용 프로그램 처리 장치의 여러 위치에서도 설명됩니다. PS 상호 연결은 그림 5-1에 나와 있습니다.

**2.7 PS–PL Miscellaneous Signals**

**PS-PL의 기타신호**

**programmable logic 인터페이스 그룹에는 PS와 PL 사이의 기타 인터페이스가 포함됩니다**. **입력은 PL에 의해 구동되고 출력은 PS에 의해 구동됩니다. 신호에는 'N' 접미사가 활성 낮음 신호를 나타내는 접미사가 있을 수 있습니다. 그렇지 않으면 신호가 High입니다. 'TN'접미사는 활성 낮은 3-상태 가능 신호를 나타내며 PL에 대한 출력입니다. PL 로의 출력 신호는 항상 하이 또는 로우 레벨 상태로 구동 됩니다.**

PS-PL 신호 그룹은 표 2-7에 나와 있습니다.

​

​**Table 2-7: PS-PL Signal Groups**

**Note:**

PL 로직 통신이 발생할 수 있기 전에 slcr.LVL\_SHFTR\_EN 레지스터를 통해 PL 레벨 쉬프터를 활성화해야합니다. 섹션 2.7.1 Clocks and Resets 을 참조하십시오.

**2.7.1 Clocks and Resets 클럭과 리셋**

**​**

**Clocks**

 PS 클럭 모듈은 PS-PL 경계를 따라 물리적으로 펼쳐지는 4 개의 주파수 프로그래밍 가능 클록 (FCLK)을 PL에 제공합니다. 클럭은 개별적으로 제어 할 수도 있습니다. FCLK 클럭은 PL 클록 버퍼로 라우팅되어 주파수 소스로 사용될 수 있습니다.

**Note:**

4 개의 PL 클록 중 어느 하나와 다른 PS-PL 신호 사이에는 보장 된 타이밍 관계가 없습니다. 각 클럭은 독립적으로 프로그래밍되고 작동됩니다.

**​FCLKCLKTRIGN [3 : 0]** 신호는 현재 지원되지 않습니다. 그들은 PL에서 ground에 묶여 있어야합니다. FCLK 클럭은 25 장, Clocks에서 설명합니다.

​

​**Resets**

​**PS 리셋 서브 시스템은 4 개의 프로그램 가능한 리셋 신호를 PL에 제공합니다.** 리셋 신호는 slcr.FPGA\_RST\_CTRL SLCR [FPGA [3 : 0] \_OUT\_RST] 비트 필드에 기록하여 제어됩니다.

리셋은 독립적으로 프로그래밍되며 PL 클록 및 기타 모든 PS-PL 신호와 완전히 독립적입니다. PS 재설정 서브 시스템은 제 26 장 Reset System에 설명되어 있습니다

​

표 2-8에 PL 클럭 및 리셋이 요약 되어있습니다.

​

**​Table 2-8: PL Clock and Reset Signals**

​

**​**

**2.7.2 Interrupt Signals 인터럽트 신호들**

**I / O 주변 장치 (IOP)​ 처리 시스템으로부터의 인터럽트는 PL로 라우팅되고 FCLK 클록에 비동기적으로 세팅(어서트)됩니다.**

**다른 방향에서, PL은 비동기식으로 20 개의 인터럽트를 PS에 세팅(어서트 업)할 수있습니다.**

​이들 인터럽트 신호 중 16 개는 각 인터럽트 신호가 우선 순위 레벨로 설정되고 CPU 중 하나 또는 모두에 매핑되는 주변 장치 인터럽트로 인터럽트 컨트롤러에 매핑됩니다.  나머지 4 개의 PL 인터럽트 신호는 반전되어 nFIQ 및 nIRQ로 라우팅됩니다. 인터럽트 컨트롤러의 개인 주변 장치 인터럽트 (PPI) 장치에 대한 신호를 직접 인터럽트합니다. 두 개의 CPU 각각에 대해 nFIQ 및 nIRQ 인터럽트가 있습니다. **PS - PL 및 PS - PS 인터럽트**는 표 2-9에 나열되어 있습니다. 인터럽트 신호에 대한 자세한 내용은 7 장, 인터럽트에서 설명합니다.

​

**​Table 2-9: PL Interrupt Signals**

**​- PL에서 PS 로의 인터럽트 ( PL to PS Interrupts )**

IRQF2P[7:0] : I : SPI: Numbers [68:61].

​IRQF2P[15:8] : I : SPI: Numbers [91:84].

IRQF2P[19:16] : I : PPI: nFIQ, nIRQ (both CPUs).

​

**- PS에서 PL 로의 인터럽트 ( PS to PL Interrupts )**

IRQP2F[27:0] : O : ​PL Logic. 이 신호는 I / O 주변 장치에서 수신되어 인터럽트 컨트롤러로 전달됩니다. 이 신호는 PL에 대한 출력으로도 제공됩니다.

​

**2.7.3 Event Signals 이벤트 신호**

S는 PL과의 프로세서 이벤트를 지원합니다 (표 2-10 참조).

이 신호는 PS 및 FCLK 클록과 비동기식입니다. 이 신호에 대한 자세한 내용은 3 장 Application Processing Unit를 참조하십시오

​

**​Table 2-10: PL Event Signals**

​Events : EVENTEVENTI : I : 하나 또는 두 개의 CPU가 WFE 상태에서 깨어납니다.

          EVENTEVENTO : O : CPU 중 하나가 SEV 명령을 실행할 때 표시

​Standby : EVENTSTANDBYWFE[1:0] : O : CPU 대기 모드 : CPU가 이벤트를 기다리고있을 때 세팅(어서션) 됨

            EVENTSTANDBYWFI[1:0] : O : CPU 대기 모드 : CPU가 인터럽트를 기다리고있을 때

세팅(어서션)됩니다.

​

**2.7.4 Idle AXI, DDR Urgent/Arb, SRAM Interrupt Signals**

**​PS에 대한 유휴 AXI 신호는 PL에 미해결 AXI 트랜잭션이 없음을 나타내는 데 사용됩니다. 어떤 레지스터에서도 읽을 수 없습니다. PL에 의해 구동되는 이 신호는 모든 PL 버스 장치가 유휴 상태임을 보장함으로써 PS 버스 클럭 셧다운을 시작하는 데 사용되는 조건 중 하나입니다.**

​

DDR urgent / arb 신호는 PS DDR 메모리 컨트롤러의 4 개 AXI 포트에 대한 DDR 조정에 중요한 메모리 부족 상태를 알리는 데 사용됩니다. EMIOSRAMINT 신호는 정적 메모리 컨트롤러가 인터럽트를 트리거했다는 것을 PL에 알리는 데 사용됩니다

​

**Table 2-11: PL AXI Idle, DDR Urgent/Arb and SRAM Interrupt Signals**

Type -> 인터럽트 명

PL Signal Name -> 신호 명

Destination -> 해당 신호 도착지

​

**2.7.5 DMA Req/Ack Signals**

​M\_AXI\_GP 인터페이스를 통해 연결된 최대 4 개의 PL 슬레이브가 사용할 4 개의 DMA 컨트롤러 흐름 제어 신호가 있습니다 (표 2-11 참조).

이 네 가지 흐름 제어 신호 세트는 DMA 채널 4 ~ 7에 해당합니다 (9 장, DMA 컨트롤러 참조).

​

**Table 2-12: PL DMA Signals**

**​**

**2.8 PL I/O Pins**

PL I / O 핀의 요약은 표 2-13에 나와 있습니다. 자세한 정보는 해당 Zynq-7000 AP SoC 데이터 시트 및 Zynq-7000 AP SoC 패키징 및 핀 문서를 참조하십시오.

​

​멀티 기가비트 시리얼 트랜시버 핀에 대한 자세한 내용은 UG476, 7 시리즈 FPGA GTX 트랜시버 사용자 가이드의 핀 설명 및 설계 가이드 라인 섹션을 참조하십시오. (Kintex 기반 Zynq 7z030, 7z035, 7z045 및 7z100 장치에서 4-6 개의 트랜시버를 사용할 수 있습니다.)

​

**​7z007s and 7z010 Device Notice**

​CLG225 패키지 (7z010 듀얼 코어 및 7z007s 단일 코어 장치)의 장치는 다른 Zynq-7000 AP SoC 장치보다 핀 수가 적습니다. 이러한 장치의 경우 DXN은 ground에 연결되고, **뱅크 34**는 8 개의 I / O를 가지며, **뱅크 35**는 46 개의 I / O를 가집니다. 또한 XADC 신호는 4 쌍만 있습니다.

​

**주의 !**

허용되는 Vin 하이 레벨 전압은 Zynq-7000 AP SoC 데이터 시트에 정의되어 있습니다. 한계를 초과하면 입력 버퍼가 손상 될 수 있습니다.

​**Table 2-13: PL Pin Summary**​

