***Enhanced Capture (eCAP) Module***

eCAP이란?

시간변위의 아날로그데이터를 디지털데이터로 바꾸는 동작을 의미한다

**32.1 Introduction** ................................................................................................... **1645**

**32.2 Basic Operation**.............................................................................................. **1646**

**32.3 Application of the ECAP Module** ...................................................................... **1653**

**32.4 Application of the APWM Mode** ........................................................................ **1662**

**32.5 eCAP Registers** .............................................................................................. **1663**

**32.1 Introduction**

**소개**

Uses for eCAP include:

eCAP에 대한 용도

• Speed measurements of rotating machinery (for example, toothed sprockets sensed via Hall sensors)

회전기계의 속도측정 (예를들면, 이가 있는 톱니들은 홀 센서를 통해 감지한다.)

• Elapsed time measurements between position sensor pulses

위치 센서 펄스간에 경과된 시간 측정

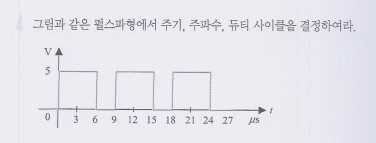
• Period and duty cycle measurements of pulse train signals

펄스 트레인 신호의 주기와 듀티사이클 측정

듀티사이클: 주기에 대하여 펄스파가 ON되어 있는 시간 비율

구하는법: ON되어있는시간/ 주기

Ex)



ON되어있는시간: 6*µs*, 주기:9 *µs*, -> 듀티사이클:6/9=66.7%가 된다.

• Decoding current or voltage amplitude derived from duty cycle encoded current/voltage sensors

듀티사이클 인코딩된 전류/ 전압 센서들에서 파생된 전류 또는 전압 진폭 디코딩

***32.1.1 Features***

***기능***

The eCAP module includes the following features:

eCAP모듈의 기능

• 4-event time-stamp registers (each 32 bits)

4개의 32bit Time-stamp레지스터를 가지고 있다.

Time-stamp: 어느 시점에 데이터가 존재했다는 사실을 증명하기 위하여 특정 위치에 표시하는 시각

• Edge polarity selection for up to four sequenced time-stamp capture events

최대 4개 연결된 타임 스탬프 캡처 이벤트에 대한 에지 양극성(상승/하강) 선택

• Interrupt on either of the four events

4가지 이벤트 중 하나에서 인터럽트

• Single shot capture of up to four event time-stamps

최대 4개의 이벤트 타임 스템프에 대한 단일 샷 캡쳐

• Continuous mode capture of time-stamps in a four-deep circular buffer

4 깊이 순환적인 버퍼 안에 타임 스템프의 연속 모드 캡쳐

• Absolute time-stamp capture

동작 모드1: 절대 타임 스템프 캡쳐

**이 모드에서는 PWM 입력신호의 Rinsing edge를 검출 하는데 첫 번째 Rising edge를 첫 번째 Time-stamp에 저장, 두 번째 Rising edge의 time을 두 번째 Time-stamp에 저장하는 이런 방식으로 계속 신호를 받아서 기록하고 Timer는 계속 증가하는데 이 경우 Timer가 신호가 끝나기 전까지 reset되지 않기 때문에 overflow가 발생할 수 있다.**

• Difference (Delta) mode time-stamp capture

동작 모드2: 시간차 타임 스템프 캡쳐

**이 모드에서는 PWM 입력신호에서 Rising edge와 그 다음 Rising edge 사이의 시간을 저장하는데 edge가 detect(발견)되면 자동으로 Timer가 reset이 되기 때문에 overflow가 거의 발생하지 않는다. 그리고 두 edge간에 시간은 Time-stamp에 기록되는 값을 읽으면 된다.**

• All above resources dedicated to a single input pin

단일 입력 핀에 대한 전용의 모든 리소스

• When not used in capture mode, the ECAP module can be configured as a single channel PWM output

캡쳐를 사용하지 않을 때 eCAP모듈은 PWM모듈과 같이 사용하는 것을 말한다.

**Auxilary PWM Mode: Capture mode가 필요하지 않다면 mode를 바꿔서 PWM 채널로 확장이 가능하다. 이 모드에서는 phase shift기능과 ePWM모듈과 동기화 기능은 제공을 하지만 ePWM의 다른 기능들은 사용 할 수 없다.(PWM은 34장에서 자세히)**

***32.1.2 Description***

***기술***

One eCAP channel has the following independent key resources:

하나의 eCAP채널에는 다음과 같은 독립적인 주요 자원(리소스)을 가진다.

• Dedicated input capture pin

전용의 입력 캡쳐 핀

• 32-bit time base (counter)

32비트 타이머 기반

• 4 x 32-bit time-stamp capture registers (CAP1-CAP4)

4개의 32비트 타임스템프 캡쳐 레지스터

• 4-stage sequencer (Modulo4 counter) that is synchronized to external events, ECAP pin rising/falling

Edges

외부 이벤트, Ecap핀 상승/하강 엣지에 동기화된 4-단계 시퀀서

• Independent edge polarity (rising/falling edge) selection for all 4 events

4개 이벤트에 대한 독립적인 엣지 양극화(상승/하강) 선택

• Input capture signal prescaling (from 2 to 62)

입력 캡쳐 신호 이전스케일

• One-shot compare register (2 bits) to freeze captures after 1 to 4 time-stamp events

1에서4까지 타임스템프 이벤트 이후에 캡쳐를 고정하는 원샷 비교 레지스터

• Control for continuous time-stamp captures using a 4-deep circular buffer (CAP1-CAP4) scheme

4 깊이 순환적인 버퍼(CAP1-CAP4)를 사용하는 연속적인 타임스템프 캡쳐에 대한 제어

• Interrupt capabilities on any of the 4 capture events

4개 캡쳐 이벤트 중 하나에서 인터럽트 기능

**32.2 Basic Operation**

**기본작동**

***32.2.1 Capture and APWM Operating Mode***

***캡쳐와 APWM 작동 모드***

You can use the eCAP module resources to implement a single-channel PWM generator (with 32 bit capabilities) when it is not being used for input captures.

입력 캡쳐에 대해 사용되지 않을 때 eCAP모듈 리소스를 사용하여 단일 채널 PWM생성기를 구현 할 수 있다.( 캡쳐를 사용하지 않을 때 eCAP모듈은 PWM모듈과 같이 사용하는 것을 말한다.)

The counter operates in count-up mode, providing a time-base for asymmetrical pulse width modulation (PWM) waveforms

카운터는 카운트 업 모드로 작동하여 비대칭인 펄스 폭 변조 파형에 대해 시간기준(타임기반)을 제공한다.

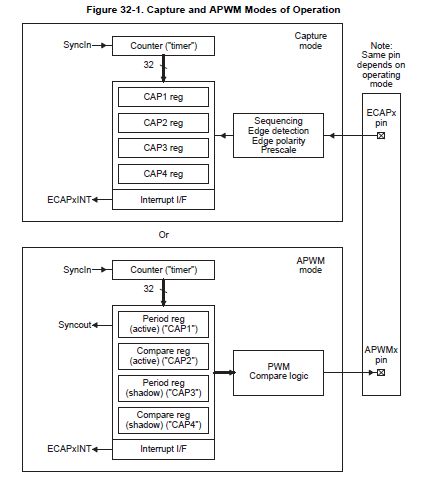
.

The CAP1 and CAP2 registers become the active period and compare registers, respectively, while CAP3 and CAP4 registers become the period and capture shadow registers, respectively.

CAP1 와 CAP2 레지스터는 각각 활성 주기와 비교레지스터가 되고,

반면에 CAP3과 CAP4레지스터는 각각 주기와 캡쳐쉐도우레지스터가 된다.

Figure 32-1 is a high-level view of both the capture and auxiliary pulse-width modulator (APWM) modes of operation.

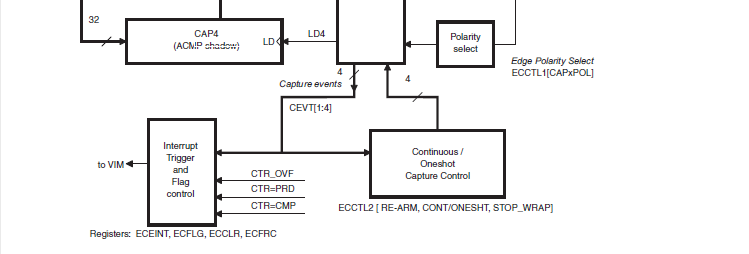
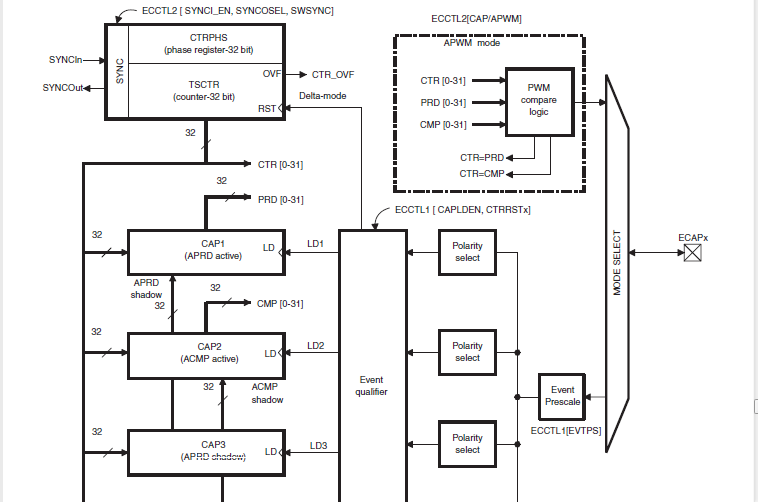
그림 32-1은 캡쳐와 보조 펄스 폭 변조 작동모드(APWM) 모두를 보여준다.

***32.2.2 Capture Mode Description***

***캡쳐 모드 디스크립션***

Figure 32-2 shows the various components that implement the capture function.

그림 32-2는 캡쳐 기능을 구현하는 다양한 구성을 보여준다.



**32.2.2.1 Event Prescaler**

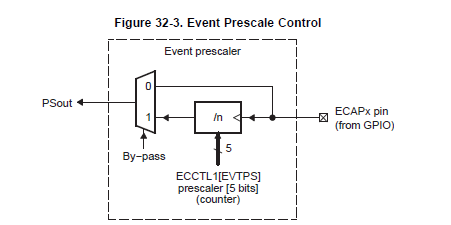
**이벤트 프리스케일**

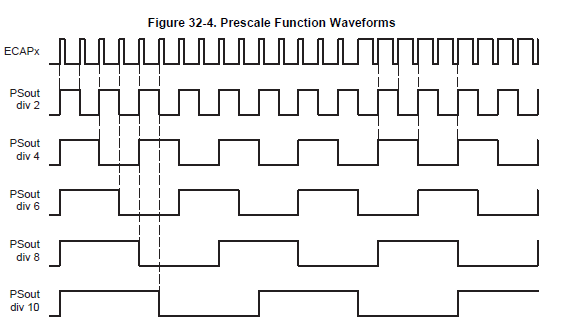
• An input capture signal (pulse train) can be prescaled by N = 2-62 (in multiples of 2) or can bypass the prescaler.

입력 캡쳐 신호(펄스 트레인)은 N=2-62(2의배수)로 프리스케일 되거나 프리스케일러를 우회 할 수 있습니다.

This is useful when very high frequency signals are used as inputs. Figure 32-3 shows a functional diagram and Figure 32-4 shows the operation of the prescale function.

매우 높은 주파수 신호가 입력으로 사용될 때 유용하다. 그림은 기능적인 다이어그램을 보여주고 그림 34-4는 프리스케일 기능의 작동을 보여준다.





When a prescale value of 1 is chosen (ECCTL1[13:9] = 0,0,0,0,0 ), the input capture signal by-passes the prescale logic completely.

1의 프리스케일 값이 선택되면(ECCTL1[13:9] = 0,0,0,0,0), 입력 캡쳐 신호는 프리스케일 논리를 완전히 우회한다.

**32.2.2.2 Edge Polarity Select and Qualifier**

**엣지 양극화(하강/상승)선택과 규정**

• Four independent edge polarity (rising edge/falling edge) selection MUXes are used, one for each capture event.

4개 독립적인 엣지 양극화(하강엣지/상승엣지)선택 MUXes가 각 캡쳐 이벤트에 사용된다.

• Each edge (up to 4) is event qualified by the Modulo4 sequencer.

각 엣지(최대 4개)는 모듈4시퀀서에 의해 이벤트가 규정 된다.

• The edge event is gated to its respective CAPx register by the Mod4 counter. The CAPx register is loaded on the falling edge.

엣지 이벤트는 모듈4카운터에 의해 해당 CAPx에 게이트 된다. CAPx레지스터는 하강 엣지에 로드된다.

**32.2.2.3 Continuous/One-Shot Control**

**연속적인/원샷 제어**

• The Mod4 (2 bit) counter is incremented via edge qualified events (CEVT1-CEVT4).

모듈4(2bit) 카운터는 엣지 규정 이벤트를 통해 증가된다.

• The Mod4 counter continues counting (0->1->2->3->0) and wraps around unless stopped.

모듈4 카운터는 카운트를 계속하고 멈추지 않으면 waps around한다.

• A 2-bit stop register is used to compare the Mod4 counter output, and when equal stops the Mod4 counter and inhibits further loads of the CAP1-CAP4 registers.

2bit 중단 레지스터는 모듈4 카운터 출력을 비교하기위해 사용되며, 모듈4 카운터를 동일하게 정지 시키면 CAP1-CAP4레지스터의 추가로드가 금지된다.

This occurs during one-shot operation.

이것은 원샷 동작 동안 발생한다.

The continuous/one-shot block controls the start/stop and reset (zero) functions of the Mod4 counter via a mono-shot type of action that can be triggered by the stop-value comparator and re-armed via software control.

연속/원샷 블록은 정지 값 비교기에 의해 트리거되고 소프트웨어 제어를 통해 다시 활성화 될 수 있는 모노 샷 유형의 동작을 통해 모듈4 카운터의 시작/정지 및 재설정(0)기능들 제어한다.

Once armed, the eCAP module waits for 1-4 (defined by stop-value) capture events before freezing both the Mod4 counter and contents of CAP1-4 registers (time-stamps).

활성화되면, eCAP모듈은 모듈4카운터와 CAP1-4레지스터(타임스템프)의 내용을 고정시키기 전에 1-4(정지값에 의해 정의)캡쳐 이벤트를 기다린다.

Re-arming prepares the eCAP module for another capture sequence.

재활성화는 다른 캡쳐시퀀스를 위해 eCAP모듈을 준비한다.

Also re-arming clears (to zero) the Mod4 counter and permits loading of CAP1-4 registers again, providing the CAPLDEN bit is set.

또한 재활성화는 모듈4카운터를 클리어(0으로)하고 CAP1-4레지스터를 다시 로딩하는 것을 허가한다.

In continuous mode, the Mod4 counter continues to run (0->1->2->3->0, the one-shot action is ignored, and capture values continue to be written to CAP1-4 in a circular buffer sequence.

연속모드에서, 모듈4카운터는 계속 실행되고(0->1->2->3->0) 원샷 동작은 무시되며 캡쳐 값은 순환 버퍼 시퀀스에서 CAP1-4에 계속 기록된다

**32.2.2.4 32-Bit Counter and Phase Control**

**32비트 카운터와 위상 제어**

This counter provides the time-base for event captures, and is clocked via the system clock.

카운터는 이벤트 캡쳐에 대한 시간 기준을 제공하고 시스템 클록을 통해 클록된다.

A phase register is provided to achieve synchronization with other counters, via a hardware and software forced sync.

위상레지스터는 하드웨어와 소프트웨어 강제 동기화를 통해 다른 카운터와 동기화를 제공한다.

This is useful in APWM mode when a phase offset between modules is needed.

모듈간 위상 옵셉이 필요할 때 ARWM모드에서 유용하다.

On any of the four event loads, an option to reset the 32-bit counter is given.

4가지 이벤트 로드 중 하나에서 32비트 카운터를 재설정하는 옵션이 제공된다

This is useful for time difference capture.

이것은 시간차 캡쳐에대해 유용하다.

The 32-bit counter value is captured first, then it is reset to 0 by any of the LD1-LD4 signals.

32비트 카운터 값이 먼저 캡처된 다음 LD1-LD4신호에중 하나에 의해 0으로 재설정 된다.

**32.2.2.5 CAP1-CAP4 Registers**

**CAP1-CAP4 레지스터**

These 32-bit registers are fed by the 32-bit counter timer bus, CTR[0-31] and are loaded (that is, capture a time-stamp) when their respective LD inputs are strobed.

이 32비트 레지스터는 32비트 카운터 타이머 버스 CTR[0~31]에 의해 공급되며 가각의 LD입력이 스트로브 될 때 로드 됩니다.(즉, 타임 스탬프를 캡처한다.)

Loading of the capture registers can be inhibited via control bit CAPLDEN.

캡쳐 레지스터의 로딩은 CAPLDEN제어 비트를 통해 금지될 수 있다.

During one-shot operation, this bit is cleared (loading is inhibited) automatically when a stop condition occurs, StopValue = Mod4.

원샹 동작중에는 정지조건이 발생하면 StopValue=Mod4가 되면 비트는 자동적으로 클리어된다.(로드가 금지됨)

CAP1 and CAP2 registers become the active period and compare registers, respectively, in APWM mode.

CAP1및 CAP2 레지스터는 각각 APWM모드에서 활성주기와 비교레지스터가 된다.

CAP3 and CAP4 registers become the respective shadow registers (APRD and ACMP) for CAP1 and CAP2 during APWM operation.

CAP3및 CAP4레지스터는 APWM작동중에 CAP1및 CAP2에 대해 각각의 쉐도우 레지스터(APRD와ACMP)가 된다.

**32.2.2.6 Interrupt Control**

**인터럽트 제어**

An Interrupt can be generated on capture events (CEVT1-CEVT4, CTROVF) or APWM events (CTR = PRD, CTR = CMP).

인터럽트는 캡쳐 이벤트(CEVT1-CEVT4, CTROVF) 또는 APWM이벤트(CTR = PRD, CTR = CMP)에서 생성 될 수 있다.

A counter overflow event (FFFFFFFF->00000000) is also provided as an interrupt source (CTROVF).

카운터 오버플로워 이벤트(FFFFFFFF->00000000)도 인터럽트소스로 제공된다.

The capture events are edge and sequencer qualified (ordered in time) by the polarity select and Mod4 gating, respectively.

캡쳐이벤트는 양극성(하강/상승)선택 및 모듈4게이팅으로 각각 엣지와 시퀀서 자격(시간순서대로 정렬됨)이 부여된다.

One of these events can be selected as the interrupt source (from the eCAPx module) going to the PIE.

이러한 이벤트중 하나는 PIE로 가는 인터럽트소스(eCAPx모듈에서)로 선택 될 수 있다.

Seven interrupt events (CEVT1, CEVT2, CEVT3, CEVT4, CNTOVF, CTR = PRD, CTR = CMP) can be generated.

7가지 인터럽트 이벤트(CEVT1, CEVT2, CEVT3, CEVT4, CNTOVF, CTR = PRD, CTR = CMP)를 생성 할 수 있다.

The interrupt enable register (ECEINT) is used to enable/disable individual interrupt event sources.

인터럽트 활성화레지스터(ECEINT)는 개별 인터럽트이벤트 소스를 활성화 비활성화하는데 사용된다.

The interrupt flag register (ECFLG) indicates if any interrupt event has been latched and contains the global interrupt flag bit (INT).

인터럽트 플래그 레지스터(ECFLG)는 인터럽트 이벤트가 잠겼는지 와 전역 인터럽트 플래그 비트(INT)를 포함하는지 여부를 나타낸다.

An interrupt pulse is generated to the PIE only if any of the interrupt events are enabled, the flag bit is 1, and the INT flag bit is 0.

인터럽트 펄스는 인터럽트 이벤트중 하나가 활성화 되고 플래그 비트가 1과 INT플래그비트가 0 인 경우에만 PIE는 생성된다.

The interrupt service routine must clear the global interrupt flag bit and the serviced event via the interrupt clear register (ECCLR) before any other interrupt pulses are generated.

인터럽트서비스 루틴은 다른 인터럽트 펄스가 생성되기 전에 인터럽트 클리어 레지스터(ECCLR)을 통해서 글로벌 인터럽트 플래그 비트와 서비스 이벤트를 클리어 해야한다.

You can force an interrupt event via the interrupt force register (ECFRC).

너는 인터럽트 폴스 레지스터(ECFRC)를 통해서 인터럽트 이벤트를 강제 실행할 수 있다.

This is useful for test purposes

이것은 테스트 목적에 유용하다.

**32.2.2.7 Shadow Load and Lockout Control**

**쉐도우 로드와 잠금제어**

In capture mode, this logic inhibits (locks out) any shadow loading of CAP1 or CAP2 from APRD and

ACMP registers, respectively.

캡쳐 모드에서, 이 논리는 각각 APRD와 ACMP레지스터에서 CAP1또는 CAP2의 쉐도우 로딩을 금지(잠금) 한다.

In APWM mode, shadow loading is active and two choices are permitted:

APWM모드에서, 쉐도우 로딩은 활성화되며 두 가지 선택이 허용된다.

• Immediate - APRD or ACMP are transferred to CAP1 or CAP2 immediately upon writing a new value.

즉시 - APRD 또는 ACMP는 새 값을 쓰는 즉시 CAP1또는 CAP2로 전송된다.

• On period equal, CTR[31:0] = PRD[31:0]

동등한 주기에, CTR[31:0]=PRD[31:0]

**32.2.2.8 APWM Mode Operation**

**APWM모드 작동**

Main operating highlights of the APWM section:

APWM섹션의 주요 운영 하이라이트

• The time-stamp counter bus is made available for comparison via 2 digital (32-bit) comparators.

타임스탬프 카운터 버스는 2개의 디지털(32비트) 비교기를 통해 비교 할 수 있다.

• When CAP1/2 registers are not used in capture mode, their contents can be used as Period and Compare values in APWM mode.

캡쳐 모드에서 CAP1/2레지스터를 사용하지 않을 때 APWM모드에서 해당 내용을 주기와 비교 값으로 사용 할 수 있다.

• Double buffering is achieved via shadow registers APRD and ACMP (CAP3/4).

이중 버퍼링은 쉐도우레지스터 APRD와 ACMP(CAP3/4)를 통해 수행된다.

The shadow register contents are transferred over to CAP1/2 registers either immediately upon a write, or on a CTR = PRD trigger.

쉐도우레지스터는 내용은 쓰기 즉시 또는 CTR = PRD 트리거에서 CAP1/2레지스터로 전송된다.

• In APWM mode, writing to CAP1/CAP2 active registers will also write the same value to the corresponding shadow registers CAP3/CAP4.

APWM모드에서 CAP1/CAP2활성 레지스터에 기록하면 해당 쉐도우레지스터 CAP3/CAP4에도 동일한 값이 기록된다.

This emulates immediate mode. Writing to the shadow registers CAP3/CAP4 will invoke the shadow mode.

이것은 즉시모드를 에뮬레이션한다. 쉐도우레지스터 CAP3/CAP4에 기록하면 쉐도우 모드가 호출된다.

• During initialization, you must write to the active registers for both period and compare.

초기화하는동안, 너는 주기와 비교를 위해 활성레지스터에 써야한다.

This automatically copies the initial values into the shadow values

그러면 자동적으로 초기값이 쉐도우값으로 복사된다.

**32.3 Application of the ECAP Module**

**ECAP모듈의 응용**

The following sections will provide Applications examples and code snippets to show how to configure and operate the eCAP module.

다음 섹션에서는 eCAP 모듈을 구성하고 작동하는 방법을 보여주기 위해 애플리케이션 예제 및 코드 작은 부분을 제공합니다.

For clarity and ease of use, the examples use the eCAP “C” header files.

명확하고 쉬운 사용을 위해 예제에서는 eCAP "C"헤더 파일을 사용합니다.

Below are useful #defines which will help in the understanding of the examples.

아래는 예제를 이해하는 데 도움이되는 유용한 #define입니다.

***32.3.1 Example 1 - Absolute Time-Stamp Operation Rising Edge Trigger***

***예1 – 절대적인 타임 스탬프 작동 상승 엣지 트리거***

Figure 32-9 shows an example of continuous capture operation (Mod4 counter wraps around).

그림 32-9는 연속 캡처 작동의 예를 보여줍니다 (Mod4 카운터가 랩 어라운드).

In this figure, TSCTR counts-up without resetting and capture events are qualified on the rising edge only, this gives period (and frequency) information.

이 그림에서, 리셋 및 캡처 이벤트가없는 TSCTR 카운트 업은 상승 엣지에서만 규정되며, 이는 주기 (및 주파수) 정보를 제공합니다.

On an event, the TSCTR contents (time-stamp) is first captured, then Mod4 counter is incremented to the next state. When the TSCTR reaches FFFFFFFF (maximum value), it wraps around to 00000000 (not shown in Figure 32-9), if this occurs, the CTROVF (counter overflow) flag is set, and an interrupt (if enabled) occurs, CTROVF (counter overflow) Flag is set, and an Interrupt (if enabled) occurs.

이벤트에서 TSCTR 내용 (타임 스탬프)이 먼저 캡처 된 다음 Mod4 카운터가 다음 상태로 증가합니다. TSCTR이 FFFFFFFF (최대 값)에 도달하면 00000000으로 래핑되고 (그림 32-9에는 표시되지 않음), CTROVF (카운터 오버플로) 플래그가 설정되고 인터럽트 (사용 가능한 경우)가 발생하면 CTROVF 카운터 오버 플로우) 플래그가 설정되고 인터럽트 (사용 가능한 경우)가 발생합니다.

Captured Time-stamps are valid at the point indicated by the diagram, after the 4th event, hence event CEVT4 can conveniently be used to trigger an interrupt and the CPU can read data from the CAPx registers.

캡쳐 된 타임 스탬프는 다이어그램에서 4 번째 이벤트 이후에 유효한 지점이므로 이벤트 CEVT4를 사용하여 인터럽트를 트리거하고 CPU가 CAPx 레지스터에서 데이터를 읽을 수 있습니다.

**32.3.1.1 Code Snippet for CAP Mode Absolute Time, Rising Edge Trigger**

**CAP 모드에 대한 일부 코드 절대 시간, 상승 엣지 트리거**

***32.3.2 Example 2 - Absolute Time-Stamp Operation Rising and Falling Edge Trigger***

***예2 – 절대적인 타임 스탬프 작동 상승과 하강 엣지 트리거***

In Figure 32-10, the eCAP operating mode is almost the same as in the previous section except capture events are qualified as either rising or falling edge, this now gives both period and duty cycle information:  
그림 32-10에서 eCAP 작동 모드는 캡쳐 이벤트가 상승 에지 또는 하강 에지로 규정된다는 것을 제외하고는 이전 섹션과 거의 동일합니다. 이것은 주기 와 듀티 사이클 정보를 제공합니다:

주기 구하는 법:

Period1 = t3 – t1, Period2 = t5 – t3, …etc. Duty Cycle1 (on-time %) = (t2 – t1) / Period1 x 100%, etc. Duty

사이클 구하는 법:

Cycle1 (off-time %) = (t3 – t2) / Period1 x 100%, etc.

**32.3.2.1 Code Snippet for CAP Mode Absolute Time, Rising and Falling Edge Triggers**

**CAP 모드에 대한 일부코드 절대 시간, 상승과 하강 엣지 트리거**

***32.3.3 Example 3 - Time Difference (Delta) Operation Rising Edge Trigger***

***예3- 시간차 작동 상승 엣지 트리거***

Figure 32-11 shows an example of how the eCAP module can be used to collect Delta timing data from pulse train waveforms.  
그림 32-11은 펄스 트레인 파형에서 델타 타이밍 데이터를 수집하는 데 eCAP 모듈을 사용하는 방법의 예를 보여줍니다

Here Continuous Capture mode (TSCTR counts-up without resetting, and Mod4 counter wraps around) is used.

여기에서는 연속 캡처 모드 (재설정없이 TSCTR 카운트 업 과 Mod4 카운터 랩 어라운드)가 사용됩니다.

In Delta-time mode, TSCTR is Reset back to Zero on every valid event.

델타 시간 모드에서 TSCTR은 모든 유효한 이벤트에서 다시 0으로 재설정됩니다.

Here Capture events are qualified as Rising edge only.

여기에서 캡처 이벤트는 상승 에지로 만 인증됩니다.

On an event, TSCTR contents (Time-Stamp) is captured first, and then TSCTR is reset to Zero.

이벤트에서, TSCTR 내용 (타임 스탬프)이 먼저 캡처 된 다음 TSCTR이 0으로 다시 설정됩니다.

The Mod4 counter then increments to the next state.

Mod4 카운터는 다음 상태로 증가합니다.

If TSCTR reaches FFFFFFFF (maximum value), before the next event, it wraps around to 00000000 and continues, a CNTOVF (counter overflow) Flag is set, and an Interrupt (if enabled) occurs.

TSCTR이 FFFFFFFF (최대 값)에 도달하면 다음 이벤트 전에 00000000으로 wraps around 되고 CNTOVF (카운터 오버플로) 플래그가 설정되고 인터럽트 (사용 가능할 경우)가 발생합니다.

The advantage of Delta-time Mode is that the CAPx contents directly give timing data without the need for CPU calculations: Period1 = T1, Period2 = T2,…etc. As shown in the diagram, the CEVT1 event is a good trigger point to read the timing data, T1, T2, T3, T4 are all valid here.

델타 시간 모드의 장점은 CAPx 내용이 CPU 계산없이 타이밍 데이터를 직접 제공한다는 것입니다. Period1 = T1, Period2 = T2, ... 등. 그림에서 보듯이 CEVT1 이벤트는 타이밍 데이터를 읽는 좋은 트리거 포인트이며 T1, T2, T3, T4가 모두 유효합니다.

**32.3.3.1 Code Snippet for CAP Mode Delta Time, Rising Edge Trigger**

**CAP 모드에 대한 일부 코드 델타 시간, 상승 엣지 트리거**

***32.3.4 Example 4 - Time Difference (Delta) Operation Rising and Falling Edge Trigger***

In Figure 32-12, the eCAP operating mode is almost the same as in previous section except Capture events are qualified as either Rising or Falling edge, this now gives both Period and Duty cycle information:  
그림 32-12에서 eCAP 작동 모드는 캡처 이벤트가 상승 에지 또는 하강 엣지로 규정된다는 것을 제외하고는 이전 섹션과 거의 동일합니다. 주기 및 듀티 사이클 정보가 제공됩니다:

주기 구하는 법

Period1 = T1+T2, Period2 = T3+T4, …etc Duty Cycle1 (on-time %) = T1 / Period1 x 100%, etc Duty

Period1 = T1 + T2, Period2 = T3 + T4, ... 등 Duty Cycle1 (on-time %) = T1 / Period1 × 100 % 등

사이클,듀티사이클 구하는 법

Cycle1 (off-time %) = T2 / Period1 x 100%, etc

Duty Cycle1 (Off-time %) = T2 / Period1 × 100 % 등

During initialization, you must write to the active registers for both period and compare.

초기화하는 동안, 기간과 비교를 위해 활성 레지스터에 기록해야 합니다

This will then automatically copy the init values into the shadow values.

그러면 init 값이 자동으로 쉐도우 값에 복사됩니다.

For subsequent compare updates, during runtime, only the shadow registers must be used.

후속 비교 업데이트의 경우 런타임 동안 쉐도우 레지스터 만 사용해야 합니다.

**32.3.4.1 Code Snippet for CAP Mode Delta Time, Rising and Falling Edge Triggers**

**CAP 모드에 대한 일부 코드 델타 시간, 상승과 하강 엣지 트리거**

**32.4 Application of the APWM Mode**

**APWM 모드의 응용**

In this section, the eCAP module is configured to operate as a PWM generator.

이 섹션에서 eCAP 모듈은 PWM 생성기로 작동하도록 구성됩니다

Here a very simple single channel PWM waveform is generated from output pin APWMx.

여기서 매우 간단한 단일 채널 PWM 파형이 출력 핀 APWMx에서 생성된다

The PWM polarity is active high, which means that the compare value (CAP2 reg is now a compare register) represents the on-time (high level) of the period.

PWM 양극성(하강/상승)은 액티브 활성화이므로 비교 값 (CAP2 레지스터는 현재 비교 레지스터이다)은 해당 기간의 온 타임 (하이 레벨)을 나타낸다.

Alternatively, if the APWMPOL bit is configured for active low, then the compare value represents the off-time.

또는 APWMPOL 비트가 비활성 로 구성되면 비교 값은 오프 타임을 나타냅니다.

Note here values are in hexadecimal (“h”) notation.

여기에 값은 16 진수 ( "h") 표기법으로되어 있습니다.

***32.4.1 Simple PWM Generation (Independent Channel/s)***

***단순PWM세대(독립적인 채널들)***

**32.4.1.1 Code Snippet for APWM Mode**

**APWM모드를 위한 일부 코드**

**32.5 eCAP Registers**

**eCAP 레지스터**

Table 32-1 shows the eCAP module control and status registers.  
표 32-1은 eCAP 모듈 제어 및 상태 레지스터를 보여줍니다.

The base address for the control registers is FCF7 9300h for eCAP1, FCF7 9400h for eCAP2, FCF7 9500h for eCAP3, FCF7 9600h for eCAP4, FCF7 9700h for eCAP5, and FCF7 9800h for eCAP6.

제어 레지스터의 기본 주소는 eCAP1의 경우 FCF7 9300h, eCAP2의 경우 FCF7 9400h, eCAP3의 경우 FCF7 9500h, eCAP4의 경우 FCF7 9600h, eCAP5의 경우 FCF7 9700h 및 eCAP6의 경우 FCF7 9800h입니다.

