**14.1 Introduction................................................................................................... 499**

**14.2 Quick Start..................................................................................................... 500**

**14.3 Oscillator......................................................................................................... 501**

**14.4 Low Power Oscillator and Clock Detect (LPOCLKDET) ........................ 503**

**14.5 PLL................................................................................................................... 506**

**14.6 Control Registers ......................................................................................... 515**

**14.7 Phase-Locked Loop Theory of Operation .............................................. 519**

**14.8 Programming Example................................................................................ 521**

**들어가기에 앞서**

오실레이터는 크리스탈과 공진기가 있다 오실레이터는 교류전기를 발생하는 장치이다 교류전기는AC이고 시간에 따라 크기와 방향이 주기적으로 변하는 전류이다 PLL(Phase Lock Loop)은 위상동기루프이다 주파수를 뻥튀기해주는 역할(하나의 input주파수로부터 다양한 조합의 주파수를 만들 수 있다)

**14.1 Introduction 소개**

\*오실레이터는 OSCIN핀으로 구동되는 신호를 리셋시 디바이스 기본클럭소스인 클럭소스 0으로 전달

\*적절한 부하회로가 있는 크리스탈또는공진기가 OSCIN및OSCOUT에 연결되면 오실레이터는 크리스탈/공진기를 구동하여 입력파형생성

\*오실레이터클록은 PLL에 대한 입력이다.

**14.1.1 Features 특징**

\*주파수가 고정된 범위를 벗어나면 클럭감지기는 오실레이터에서 클럭을 내부 생성된 자주주파수(LPO)로 전환

\*자주주파수(Free-running frequency)

=>자기가 가지고있는 주파수로 발진(구동)하고 있을 때의 주파수

\*슬립제어 회로는 오실레이터의 리셋또는 자동스위치오버를 포함하여 PLL장애(슬립)에대해 유연하게 대응

\*소스클록경로의주요특성들이나와있다

**14.2 Quick Start 시작**

\*리셋의전원(pwer-on reset)이 켜져있는 동안 오실레이터와 LPO가활성화되고 실행

\*리셋의전원이 켜진후 high-level로 해제된후 CLKDET가 오실레이터를 모니터링한다

\*오실레이터가 유효한 범위내에 있으면 오실레이터를 종료할 때 디바이스의 기본클록이 된다

\*오실레이터가 유효한 범위내에 없으면 고주파LPO가 장치의 기본클록이 된다.

\*LPO는 넓은주파수범위를 가지며 클록검출을 위한 큰유효창도생성

\*전원이켜지면PLL비활성화

\*원하는 출력주파수를 설정하기 위해 PLL제어리스터를 구성해야한다 그러면 PLL 시스템의 활성화

**14.3 Oscillator 오실레이터**

1.

\*PLL를통한 클럭생셩경로는 오실레이터에서시작.

\*오실레이터는외부크리스탈/공진기에서 적절한 부하 및 탱크회로를 사용하여 긍정적인피드백생성

\*시동시 오실레이터는 랜덤노이즈를 증푝

\*외부회로는 통과 주파수 대역과 같은 역할

크리스탈/공진기 주파수를 선택하여 증폭기에 긍정적인 피드백 제공

\*긍정적인 피드백은 출력파형의 진폭을 크리스탈/공진기(및부하회로)로 증가시킴 전압파형은증가하는 진폭의 언밸로프를 나타냄

\*입력파형을 OSCIN으로 보면 전압파형은 OSCOUT파형의 AC결합 필터링된버전, 크리스탈/공진기의 통과주파수대역기능을 OSCOUT파형의 왜곡을 제거하여 사인파형을 남김

2.

\*오실레이터의 입력파형을 squaring-up이라고 한다

\*squaring-up은 코어논리레벨에서 정현파를 구형파로 변환

\*입력경로는 입력주파수 범위를 차단 주파수가 있는 저주파 필터로 제한

\*오실레이터는 외부크리스탈/공진기의 구동능력에 의해 결정되는 주파수 범위를 갖는다

\*클럭이 오실레이터로 직접 구동되면 피드백경로는 적절하지 않다 주파수범위는 순방향경로에서

결정된다

**.**

**4.3.1 Oscillator Implementation 오실레이터 구현**

**\***오실레이터는 3.3V에서 동작

\*OSCOUT노드로 전류를 구동하기 위해 정전류 소스 사용

\*내부트랜지스터가 전류(및외부회로의전류)에서 GND까지차단

\*전류조정은 OSCOUT의 전압파형을 구동

**14.3.2 Oscillator Enable 오실레이터 활성화**

\*오실레이터는 nPORRST가 로우일 때 비동기적으로 활성화

\*오실레이터는 클럭소스 디스 에이블 레지스터(CSDIS)에서 비트 0을 클리어하거나 시스템 및 주변장치 제어레지스터의 클럭소스디스에이블클리어레지스터(CSDISCLR)에서 비트0을 설정함으로써 활성화

**14.3.3 Oscillator Disable 오실레이터 비활성화**

\*클럭소스(OSC나PLL)는클럭소스비활성화레지스터(CSDIS)에서 적절한비트를 설정하거나 시스템 및 주변장치 제어 레지스터의 클럭소스 비활성화세트레지스터( CSDISSET)에서 적절한 비트를 설정하여 비활성화

**14.4 Low Power Oscillator and Clock Detect (LPOCLKDET) 저전력오실레이터 및 클럭 검출**

\*저전력발진기와클럭검출(LPOCLKDET)은 이완 오실레이터를사용하여 주파수가 엄격하게 제어되지않는 내부 클록을 생성 이 주파수는 오실레이터 입력 주파수를 모니터링하는데 사용되며 GCM의 독립클록소스로 사용할수있습니다.

\*단일전류소는 커패시터로 전류구동

=>커패시터의 전압이 임계값을 초과하면 클럭토글이 이루어짐

\*LPO는 두가지 주파수를 생성한다

1. 고주파저전력발진기(HF LPO):공칭주파수가 9.6MHZ이고 5.5MHZ~19.5MHZ범위
2. 저주파저전력발진기(LF LPO): 공칭주파수가 8.5kHZ GCM에서클럭소스4를생성

**14.4.1 Clock Detect 클럭 감지**

\*클럭검출은 표에나온것처럼 오실레이터에 대한 윈도우설정

\*클럭감지회로는 다른 클럭의 상승엣지 사이에서 한클럭의 상승엣지(오실레이터또는 HF LPO)를 확인하여 작동한다

\*HF LPO를 비활성화하기 전에 반드시 오실레이터의 클럭감지가 비활성화되어야한다

\*HF LPO주파수는 오실레이터의 비교주파수이다

\*

**14.4.2 Behavior on Oscillator Failure 오실레이터 실패시의 행동**

\*오실레이터 주파수가 실패하면 클럭은 전원을 탐지

\*오실레이터에서 HF LPO로의 자동전환은 어플리케이션이 감소된 주파수에서 실행하고 외부 크리스탈/공진기의 문제에 응답

\*오실레이터 고장에서 리셋이 설정되면, PLLCTL1.23 (ROF), 디바이스는 디바이스 리셋을 생성함으로써 오실레이터 고장에 응답합니다.

**14.4.3 Recovery from Oscillator Failure 오실레이터 오류로부터의 복구**

오실레이터가 오류가나면 클럭검출은 HF LPO주파수를 오실레이터소스로 GCM으로 스위칭한다

**14.4.4 LPOCLKDET Enable LPOCLKDET활성화**

**\***nPORRST가 낮을 때 LPO가 기본적으로 활성화 이 시간 동안 현재 소스가 초기화되고 초기화 될 때까지 이완 오실레이터를 리셋 상태로 유지

\*오실레이터와 HF LPO가 유효하면 클럭검출이 활성화된다

**14.4.5 LPOCLKDET Disable LPOCLKDET 해제**

**냉무**

**14.4.5.1 Disable Clock Detect 클럭감지비활성화**

보호를위해 클럭검출 비활성화는 2비트 키를 사용’

클럭검출 회로를 비활성화하기 전에 오실레이터가 양호한지 확인

**14.4.5.2 Disable LPO HF and LF Clocks LPO HF 및 LF 클록 해제**

\*이완오실레이터 클럭(HF및LF)을 리셋상태로 유지함으로써 LPO가 비활성화될수있다

\*LPO HF클럭은 CSDIS.5룰 설정하여 재설정됨

\*CSDISSET.5는 레지스터의 나머지 부분을 방해하지 않고 특정비트를 설정할는 쉬운 방법이다

\*HF LPO클럭은 CSDIS가 설정된후 여러 HF LPO사이클을 비활성화

\*LF LPO클럭은 CSDIS.4를 설정함으로써 리셋됨

\*CSDISSET.4는 읽기-수정-쓰기 구조를 사용하지않고 특정 CSDIS레지스터비트를설정할수있다

\*LF LPO는 CSDIS가 설정된후 여러 LF LPO사이클을 비활성화한다

\*CSDISCLR 레지스터를 통해 사용자는 읽기 - 수정 - 쓰기 코드 구조를 사용하지 않고 CSDIS 비트를 지울 수 있음

**14.4.5.3 Disable LPO Current Bias**  **LPO 전류 바이어스 비활성화**

\*클록 검출이 비활성화되고 HF 및 LF 클럭 소스가 비활성화 된 후에는 LPO 전류 소스가 비활성화 될 수있다

\*이 전류 소스를 끄면 LPOCLKDET이 최저 전력 구성으로 설정.

\*바이어스는 BIAS ENABLE 비트(LPOMONCTL.24)를 지우면 비활성화 될 수 있다..  
\*바이어스 전류가 비활성화되었을 때 LPO를 다시 시작하려면 전류 소스가 먼저 초기화되어야하므로 원래 재시작보다 느리다. 이 상태에서 LPO를 다시 활성화하는 것은 warm re-start (nPORRST가 활성화 된 동안 발생하는 것과 유사)

\*

**14.4.6 Trimming the HF LPO Oscillator**  **HF LPO 오실레이터 접근 또는Trim이라는명령어?**

\*크리스탈 / 공진기에 대한보다 정밀한 모니터링을 제공하기 위해 오실레이터를 트리밍하는 것이 좋습니다

\*HF LPO를 트리밍 할 때 TRIM 설정을 크게 변경하지 않도록 트림 값을 조정하는 것이 좋습니다

\*HF LPO가 OTP로부터의 초기 HFTRIM 설정으로 범위 내에 있다고 결정되면, 크리스탈오실레이터는 HF LPO 및 LF LPO가 추가로 조정될 수있는 기준으로서 사용될수있다

**14.5 PLL**

**\***PLL은 (오실레이터에서) 입력 클럭으로부터 출력 주파수를 합성하는 역할을 한다

\*비동기 클록 도메인을 활성화하기 전에 ODPLL 변경이 발생해야한다

\*PLL이 클럭 VCLK이고 일부 사이클 동안 정지되면 주파수 관계가 일시적으로 위반

많은 비동기 도메인에는 VCLK와 비동기 도메인 간의 주파수 관계가 필요

그림 14-4는 PLL의 간단한 블록 다이어그램을 보여줍니다. FM-PLL은 더 낮은 주파수 입력에 대한 레퍼런스 입력을 PLL (fINTCLK = fCLKIN / NR)로 나눕니다. PLL은이 내부 주파수에 NF를 곱하여 VCO 출력 클록 주파수를 얻는다 (fOutput CLK = fINTCLK \* NF). PLL 출력은 두 개의 사전 설정 값 (OD 및 R)으로 나뉩니다. OD의 값은 1 ~ 8의 정수이고 R은 1 ~ 32의 정수입니다.이 출력 클럭 인 PLL CLK는 GCM 클럭 소스 1을 소싱합니다. 유효한 주파수는 표 14-1에 나와 있으며 표 14-2는 해당 인코딩은 PLL 비트 필드에서 생성됩니다

**14.5.1 Modulation 변조(조정)**

음성, 화상, 데이터를 전송할 때 사용하는 반송파에는 고주파수 정현파나 펄스를 이용한다. 일정한 형태의 반송파에 전달하려는 저주파 신호를 담기위해 크기, 주파수, 위상 등에 변형을 주는 것을 변조라 한다.

\*선택적으로주파수를 변조할수 있다

\*제어된 지터(신호가 [기준점](http://terms.naver.com/entry.nhn?docId=842494&ref=y)보다 얼마나 빨리 혹은 늦게 나타나는가를 표현하는 값)가 PLL의 기준 주파수에 도입된다

\*변조는 디지털이며 삼각파의 퍼지는 윤곽이며 하향 확산된다

• 변조 파형은 일련의 주파수 단계로 구성됩니다.

• 변조 주파수와 변조 깊이는 모두 디지털 문자로 인해 잘 제어됩니다.

• 변조하는 동안의 평균 주파수는 변조를 활성화하기 전 평균 주파수보다 낮습니다. 그러나 변조의 깊이는 새로운 평균 주파수를 설정합니다.

• 변조 주파수는 루프 대역폭보다 느리게 선택해야함.(변조필드는 간단한 기하학적의미를 갖는다)

\*참고 : 잠금 후 모듈레이션을 활성화해야합니다.  
잠금이 완료된 후 변조 사용

**14.5.2 PLL Output Control PLL출력제어**

\*RFSLIP - RFSLIP 신호는 출력CLK가 INTCLK에 비해 너무 빠르게 실행 중임을 나타내며 정상 PLL 작동 중에 슬립 신호가 활성화 된 경우 시스템 및 주변 장치 제어 레지스터의 GLBSTAT (전역 상태 레지스터)에 RFSLIP 상태 플래그를 설정합니다. PLL이 활성 상태가 아닌 동안 PLL의 잠금 기간 동안 RFSLIP 플래그가 마스크된다

\*FBSLIP - FBSLIP 신호는 출력 CLK가 INTCLK에 비해 너무 느리게 작동 함을 나타내며 시스템 상태 및 주변 장치 제어 레지스터의 GLBSTAT에 FBSLIP 상태 플래그를 설정합니다

\*PLL Slip - 두 개의 PLL 슬립 신호의 논리합입니다. 일반적으로 이 신호는 장치에 통합 된 슬립 신호 (예 : 오류 논리 또는 예외 생성)를 생성하는 데 사용됩니다. VALID 게이트에도 사용됩니다.  
참고 : 슬립 비트 삭제  
슬립 비트를 제거하려면 PLL을 먼저 비활성화해야합니다

**\***VALID - 출력 클럭, PLL CLK가 게이팅되어 있는지 또는 게이팅되어 있지 않은지에 따라 구동됩니다

그러나 VALID 신호는 PLL 슬립 신호에 따라 달라 지므로 슬립 신호가 활성화되어 있으면 VALID를 설정할 수 없습니다

\*PLL 클럭 - PLL 출력 클럭은 프로그래밍 된 주파수에서 실행됩니다. 활성화 된 경우, 프로그래밍 된 주파수를 획득하는 데 약간의 시간이 걸립니다

**14.5.2.1 PLL Enable PLL 활성화**

PLL 제어레지스터를 설정 한 후 클럭소스는 Clock Source Disable Register (CSDIS)에서 적절한 비트를 지우거나 시스템 및 주변 장치 제어 레지스터의 Clock Source Disable Clear Register(CSDISCLR)에서 적절한 비트를 설정하여 활성화됩니다. 이 비트는 PLL을 활성화하는 프로세스를 시작하는 신호를 PLL로 보낸다.

1. PLL은 오실레이터가 켜져 있는지 확인합니다. 그렇지 않으면 오실레이터를 켭니다.

2. PLL은 PLL이 시작 주파수 지점에서 프로그래밍 된 주파수로 슬루 (slew)하는 잠금 프로세스를 시작합니다. 이 고정 기간 동안 PLL 슬립 신호는 일반적으로 활성화되며 PLL은이 단계에서 신호를 마스크 해제합니다

3. 잠금 단계가 완료되면 (잠금 카운터가 만료 될 때) PLL은 시스템에 슬립 신호를 방출합니다

4. 그런 다음 슬립 신호가 해제되고 클록을 활성화하는 지연 후 클록이 시스템에 해제되고 PLL의 해당 CLKSRnV 비트가 시스템 및 주변 장치 제어의 클럭 소스 유효 상태 레지스터 (CSVSTAT)에 설정됨

**14.5.2.2 PLL Disable PLL 비활성화**

클럭 소스 (예 : OSC, PLL)는 Clock Source Disable Register(CSDIS)에서 적절한 비트를 설정하거나 시스템 및 주변 장치 제어 레지스터의 Clock Source Disable Set Register (CSDISSET)에서 적절한 비트를 설정하여 비활성화됩니다 이 비트는 클럭이 비활성화 되도록하지만 이 비트는 클럭이 디스 에이블되도록하지만 클럭이 클럭 도메인의 소스 (예 : GCLK, VCLK, VCLK2, RTICLK)로 더 이상 사용되지 않을 때까지 동작을 강제하지 않는다 PLL은 클록 도메인에 의해 클록이 더 이상 사용되지 않으면 비활성화 신호를 수신한다 PLL 내에서 클럭은 비활성화되고 시스템 및 주변 장치 제어 레지스터의 Clock Source Valid Status Register(클럭소스유효상태레지스터) (CSVSTAT)에있는 PLL에 대한 적절한 CLKSRnV 비트는 비활성화됩니다. 그러면 PLL은 다음과 같은 시간이 지나면 저전력 상태가됩니다(표).

**14.5.2.3 OD-Divider Change OD분배기변경**

PLL이 활성화되어있는 동안 ODPLL 비트 필드가 변경되면 PLL이 클럭을 게이트합니다

비동기 클록 도메인을 활성화하기 전에 ODPLL 변경이 발생해야한다

ODPLL 비트 필드를 변경하면 PLL CLK이 게이트되므로 ODPLL에 대한 이러한 변경은 비동기 클록 소스에 대한 클럭 도메인을 구성하기 전에 완료되어야한디 일부 클럭 도메인 (RTICLK, VCLK2)은 VCLK에 대한 주파수 관계가 필요하다 PLL이 클럭 VCLK이고 일부 사이클 동안 정지되면 주파수 관계가 일시적으로 위반된다 주파수 변경은 비동기 클럭 도메인에 대한 요구 사항을 위반할 수 있습니다

**14.5.2.4 Changing the PLL Operating Point While the PLL is Active**

**PLL이 활성 상태 일 때 PLL 작동 지점 변경**

일단 유효한 비트(시스템 및 주변 장치 제어 레지스터의 클럭 소스 유효 상태 레지스터(CSVSTAT)의 CLKSRnV 비트)가 설정되면 소프트웨어가 PLL의 값을 변경할 수 있다

주파수의 변화율이 작을 경우 PLL에 동기적으로 업데이트되고 PLL은 새값으로 다시 잠금이됨

주파수의 변화율이 클 경우 값을 변경하기 전에 PLL을 비활성화 해야함

**14.5.2.5 Summary of PLL Timings PLL 타이밍 요약**

PLL은 ODPLL변경중에 잠금기간을 제어하고 클럭을 비활성화 하는 것 외에도 리셋을 지연시킴

**14.5.3 Behavior on PLL Fail PLL 실패시 동작**

오실레이터와 마찬가지로 PLL 클록은 기본적으로 PLL 슬립의 경우 자동으로 오실레이터로 전환되도록 구성

PLL 슬립 출력은 PLL이 너무 빠르거나 느리게 실행 중임을 나타냅니다

PLL이 잠긴 후 활성 상태 인 동안 슬립이 발생하면 PLL 오류가 발생합니다

• PLL 슬립에 대한 자동 응답이 방지됩니다.

• ESM / 예외가 생성되지 않습니다.

• ROS의 상태에 관계없이 슬립에서의 리셋이 생성되지 않습니다 비트

• 상태 비트는 BPOS [1 : 0]과 독립적으로 PLL 슬립에 설정됩니다.  
BPOS [1 : 0]이 활성화되면 (BPOS [1 : 0] = 00b 또는 01b 또는 11b)

• PLL 슬립은 GCM 클럭 소스 1로 클록 소스를 PLL에서 오실레이터로 이동시킵니다.

• ESM / 예외가 생성됩니다

• ROS가 설정된 경우 슬립시 재설정이 생성됩니다

**14.5.4 Recovery from a PLL Failure PLL 오류로부터의 복구**

\*만약 PLL1이 실패하면 PLL의 슬립은 유효한 플래그를 잠그고 GCM클럭소스 1에 클럭소스를 PLL에서 오실레이터로 이동시킨다

\*PLL2가 실패하면 PLL의 슬립으로 인해 유효한 플래그가 잠긴다

**14.5.5 PLL Modulation Depth Measurement PLL변조깊이측정**

PLL은 변조의 깊이를 추정하기 위한 회로를 가지고있다 이회로는 변조파형의 고정 된 창과 전체파형의 클럭엣지를 통해 클럭엣지를 카운트한다

변조깊이를 추정하는 절차는 다음과같다

1..GCLK가 오실레이터에 제공되고 PLL이 변조로 활성화되면 SSWPLL1을 구성(밑에a,b,c,d)

2.카운터들이 모두지워졌는지확인

3.재설정을 해제하고 카운터가 계산시작

4.대기루프가끝나면 COUNTER\_READ\_READY를 폴링하여 설정한다 비트가설정되면 카운터들을 읽는다

5.변조 깊이를 다음과 같이 계산

**14.5.6 PLL Frequency Measurement Circuit PLL주파수측정회로**

변조깊이를 측정하는데 사용되는 회로를 사용하여 PLL의 평균주파수를 측정할수있다

PLL 주파수 측정 회로를 사용하는 절차는 다음과 같다

**14.5.7 PLL2**

\*PLL2는 GCM 클럭 소스 6을 구동한다

\*PLL은 변조가 비활성화되는 점을 제외하고는 PLL1과 동일하다

\*PLL은 일반적으로 시스템을 클럭하지 않으며 자동 전환 기능이 없다.

\*모든 PLL 오류는 CPU에서 처리 할 수 있다

\*PLL2는 PLLCTL3을 통해 프로그래밍된다

**14.6 Control Registers 제어레지스터**

\*클럭모듈은 시스템 및 주변장치 제어레지스터내에 위치한 두개의 레지스터(PLLCTL1과PLLCTL2)를 가지며 다른시스템 및 주변장치 제어 레지스터에있는 4비트를 가진다

**\***FM\_PLL레지스터는 전원이 켜지면 꺼진다

\*클럭소스는 주변장치의 레지스터를 통해 활성화

\*PLL에 대한 적절한 CLKSRnV 비트는 시스템 및 주변 장치 제어 레지스터의 클럭 소스 유효 상태 레지스터 (CSVSTAT)에 설정됩니다

**14.6.1 PLL Modulation Depth Measurement Control Register (SSWPLL1) 변조깊이측정제어 레지스터**

그림 14-6은 레지스터를 보여주고 표 14-6은 비트 설명을 제공합니다.

이 레지스터는 PLL1에 적용되지만 PLL2에는 적용되지 않습니다

**14.6.2 SSW PLL BIST Control Register 2 (SSWPLL2) SSW PLL BIST제어레지스터2**

PLL 래퍼 내부의 캡처 카운터에 대한 카운터 값을 기록하는 데 사용되는 관찰 레지스터입니다

PLL1에는적용되지만PLL2적용안됨

**14.6.3 SSW PLL BIST Control Register 3 (SSWPLL3) SSW PLL BIST 제어 레지스터 3**

PLL 래퍼 내의 CLKOUT 카운터에 대한 카운터 값을 기록하는 데 사용되는 관찰 레지스터입니다

PLL1에는적용되지만PLL2적용안됨

**14.7 Phase-Locked Loop Theory of Operation 위상 고정 루프 이론**

PLL 블록은 6 개의 논리 하위 블록으로 구성

• 위상 주파수 검출기 (PFD)  
• 차지 펌프 (CP)  
• 루프 필터 (LF)  
• 전압 제어 발진기 (VCO)  
• 주파수 변조  
• 슬립 검출기

VCO는 PFD로 들어가는 두 개의 신호가 같은 위상과 주파수를 가질 때까지 주파수를 조정합니다.

=> 피드백 경로 (VCO에서 PFD까지)는 피드백 신호의 주파수를 2 \* NF로 나눕니다

이 피드백 디바이더는 VCO가 내부 주파수 (OSCIN / NR)보다 큰 2 \* NF 배의 주파수를 생성해야한다

순방향 경로 (VCO에서 PLL CLK로)에서 / 2 블록은 깨끗한 듀티 사이클을 생성한다.

**14.7.1 Phase-Frequency Detector 위상 주파수 검출기**

\*위상주파수검출기는 입력기준위상/주파수의위상 /주파수 비교하여 차지펌프를 구동시키는 업펄스와 다운펄스 두가지신호를 발생시킨다

\*LF 핀에서 회로에 의해 통합 될 때 발생하는 전하가 VCO 제어 전압을 제공한다.

\*업펄스와 다운펄스의 폭은 두입력간의 위상차이에 따라 달라진다

\* 예를 들어, 기준 입력이 피드백 입력보다 10ns만큼 앞서면 약 10ns의 상승 펄스가 생성됩니다 (그림 14-10 참조). 한편, 기준 입력이 피드백 입력보다 10 ns 지연되면, 약 10 ns의 다운 펄스가 생성됩니다. 두 개의 입력이 정확하게 위상이 맞으면 업 펄스와 다운 펄스는 본질적으로 제로가됩니다. 이 펄스는 전하 펌프 블록에 공급되며,이 블록은 저역 통과 루프 필터로 전하를 측정합니다

\* 위상 전용 검출기에 비해 위상 주파수 검출기의 이점은 참조의 고조파 또는 저조 파를 고정 할 수 없다는 점이다

\* VCO의 출력 주파수가 항상 기준 주파수의 정확히 2 \* NF 배가되도록 보장

\* 기준 피드백 주파수는 VCO 주파수와 피드백 분배기를 기반으로합니다

**14.7.2 Charge Pump and Loop Filter 차지 펌프 및 루프 필터**

차지 펌프 (CP)는 위상 주파수 검출기 (PFD)에서 나오는 펄스를 기반으로 루프 필터에 전하를 추가하거나 제거합니다 필터 출력 신호의 두 가지 구성 요소, 즉 합계 구성 요소와 비례 구성 요소가 함께 합산됩니다. 통합 구성 요소는 VCO로가는 DC 레벨을 유지하여 주파수를 설정하고 비례 구성 요소는 VCO가 위상 변화를 추적하여 지터를 최소화합니다.

**14.7.3 Voltage-Controlled Oscillator 전압제어오실레이터**

VCO의 출력 주파수는 입력 제어 전압에 비례하며, 통합 루프 필터를 통해 차지 펌프에 의해 생성된다

VCO가 너무 느리게 발진하면 피드백 위상이 PFD에서 기준 위상보다 늦기 시작하여 VCO에서 제어 전압이 높아진다. 반대로 VCO가 너무 빠르게 발진하면 피드백 위상이 PFD에서 기준 위상을 앞 당기기 시작하여 VCO에서 제어 전압이 감소한다. 이 두 가지 동작은 VCO가 레퍼런스의 올바른 주파수 배수로 유지되도록합니다.

**14.7.4 Frequency Modulation 주파수 변조**

PLL의 출력 클럭은 무변조 출력 주파수를 중심으로 제어 된 방식으로 주파수를 변경합니다. 변조 블록은 루프 필터에서 직접 VCO 주파수를 변조하고 삼각 주파수 변조를 생성

걍변조주파수는 삼각주파수생성

**14.8 Programming Example 프로그래밍 예제**