(해석) p.770

21.1.1주변장치의 목적

이 EMIF 메모리 컨트롤러는 JESD21-C SDR SDRAM 메모리와 호환되며 16 비트 데이터 버스.

이 EMIF의 목적은 CPU가 다양한 외부 장치에 연결하는 수단을 제공하는 것입니다

장치 포함 :

• 단일 데이터 속도 (SDR) SDRAM

• NOR 플래시 및 SRAM을 포함한 비동기식 장치

IMF의 가장 일반적인 용도는 플래시 장치와 SDRAM 장치를 동시에 인터페이스하는 것입니다.

이 구성에서 EMIF를 작동하는 예를 포함합니다.

21.1.2 Features

EMIF는 외부 SDR에 연결하는 용이성과 유연성을 향상시키는 많은 기능을 포함합니다.

SDRAM 및 비동기식 장치.

21.1.2.1 비동기 메모리 지원

EMIF는 비동기를 지원합니다.

• SRAM memories

• NOR Flash memories

EMIF 데이터 버스 폭은 최대 16 비트이며 최대 22 개의 주소 라인이 있습니다.

외부 대기가 있습니다. 느린 비동기 메모리가 메모리 액세스를 확장 할 수 있도록하는 입력입니다.

EMIF 모듈은 최대 3 개의 칩 선택 (EMIF nCS [4 : 2])을 지원합니다. 각 칩 선택에는 다음과 같은 개별 프로그래밍 가능 속성이 있습니다.

• 데이터 버스 너비

• 사이클 타이밍 읽기 : 설정, 정지, 스트로브

• 쓰기 사이클 타이밍 : 설정, 정지, 스트로브

• 버스 순환 시간

• 프로그래밍 대기 시간 초과로 확장 대기 옵션

• 스트로브 옵션 선택

21.1.2.2 동기식 DRAM 메모리 지원

EMIF 모듈은 다음에 나열된 비동기 메모리 외에도 16 비트 SDRAM을 지원합니다. 섹션 21.1.2.1.

단일 SDRAM 칩 셀렉트 (EMIF\_nCS [0])를 갖는다.SDRAM 구성은 다음과 같습니다.

지원되는 위치 :

• 1, 2 및 4 뱅크 SDRAM 장치

• 8, 9, 10 및 11 열 주소가있는 장치

• 2 또는 3 클럭 사이클의 CAS 대기 시간

• 16 비트 데이터 버스 너비

• 3.3V LVCMOS 인터페이스

또한 EMIF는 SDRAM을 자체 새로 고침 및 절전 모드로 배치하는 것을 지원합니다.셀프 새로 고침

모드는 메모리 내용을 유지하면서 SDRAM이 저전력 상태가되도록합니다. 이후 SDRAM은 마이크로 컨트롤러의 클럭 없이도 계속 새로 고침됩니다.절전 모드 마이크로 컨트롤러가 주기적으로 일어나서 리프레시해야하는 경우를 제외하고는 더 낮은 전력을 구현합니다. 데이터 보존이 필요합니다.EMIF 모듈은 모바일 SDRAM 장치를 지원하지 않습니다.

------------------------------------------------------------------------------------------------------

(해석) p.771

21.1.3 Functional Block Diagram

그림 21-1은 EMIF와 내부 요청자 사이의 연결을 외부 EMIF 핀과 함께 보여줍니다. 섹션 21.2.2는 전송할 수있는 SoC의 내부 엔티티에 대한 설명을 포함한다. 우선 순위 부여와 함께 EMIF에 대한 요청.

섹션 21.2.3은 EMIF 외부 핀에 대해 설명하고 SDRAM 및 비동기 장치와 인터페이싱 할 때의 목적을 요약합니다.

------------------------------------------------------------------------------------------------------

(해석) p.772

21.2 EMIF Module Architecture

이 절에서는 EMIF의 구조 및 작동에 대해 자세히 설명합니다. 둘 다, SDRAM과 비동기 인터페이스는 시계 제어와 같은 기타 시스템 관련 문제와 함께 다루어집니다.

21.2.1 EMIF Clock Control

EMIF 클록은 EMIF\_CLK 핀에서 출력되므로 외부 SDRAM에 인터페이싱 할 때 사용해야한다 장치.

EMIF 모듈은 VCLK3 클록 도메인을 입력으로 사용합니다.이 클럭 도메인은 기본적으로 주 발진기의 주파수의 절반, 즉 2.5MHz ~ 10MHz에서 실행됩니다.VCLK3 주파수는 프로그래밍 가능한 분배기 (/ 1에서 / 16)에 의해 HCLK 도메인 주파수에서 분할됩니다. VCLK3 도메인 주파수 구성에 대한 자세한 내용은 장치 기술 참조 설명서의 아키텍처 장을 참조하십시오.

21.2.2 EMIF Requests

SoC 내의 다른 출처는 EMIF에 요청할 수 있습니다.이러한 요청은 SDRAM 메모리, 비동기 메모리 및 EMIF 레지스터에 대한 액세스로 구성됩니다.EMIF는 한 번에 하나의 요청 만 처리 할 수 ​​있습니다. 따라서 우선 순위가 높은 요청을 제공하기 위해 SoC 내에 고성능 크로스바 스위치가 존재합니다.

다른 출처에서 EMIF에 이르기까지 출처는 다음과 같습니다:

1. CPU

2. DMA

3. Other master peripherals

두 개 이상의 소스에서 동시에 요청이 제출되면 크로스바 스위치는 가장 우선 순위가 높은 요청을 먼저 EMIF로 전달합니다.요청이 완료되면 크로스바 스위치는 보류중인 요청을 다시 평가하고 우선 순위가 가장 높은 보류중인 요청을 EMIF로 전달합니다.EMIF가 요청을 받으면 즉시 처리 될 수도 그렇지 않을 수도 있습니다. 경우에 따라 EMIF는 요청을 처리하기 전에 하나 이상의 자동 새로 고침주기를 수행합니다.요청 수행과 자동 새로 고침주기 수행 사이의 EMIF 내부 중재에 대한 자세한 내용은 섹션 21.2.13을 참조하십시오.

21.2.3 EMIF 신호 설명

이 섹션에서는 각 EMIF 신호의 기능에 대해 설명합니다.

표 21-1. SDRAM 및 비동기 메모리에 모두 액세스하는 데 사용되는 EMIF 핀

EMIF\_D[15:0](I/O) - EMIF 데이터 버스.

EMIF\_A[21:0](O) - EMIF 주소 버스.

SDRAM 장치에 인터페이싱 할 때이 핀은 주로 행 및 열 주소를 SDRAM에 제공하는 데 사용됩니다.

내부 프로그램 주소에서이 핀에 배치 된 외부 값으로의 매핑은 표 21-13에 나와 있습니다.

EMIF\_A [10]는 PRE 명령 중에 비활성화 할 뱅크를 선택하는 데에도 사용됩니다.

비동기식 장치에 인터페이싱 할 때이 핀은 EMIF\_BA 핀과 함께 사용되어 장치로 전송되는 주소를 형성합니다.

내부 프로그램 주소에서이 핀에 위치한 외부 값으로의 매핑은 21.2.6.1 절에서 찾을 수 있습니다.

EMIF\_BA[1:0](O) - EMIF 은행 주소.

SDRAM 디바이스에 인터페이싱 할 때이 핀들은 SDRAM에 뱅크 어드레스 입력을 제공하는 데 사용됩니다.

내부 프로그램 주소에서이 핀에 배치 된 외부 값으로의 매핑은 표 21-13에서 찾을 수 있습니다.

비동기식 디바이스와 인터페이싱 할 때이 핀은 EMIF\_A 핀과 함께 사용되어 디바이스로 전송되는 주소를 형성한다.

내부 프로그램 주소에서이 핀들에 위치한 외부 값으로의 매핑은 21.2.6.1 절에서 찾을 수있다.

EMIF\_nDQM[1:0](O) - 액티브 로우 바이트 가능.

SDRAM에 인터페이싱 할 때이 핀은 SDRAM의 DQM 핀에 연결되어 데이터 액세스의 각 바이트를 개별적으로 활성화 / 비활성화합니다. 비동기 장치와 인터페이스 할 때이 핀은 바이트 인 에이블에 연결됩니다. 자세한 내용은 21.2.6 절을 참조하십시오.

------------------------------------------------------------------------------------------------------

(해석) p.773

Table 21-1. SDRAM 및 비동기 메모리에 모두 액세스하는 데 사용되는 EMIF 핀 (계속)

EMIF\_nWE(O) - 액티브 로우 쓰기 가능.

SDRAM 장치 용 액티브 로우 칩 인 에이블 핀.

이 핀은 연결된 SDRAM 장치의 칩 선택 핀에 연결되며 명령 활성화 / 비활성화에 사용됩니다.

비동기식 디바이스에 인터페이싱 할 때이 핀은 비동기식 쓰기 액세스 사이클의 스트로브 기간 동안 액티브 로우 신호를 제공한다.

Table 21-2. SDRAM 전용 EMIF 핀

EMIF\_nCS[0](O) - SDRAM 장치 용 액티브 로우 칩 인 에이블 핀.

이 핀은 연결된 SDRAM 장치의 칩 선택 핀에 연결되며 명령 활성화 / 비활성화에 사용됩니다.

기본적으로 EMIF는 EMIF가 SDRAM 장치와 인터페이스되지 않은 경우에도이 SDRAM 칩 선택을 활성 상태로 유지합니다.이 핀은 비동기식 메모리 뱅크에 액세스 할 때 비활성화되며 비동기식 평가가 완료되면 다시 활성화됩니다.

EMIF\_nRAS(O) - 액티브 로우 로우 어드레스 스트로브 핀.

이 핀은 연결된 SDRAM 장치의 nRAS 핀에 연결되며 장치에 명령을 전송하는 데 사용됩니다.

EMIF\_nCAS(O) - 액티브 로우 컬럼 어드레스 스트로브 핀.

이 핀은 부착 된 SDRAM 장치의 nCAS 핀에 연결되며 장치에 명령을 전송하는 데 사용됩니다.

EMIF\_CKE(O) - 클럭 인 에이블 핀.

이 핀은 부착 된 SDRAM 장치의 CKE 핀에 연결되며 장치를 자체 새로 고침 모드로 전환하는 SELF REFRESH 명령을 발행하는 데 사용됩니다. 자세한 내용은 21.2.5.7 절을 참조하십시오.

EMIF\_CLK(O) - SDRAM 클록 핀.

이 핀은 연결된 SDRAM 장치의 CLK 핀에 연결됩니다.클럭 신호에 대한 자세한 내용은 21.2.1 절을 참조하십시오.

Table 21-3. 비동기 메모리 전용 EMIF 핀

EMIF\_nCS[4:2](O) - 비동기식 디바이스를위한 액티브 로우 칩 인 에이블 핀.

이 핀은 부착 된 비동기 장치의 칩 선택 핀에 연결되도록되어 있습니다.

이 핀은 비동기 메모리에 액세스하는 동안에 만 활성화됩니다.

EMIF\_nWAIT(I) - 프로그래밍 가능한 극성으로 입력 대기.

연결된 비동기식 장치는 섹션 21.2.6.6에서 설명한대로 EMIF\_nWAIT 입력을 EMIF에 어서 트함으로써 액세스 사이클의 스트로브 기간을 연장 할 수 있습니다.

이 기능을 사용하려면 비동기식 1 구성 레지스터 (CE2CFG)의 EW 비트를 1로 설정해야합니다. 또한 CE2CFG의 WP0 비트는 EMIF\_nWAIT 핀의 극성을 정의하도록 구성되어야합니다.

EMIF\_nOE(O) - 비동기식 디바이스를위한 액티브 로우 핀 인 에이블

이 핀은 비동기식 읽기 액세스 사이클의 스트로브 기간 동안 액티브 로우 신호를 제공한다.

EMIF\_RnW(O) - EMIF 비동기 읽기 / 쓰기 제어

이 핀은 읽는 동안 하이 상태를 유지하고 쓰기 도중 낮게 유지됩니다 (CS와 동일한 지속 시간).

21.2.4 EMIF 신호 다중화 제어

여러 EMIF 신호가이 마이크로 컨트롤러의 다른 기능과 함께 다중화됩니다.

이러한 EMIF 신호의 출력을 활성화하는 방법에 대한 자세한 내용은 기술 참조 설명서의 I / O 멀티플렉싱 모듈 장을 참조하십시오.

-----------------------------------------------------------------------------------------------------

(해석) p.774

21.2.5 SDRAM 컨트롤러 및 인터페이스

EMIF는 대부분의 표준 SDR SDRAM 장치와 접착제없이 인터페이스 할 수 있으며 다음과 같은 기능을 지원합니다.

셀프 리프레시 모드 및 우선 순위 새로 고침. 또한 새로 고침 빈도, CAS 대기 시간 및 많은 SDRAM 타이밍 매개 변수와 같은 프로그래밍 가능한 매개 변수를 통해 유연성을 제공합니다. 다음 섹션에는 외부 연결 SDR SDRAM 장치에 대한 읽기 및 쓰기 작업을 수행하도록 EMIF를 인터페이스하고 올바르게 구성하는 방법에 대한 세부 정보가 포함되어 있습니다. 또한 EMIF를 일반적인 SDRAM 장치에 인터페이싱하는 자세한 예를 제공합니다.

21.2.5.1 SDRAM 명령

EMIF는 표 21-4에 설명 된 SDRAM 명령을 지원합니다.

표 21-5는 SDRAM 명령 및 PRE 명령의 타이밍 파형 예가 그림 21-2에 나와 있습니다.

이 예에서 EMIF\_A [10]은 로우로되어 EMIF\_BA 핀에 의해 지정된 뱅크 만 비활성화된다.

Table 21-4. EMIF SDRAM 명령

PRE - Precharge. PREF 명령은 EMIF\_A [10]의 값에 따라 모든 뱅크 (EMIF\_A [10] = 1)의 열린 행을 비활성화하거나 EMIF\_BA [1 : 0] 핀 (EMIF\_A [10] = 0) ).

ACTV - 활성화하십시오. ACTV 명령은 현재 액세스를 위해 특정 뱅크에서 선택된 행을 활성화합니다.

READ - Read. READ 명령은 시작 열 주소를 출력하고 버스트 읽기 작업을 시작하기 위해 SDRAM에 신호를 보냅니다. 주소 EMIF\_A [10]은 항상 자동 프리 챠지를 피하기 위해 로우로 당겨진다. 이렇게하면 뱅크 인터리빙 성능이 향상됩니다.

WRT - Write. WRT 명령은 시작 열 주소를 출력하고 SDRAM에 신호를 보내어 버스트 쓰기 작업을 시작합니다. 주소 EMIF\_A [10]은 항상 자동 프리 챠지를 피하기 위해 로우로 당겨진다. 이렇게하면 뱅크 인터리빙 성능이 향상됩니다.

BT - 버스트가 종료됩니다. BT 명령은 현재 읽기 또는 쓰기 버스트 요청을 절단하는 데 사용됩니다.

LMR - 로드 모드 레지스터. LMR 명령은 연결된 SDRAM 장치의 모드 레지스터를 설정하며 21.2.5.4 절에 설명 된 SDRAM 초기화 시퀀스 중에 만 발행됩니다.

REFR - 자동 새로 고침. REFR 명령은 내부 주소에 따라 자동 새로 고침을 수행하도록 SDRAM에 신호를 보냅니다.

SLFR - 셀프 리프레시. 자체 새로 고침 명령은 자체 클록 신호 및 자동 새로 고침주기를 제공하는 동안 SDRAM을 자체 새로 고침 모드로 전환합니다.

NOP - 조작 없음. NOP 명령은 위의 명령 중 하나가 실행되지 않는 모든주기 중에 발행됩니다.

-----------------------------------------------------------------------------------------------------

(해석) p.775

21.2.5.2 SDRAM과 인터페이스

EMIF는 다음과 같은 특징을 가진 SDRAM 디바이스에 접착제없는 인터페이스를 지원합니다.

• 프리 차지 비트는 A [10]

• 열 주소 비트의 수는 8, 9, 10 또는 11입니다.

• 행 주소 비트의 수는 13, 14, 15 또는 16입니다.

• 내부 뱅크 수는 1, 2 또는 4입니다.

그림 21-3은 EMIF와 2M × 16 × 4 뱅크 SDRAM 장치 간의 인터페이스를 보여줍니다.

그림 21-4는 EMIF와 512K × 16 × 2 뱅크 SDRAM 장치 간의 인터페이스를 보여줍니다.

장치의 경우 16 비트 인터페이스 지원, 일반적으로 지원되는 SDRAM 장치 목록은 표 21-6을 참조하십시오.

주소 핀에 필요한 연결.

-----------------------------------------------------------------------------------------------------

(해석) p.776

Figure 21-4. EMIF - 512K × 16 × 2 뱅크 SDRAM 인터페이스

Table 21-6. 16 비트 EMIF 주소 핀 연결

-----------------------------------------------------------------------------------------------------

(해석) p.777

21.2.5.3 SDRAM 구성 레지스터

EMIF의 SDRAM 인터페이스의 동작은 적절한 구성 레지스터를 프로그래밍함으로써 제어됩니다.

이 절에서는 각 구성 레지스터의 목적과 기능에 대해 설명하지만 기본 레지스터 값과 비트 필드 위치를 포함하여 각 레지스터에 대한 자세한 설명은 섹션 21.3을 참조해야합니다. 다음 표는 이러한 4 개의 구성 레지스터와 해당 프로그래밍 가능 필드에 대한 설명을 나열합니다.

참고 : SDRAM 구성의 NM, CL, IBANK 및 PAGESIZE 필드 중 하나에 쓰기 레지스터 (SDCR)는 EMIF가 현재 수행중인 작업을 포기하고 섹션 21.2.5.4에서 설명 된 SDRAM 초기화 절차.

Table 21-7. SDRAM 구성 레지스터 설명 (SDCR)

SR - 이 비트는 셀프 리프레시 모드의 시작 및 종료를 제어합니다. 필드는 SDRAM 초기화 시퀀스를 트리거하지 않도록 SDCR의 상위 바이트에 바이트 쓰기를 사용하여 작성해야합니다.

PD - 이 비트는 전원 차단 모드로 들어가거나 나가는 것을 제어합니다. 필드는 SDRAM 초기화 시퀀스를 트리거하지 않도록 SDCR의 상위 바이트에 바이트 쓰기를 사용하여 작성해야합니다.

PDWR - 전원 끄기 중에 새로 고침을 수행하십시오. 이 비트에 1을 기록하면 EMIF가 전원 꺼짐 상태를 종료하고 Refresh May level이 설정 될 때마다 AUTO REFRESH 명령이 실행됩니다. 필드는 SDRAM 초기화 시퀀스를 트리거하지 않도록 SDCR의 상위 바이트에 바이트 쓰기를 사용하여 작성해야합니다. 이 비트는 파워 다운 모드로 들어갈 때 PD와 함께 설정되어야한다.

NM - 좁은 모드. 이 비트는 EMIF와 연결된 SDRAM 장치 사이의 데이터 버스 너비를 정의합니다. 1로 설정되면 데이터 버스는 16 비트로 설정됩니다. 0으로 설정되면 데이터 버스는 32 비트로 설정됩니다. 이 비트는 항상 1로 설정되어야합니다.

CL - CAS 대기 시간. 이 필드는 SDRAM이 READ 명령을 발행 할 때와 첫 번째 데이터가 버스에 나타날 때 사이의 클럭 사이클 수를 정의합니다. 이 필드의 값은 SDRAM 초기화 중에 LOAD MODE REGISTER 명령을 통해 연결된 SDRAM 장치로 전송됩니다

절차는 21.2.5.4 절에서 설명한다. 2h (CAS 대기 시간 = 2) 및 3h (CAS 대기 시간 = 3)의 값만 지원되며이 필드에 기록해야합니다. CL 비트 필드에 쓰려면 SDCR의 BIT11\_9LOCK 비트 필드에 1을 동시에 써야합니다.

IBANK - 내부 SDRAM 뱅크 수. 이 필드는 연결된 SDRAM 내부의 뱅크 수를 정의합니다

• IBANK = 0 일 때, 내부 뱅크 1 개 사용

• PAGESIZE = 1h 일 때 512 단어 페이지가 사용됩니다

• PAGESIZE = 2h 일 때 1024 단어 페이지가 사용됩니다

이 필드 값은 논리 주소를 SDRAM 행, 열 및 뱅크 주소에 매핑하는 데 영향을줍니다. 자세한 내용은 21.2.5.11 절을 참조하십시오.

PAGESIZE - 페이지 크기. 이 필드는 다음과 같은 방법으로 연결된 SDRAM 장치의 내부 페이지 크기를 정의합니다.

• PAGESIZE = 0이면 256 단어 페이지가 사용됩니다

• PAGESIZE = 1h 일 때 512 단어 페이지가 사용됩니다

• PAGESIZE = 2h 일 때 1024 단어 페이지가 사용됩니다

• PAGESIZE = 3h 일 때 2048 단어 페이지가 사용됩니다

이 필드 값은 논리 주소를 SDRAM 행, 열 및 뱅크 주소로 매핑하는 데 영향을줍니다. 자세한 내용은 21.2.5.11 절을 참조하십시오.

Table 21-8. SDRAM 리프레시 제어 레지스터 (SDRCR) 설명

(Parameter) (Description)

RR - 재생률. 이 필드는 연결된 SDRAM 장치를 새로 고치는 속도를 제어합니다. 다음 방정식을 사용하여 SDRAM 장치에 필요한 RR 값을 결정할 수 있습니다.

• RR = f EMIF\_CLK / (필수 SDRAM 재생 빈도)

SDRAM 리프레시 컨트롤러의 작동에 대한 자세한 내용은 21.2.5.6 절을 참조하십시오.

-----------------------------------------------------------------------------------------------------

(해석) p.778

Table 21-9. SDRAM 타이밍 레지스터 설명 (SDTIMR)

(Parameter) (Description)

T\_RFC

T\_RP

T\_RCD

T\_WR

T\_RAS

T\_RC

T\_RRD

SDRAM 타이밍 매개 변수. 이 필드는 EMIF가 AC 타이밍을 준수하도록 구성합니다. 부착 된 SDRAM 장치의 요구 사항 이를 통해 EMIF는 SDRAM 타이밍 제약 조건을 위반하지 않고 그 작업을보다 효율적으로 스케줄 할 수 있습니다. 각 매개 변수에 대한 자세한 내용은 21.3.6 절의 레지스터 설명에서 확인할 수 있습니다. 이 매개 변수는 SDRAM의 데이터 시트에있는 해당 타이밍 요구 사항을 충족하도록 설정해야합니다.

Table 21-10. SDRAM 자동 리프레시 종료 타이밍 레지스터 (SDSRETR)에 대한 설명

(Parameter) (Description)

T\_XS - 자체 새로 고침 종료 매개 변수. 이 레지스터의 T\_XS 필드는 자체 리프레시를 종료하고 모든 명령을 실행하는 사이에 필요한 EMIF\_CLK 사이클의 최소 수를 EMIF에 알립니다.

이 매개 변수는 연결된 SDRAM 장치의 t XSR 값을 만족하도록 설정해야합니다.

21.2.5.4 SDRAM 자동 초기화 시퀀스

EMIF는 인터페이스 여부에 관계없이 SDRAM 초기화 시퀀스를 자동으로 수행합니다.

다음 두 가지 이벤트 중 하나가 발생할 때 SDRAM 장치에 연결하십시오.

• EMIF가 리셋에서 나옵니다. SDRAM 및 비동기 인터페이스에 대한 메모리 액세스가 없습니다.

이 자동 초기화가 완료 될 때까지 수행됩니다.

• SDRAM 구성 레지스터의 세 최하위 바이트 중 하나에 쓰기가 수행됩니다

(SDCR)

SDRAM 초기화 순서는 다음 단계로 구성됩니다.

1.초기화 시퀀스가 ​​SDCR에 대한 쓰기에 의해 활성화되고 SDRAM 뱅크가 열려 있으면 EMIF\_A [10]가 High로 유지되어 PREF 명령이 발행되어 모든 뱅크를 나타냅니다. 이는 SDRAM의 최대 ACTV-PRE 타이밍을 위반하지 않도록하기 위해 수행됩니다.

2.MIF는 EMIF\_CKE를 하이로 구동하고 8 개의 SDRAM 새로 고침 간격이 경과했습니다.

SDRAM 새로 고침 간격은 RR 필드의 값과 같습니다.

SDRAM 리프레시 제어 레지스터 (SDRCR)를 EMIF\_CLK (RR / f EMIF\_CLK)의 주파수로 나눈 값.

이 스텝은 200μs를 요구하는 대부분의 SDRAM 디바이스의 파워 업 제약을 위반하는 것을 피하기 위해 사용된다 (때로는 100μs) 안정적인 Vdd와 CLK를 수신하고 PRE 명령을내는 것입니다.

EMIF\_CLK의 주파수에 따라 SDRAM 제약을 위반하지 않도록이 단계가 충분하거나 충분하지 않을 수 있습니다. 자세한 정보는 21.2.5.5 절을 참조하십시오.

3.리프레시 간격이 경과 된 후, EMIF는 EMIF\_A [10]가 하이로 유지 된 채로 PRE 명령을 발행하여 모든 뱅크를 나타냅니다.

4.EMIF는 8 개의 AUTO REFRESH 명령을 발행합니다.

5.EMIF는 표 21-11에 설명 된대로 EMIF\_A [9 : 0] 핀이 설정된 LMR 명령을 발행합니다.

6.마지막으로 EMIF는 다음 단계로 구성된 새로 고침주기를 수행합니다.

(a) 임의의 뱅크가 열려 있으면 PREF 명령을 발행하여 EMIF\_A [10]를 하이로 유지

(b) REF 명령 발행

-----------------------------------------------------------------------------------------------------

(해석) p.779

EMIF\_A[9:7] - 0 (쓰기 버스트는 EMIF\_A [2 : 0]의 프로그래밍 된 버스트 길이입니다)

EMIF\_A[6:4] - 이 비트는 SDRAM의 CAS 대기 시간을 제어하며 CL 필드에 따라 설정됩니다

SDRAM 구성 레지스터 (SDCR)에서 다음과 같이 설정합니다.

• CL = 2 인 경우 EMIF\_A [6 : 4] = 2h

(CAS 대기 시간 = 2)

• CL = 3 인 경우 EMIF\_A [6 : 4] = 3h

(CAS 대기 시간 = 3)

EMIF\_A[3] - 0 (순차적 버스트 유형, 인터리브 버스트 유형은 지원되지 않음)

EMIF\_A[2:0] - 이 비트는 SDRAM의 버스트 길이를 제어하며 NM에 따라 설정됩니다

필드를 SDRAM 구성 레지스터 (SDCR)에 저장합니다.

• NM = 0이면 EMIF\_A [2 : 0] = 2h

(버스트 길이 = 4)

• NM = 1이면, EMIF\_A [2 : 0] = 3h

(버스트 길이 = 8)

21.2.5.5 SDRAM 구성 절차

두 가지 SDRAM 구성 절차가 있습니다. EMIF가 자동으로 리셋에서 빠져 나올 때 21.2.5.4 절에 설명 된 SDRAM 초기화 시퀀스를 권장합니다. EMIF 메모리 요청을 수행하기 전에 아래 나열된 절차 중 하나를 따르십시오. 리셋에서 21.2.5.4 절에 설명 된 SDRAM 자동 초기화 시퀀스 동안 SDRAM 파워 업 제약이 위반되지 않았다고 결정되면 절차 A를 따라야한다. SDRAM 파워 업 제약은 안정적인 Vdd를 수신하는 사이에 200μs (때때로 100μs)가 존재해야한다고 규정하고있다. 및 CLK 및 PRE 명령의 발행을 포함한다. 절차 B는 SDRAM Power-up 제약이 위반되었습니다. SDRAM 자동 초기화 시퀀스 동안 EMIF\_CLK 주파수가 50MHz (100μs SDRAM 파워 업 제약 조건의 경우 100MHz)보다 클 경우 200μs (100μs) SDRAM 파워 업 제약 조건이 위반됩니다. 전원 공급 제약 조건이 충족되지 않았다는 의심의 여지가있는 경우 절차 B를 따라야합니다.

절차 A - 다음은 SDRAM Power-up 제약 조건이 충족되지 않은 경우 따라야 할 절차입니다

위반됨 :

1.SDCR의 SR 비트를 1로 설정하여 SDRAM을 셀프 리프레시 모드로 전환하십시오. SDRAM의 상위 바이트에 대한 바이트 쓰기는 21.2.5.4 절에 설명 된 SDRAM 자동 초기화 시퀀스를 다시 시작하지 않도록 사용해야합니다. SDRAM은 주파수를 변경할 때 자체 새로 고침 모드에 있어야합니다.

EMIF\_CLK를 사용하여 200μs의 파워 업 제약 조건을 다시 피할 수 있습니다.

2. 원하는 EMIF\_CLK 클럭 주파수를 구성하십시오. 메모리 클럭의 주파수는 SDRAM 제조업체의 설명서에 나와있는 타이밍 요구 사항과 장치 데이터 시트의 전기 사양.

3. SDCR의 SR 비트를 0으로 클리어하여 SDRAM을 자체 리프레시 모드에서 제거하십시오. 바이트 쓰기

SDRAM의 상위 바이트는 SDRAM 자동 초기화 시퀀스를 다시 시작하지 않도록 사용해야합니다

섹션 21.2.5.4에서 설명합니다.

4. 연결된 SDRAM 장치의 타이밍 요구 사항을 충족 시키려면 SDTIMR 및 SDSRETR을 프로그래밍하십시오.

타이밍 매개 변수는 SDRAM 데이터 시트에서 가져와야합니다.

5. 연결된 장치의 새로 고침 간격과 일치하도록 SDRCR의 RR 필드를 프로그래밍하십시오.

적절한 값을 결정하는 방법은 21.2.5.6.1 절을 참조하십시오.

6. 연결된 SDRAM 장치의 특성과 일치하도록 SDCR을 프로그래밍하십시오. 이렇게하면 21.2.5.4 절의 자동 초기화 시퀀스가 ​​다시 실행됩니다. 이 두 번째 초기화는 EMIF\_CLK의 빈도 증가로 인해 일반적으로 훨씬 적은 시간이 소요됩니다.

절차 B - 다음은 SDRAM Power-up 제약 조건이 적용되는 경우 따라야 할 절차입니다

위반됨 :

1. 원하는 EMIF\_CLK 클럭 주파수를 구성하십시오. 메모리 클럭의 주파수는

SDRAM 제조업체의 설명서에 나와있는 타이밍 요구 사항과 장치 데이터 시트의 전기 사양.

2. 연결된 SDRAM 장치의 타이밍 요구 사항을 충족 시키려면 SDTIMR 및 SDSRETR을 프로그래밍하십시오.

타이밍 매개 변수는 SDRAM 데이터 시트에서 가져와야합니다.

3. 다음 공식을 만족하도록 SDRCR의 RR 필드를 프로그래밍하십시오 : (RR × 8) / (fEMIF\_CLK)> 200μs (때때로 100μs). 예를 들어 100MHz의 EMIF\_CLK 주파수는 200μs 제약 조건을 충족하려면 RR을 2501 (9C5h) 이상으로 설정해야합니다.

-----------------------------------------------------------------------------------------------------

(해석) p.780

4. 연결된 SDRAM 장치의 특성과 일치하도록 SDCR을 프로그래밍하십시오.

이렇게하면 21.2.5.4 절의 자동 초기화 시퀀스가 ​​RR의 새 값으로 다시 실행됩니다.

5. 초기화 처리가 완료된 후,이 절차의 단계 (5)가 발생하도록 보장 SDRAM으로부터 판독을 수행한다. 또는 판독을 수행하는 대신 200 μs 동안 대기하십시오.

6.마지막으로 연결된 장치의 새로 고침 간격과 일치하도록 RR 필드를 프로그래밍하십시오.

적절한 값을 결정하는 방법은 21.2.5.6.1 절을 참조하십시오.

위의 절차를 수행 한 후 EMIF는 부착 된 SDRAM 장치에 대한 액세스를 수행 할 준비가됩니다.

SDRAM 인터페이스 구성 예제를 참조하십시오.

21.2.5.6 EMIF 리프레시 컨트롤러

SDRAM 장치는 각 행이 최소 요구 속도로 새로 고쳐 져야합니다. EMIF는이 ​​요구 속도 이상에서 자동 새로 고침주기를 수행하여이 제약 조건을 충족시킬 수 있습니다. 자동 새로 고침주기는 SDRAM 장치의 모든 뱅크에 PRE 명령을 발행 한 다음 REFR 명령을 발행하는 것으로 구성됩니다. EMIF에 자동 새로 고침 사이클을 수행하는 데 필요한 속도를 알리려면 SDRAM 리프레시 제어 레지스터 (SDRCR)의 RR 필드를 프로그래밍해야합니다. EMIF는 두 개의 내부 카운터와 함께이 값을 사용하여 필요한 속도로 자동 새로 고침주기를 자동으로 수행합니다. EMIF가 SDRAM과 인터페이스되지 않은 경우에도 자동 새로 고침주기를 비활성화 할 수 없습니다. 이 섹션의 나머지 부분에서는 EMIF의 새로 고침 체계에 대해 자세히 설명하고 SDRCR의 RR 필드에 배치 할 적절한 값을 결정하는 예제를 제공합니다.

자동 리프레시 사이클을 수행하는 데 사용되는 두 카운터는 13 비트 리프레시 간격 카운터 및 4 비트 리프레시 백 로그 카운터입니다. 리셋시 및 RR 필드에 기록 할 때, 리프레시 간격 카운터는 RR 필드로부터의 값으로 로딩되고, 각각의 EMIF 클록 사이클에서 하나씩 감산을 시작한다.

새로 고침 간격 카운터가 0에 도달하면 다음 작업이 수행됩니다.

• 새로 고침 간격 카운터는 RR 필드의 값으로 다시로드되고 감소를 다시 시작합니다.

• 4 비트 리프레시 백 로그 카운터는 이미 최대 값에 도달하지 않은 경우 증가합니다.

새로 고침 백 로그 카운터는 EMIF가 현재 해결되지 않은 자동 새로 고침주기 수를 기록합니다.

이 카운터는 자동 새로 고침주기가 수행 될 때마다 1 씩 감소되고 새로 고침 간격 카운터가 만료 될 때마다 1 씩 증가합니다. 리프레시 백 로그 카운터는 0000b 및 1111b의 값으로 포화 상태가됩니다. EMIF는 새로 고침 백 로그 카운터를 사용하여 자동 새로 고침주기를 수행해야하는 긴급도를 결정합니다. 긴급도의 4 가지 수준은 표 21-12에 설명되어 있습니다.

이 새로 고침 구성표를 사용하면 액세스 요청에 최소한의 영향을주는 상태에서 필요한 새로 고침을 수행 할 수 있습니다.

Table 21-12. 긴급도 새로 고침

(긴급도) (백 로그 카운터 범위 새로 고침) (취한 행동)

Refresh May (1-3) -EMIF에 보류중인 요청이없고 SDRAM 뱅크가 열려 있지 않은 경우에만 자동 새로 고침주기가 수행됩니다.

Refresh Release (4-7) - ICF 뱅크가 열려 있는지 여부에 관계없이 EMIF에 보류중인 요청이없는 경우 자동 새로 고침주기가 수행됩니다.

Refresh Need (8-11) - 보류중인 읽기 요청이 없으면 현재 액세스 완료시 자동 새로 고침주기가 수행됩니다.

Refresh Must (12-15) - 새로 고침 릴리스 긴급 수준에 도달 할 때까지 현재 액세스가 완료되면 여러 자동 새로 고침주기가 수행됩니다. 이 시점에서 EMIF는 새로운 읽기 또는 쓰기 요청에 대한 서비스를 시작할 수 있습니다.

-----------------------------------------------------------------------------------------------------

(해석) p.781

21.2.5.6.1 RR 필드의 적절한 값 결정

SDRCR의 RR 필드에 프로그래밍해야하는 값은 다음을 사용하여 계산할 수 있습니다.

EMIF\_CLK 신호의 주파수 (fEMIF\_CLK) 및 SDRAM의 필요한 재생 빈도 (fRefresh).

다음 수식을 사용할 수 있습니다.

RR = fEMIF\_CLK / fRefresh

SDRAM 데이터 시트는 종종 필요한 SDRAM 리프레시 속도를 REFR 명령은 주어진 시간 간격으로 필요합니다.

따라서 위의 수식에서 필요한 SDRAM Refresh Rate는 시간 간격 (n 사이클) 당 필요한 사이클 수를 데이터 시트에 주어진 시간 간격 (t 갱신주기)으로 나눠서 계산할 수 있습니다.

fRefresh = ncycles / tRefresh Period

이러한 공식을 결합하여 RR 필드에 프로그래밍해야하는 값은 다음과 같이 계산할 수 있습니다.

RR = fEMIF\_CLK × t 갱신주기 / n 사이클

다음 예제는 RR의 값을 계산하는 것을 보여줍니다. 을 고려하면:

• fEMIF\_CLK = 100MHz (EMIF 클록 주파수)

• tRefresh Period = 64 ms (SDRAM의 필요한 새로 고침 간격)

• ncycles = 8192 (SDRAM의 새로 고침 간격의 사이클 수)

RR은 다음과 같이 계산할 수 있습니다.

RR = 100 MHz × 64 ms/8192

RR = 781.25

RR = 782 cycles = 30Eh cycles

21.2.5.7 자체 새로 고침 모드

EMIF는 SDCR의 SR 비트를 1로 설정하여 셀프 리프레시 상태로 들어가도록 프로그래밍 할 수 있습니다.

이렇게하면 EMIF가 미해결 SDRAM 액세스 요청을 완료하고 하나 이상의 자동 새로 고침 사이클을 수행하여 새로 고침 백 로그 카운터를 지운 후에 SLFR 명령을 실행하게됩니다. 이렇게하면 연결된 SDRAM 장치가 자체 새로 고침주기를 수행하는 동안 최소한의 전력을 소비하는 자체 새로 고침 모드가됩니다. SR 비트는 SDRAM 구성 시퀀스의 트리거링을 피하기 위해 SDRAM 구성 레지스터 (SDCR)의 상위 바이트에 대한 바이트 쓰기를 사용하여 설정 및 해제되어야합니다. 자체 리프레시 상태에있는 동안 EMIF는 비동기식 뱅크 요청 및 레지스터 액세스를 정상적으로 서비스하며 하나의 경고를 계속합니다. EMIF는 셀프 리프레시 상태에서 비동기식 메모리로의 읽기 후에 데이터 버스를 파킹하지 않습니다. 대신 EMIF는 데이터 버스를 3 상태로 설정합니다. 따라서 EMIF가 셀프 리프레시 상태 일 때 비동기 읽기 동작을 수행하여 데이터 버스의 부동 입력을 방지하는 것은 바람직하지 않습니다. 데이터 버스 주차에 대한 자세한 내용은 21.2.7 절을 참조하십시오.

다음 이벤트 중 하나가 발생하면 EMIF가 자동 새로 고침 상태를 종료합니다.

• SDCR의 SR 비트가 0으로 클리어됩니다.

• SDRAM 액세스가 요청됩니다.

EMIF\_CKE를 하이로 구동하고 자동 리프레시주기를 수행함으로써 EMIF는 셀프 리프레시 상태를 벗어납니다.

EMIF CLK의 주파수를 변경할 때 부착 된 SDRAM 장치도 자체 새로 고침 모드에 놓여 야합니다.

SDRAM이 자체 리프레시 모드에 있지 않을 때 EMIF\_CLK의 주파수가 변경되면, 21.2.5.5 절의 절차 B를 따라 장치를 다시 초기화해야합니다.

-----------------------------------------------------------------------------------------------------

(해석) p.782

21.2.5.8 전원 차단 모드

저전력 모드를 지원하기 위해 EMIF는 POWER DOWN 명령을 SDRAM 구성 레지스터 (SDCR)에 PD 비트를 설정하여 SDRAM에 저장합니다. 이 비트가 설정되면 EMIF는 모든 대기 메모리 액세스 요청이 처리되고 SDRAM 새로 고침 백 로그 (있는 경우)가 지워질 때까지 정상 작동을 계속합니다. 이 시점에서 EMIF는 전원 꺼짐 상태가됩니다. 이 시점에서 EMIF는 전원 꺼짐 상태가됩니다. 이 상태가되면 EMIF는 POWER DOWN 명령을 내립니다 (NOP 명령과 같지만 동일한 사이클에서 EMIF\_CKE를 낮춤). EMIF는 파워 다운 상태를 빠져 나올 때까지 EMIF\_CKE를 로우로 유지한다.

EMIF는 파워 다운 상태에 들어가기 전에 리프레시 백 로그를 서비스하기 때문에 POWER DOWN 명령어를 실행하기 전에 SDRAM의 모든 내부 뱅크가 폐쇄 (프리 차지)됩니다. 따라서 EMIF는 사전 충전 전원 차단 만 지원합니다. EMIF는 POWER DOWN 명령이 내려지기 전에 SDRAM의 내부 뱅크가 열려있는 (활성) 활성 전원 차단을 지원하지 않습니다.

전원이 꺼진 상태에서 EMIF는 SDRAM, 비동기 메모리 및 레지스터를 서비스합니다. 정상적으로 액세스하여 완료되면 전원이 꺼진 상태로 돌아갑니다.

SDCR의 PDWR 비트는 EMIF가 전원 차단 상태에서 새로 고침을 수행해야하는지 여부를 나타냅니다. PDWR 비트가 설정되면 Refresh Must 레벨이 설정 될 때마다 EMIF는 전원 차단 상태를 종료하고 SDRAM에 AUTO REFRESH 명령을 수행 한 다음 다시 전원 차단 상태로 돌아갑니다. 이렇게하면 전원이 꺼진 상태에서 SDRAM에 새로 고침을 고르게 분배합니다. PDWR 비트가 설정되지 않으면 EMIF는 SDRAM을 새로 고치지 않습니다. 따라서 PDWR 비트가 설정되지 않은 경우 전원 차단 종료시 SDRAM의 데이터 무결성이 보장되지 않습니다.

파워 다운 상태에서 PD 비트가 클리어되면 EMIF는 파워 다운 상태가되지 않게된다.

EMIF :

• EMIF\_CKE를 높게 설정합니다.

• 유휴 상태가됩니다.

-----------------------------------------------------------------------------------------------------

(해석) p.783

EMIF가 섹션 21.2.2에 열거 된 요청자 중 한 명으로부터 SDRAM에 대한 읽기 요청을 수신하면 EMIF는 하나 이상의 읽기 액세스주기를 수행합니다. 판독 액세스 사이클은 ACTV 명령의 발행으로 시작하여 SDRAM 장치의 원하는 뱅크 및 로우를 선택한다. 행이 열리면 EMIF는 원하는 뱅크 및 열 주소를 지정하면서 READ 명령을 실행합니다. 자동 프리 차지를 피하기 위해 READ 명령 동안 EMIF\_A [10]는 로우로 유지된다.

READ 명령은 EMIF가 NOP 명령을 발행하는 동안 지정된 주소에서 데이터를 버스트 시작하도록 SDRAM 장치에 신호를 보냅니다. READ 명령 다음에 SDRAM 구성 레지스터 (SDCR)의 CL 필드는 읽기 데이터가 데이터 버스에 나타나기 전에 얼마나 많은 지연 사이클이 존재하는지 정의합니다. 이를 CAS 대기 시간이라고합니다.

그림 21-5는 기본 SDRAM 읽기 동작에 대한 신호 파형을 보여줍니다. 한 페이지에서 읽는다. EMIF SDRAM 인터페이스가 SDRAM 구성 레지스터 (SDCR)의 NM 비트를 1로 설정하여 16 비트로 구성되면 8의 버스트 크기가 사용됩니다. 그림 21-5는 8의 버스트 크기를 보여줍니다.

버스트의 나머지 주소가 요청을 완료하는 데 필요하지 않은 경우 EMIF는 일련의 파열 데이터를 자릅니다. EMIF는 세 가지 방법으로 버스트를자를 수 있습니다.

•동일한 은행의 동일한 페이지에 다른 READ를 발행합니다.

•동일한 은행의 다른 페이지에 액세스하기 위해 준비하기 위해 PRE 명령을 실행합니다.

•다른 은행의 페이지에 액세스 할 준비를하기 위해 BT 명령을 발행합니다.

Figure 21-5. 기본 SDRAM 읽기 동작을위한 타이밍 파형

(그림 참조)

다른 여러 핀들도 읽기 액세스 중에 활성화됩니다.

EMIF\_nDQM [1 : 0] 핀은 READ 명령 동안 로우로 구동되고 버스트 요청에 해당하는 NOP 명령 중에는 로우로 유지된다. 각 명령 중 다른 EMIF 핀의 상태는 표 21-5에서 확인할 수 있습니다.

EMIF는 SDRAM에 제공되는 타이밍 정보를 기반으로 명령을 예약합니다. 타이밍 레지스터 (SDTIMR).

이 레지스터의 타이밍 파라미터 값은 SDRAM 데이터 시트에 나열된 타이밍 요구 사항을 충족하도록 선택해야합니다. EMIF는이 ​​타이밍 정보를 사용하여 명령 발행과 관련된 타이밍 제약 조건을 위반하지 않도록합니다. 이것은 일반적으로 액세스하는 동안 다양한 명령 사이에 NOP 명령을 삽입하여 수행됩니다.

다양한 타이밍 파라미터에 대한 자세한 내용은 21.3.6 절의 SDTIMR 레지스터 설명을 참조하십시오.

-----------------------------------------------------------------------------------------------------

(해석) p.784

21.2.5.10 SDRAM 쓰기 작업

EMIF가 섹션 21.2.2에 열거 된 요청자 중 한 명으로부터 SDRAM에 대한 쓰기 요청을 수신하면 EMIF는 하나 이상의 쓰기 액세스 사이클을 수행합니다. 쓰기 액세스 사이클은 ACTV 명령을 발행하여 SDRAM 장치의 원하는 뱅크 및 행을 선택하는 것으로 시작됩니다. 행이 열리면 EMIF는 원하는 뱅크 및 열 주소를 지정하면서 WRT 명령을 실행합니다. 자동 사전 충전을 피하기 위해 EMIF\_A [10]는 WRT 명령 중에 로우로 유지된다. WRT 명령은 EMIF가 NOP 명령을 발행하는 동안 지정된 주소에 데이터 버스트 쓰기를 시작하도록 SDRAM 장치에 신호를 보냅니다. 연관된 쓰기 데이터는 WRT 명령 및 후속 버스트 연속 NOP 명령과 동시에주기의 데이터 버스에 배치됩니다. 그림 21-6은 단일 페이지에서 데이터 버스트를 읽는 기본 SDRAM 쓰기 작업의 신호 파형을 보여줍니다. EMIF SDRAM 인터페이스가 SDRAM 구성 레지스터 (SDCR)의 NM 비트를 1로 설정하여 16 비트로 구성되면 버스트 크기 8이 사용됩니다. 그림 21-6은 8의 버스트 크기를 보여줍니다.

그림 21-6은 기본 SDRAM 쓰기 동작에 대한 신호 파형을 보여줍니다.이 동작에서 단일 페이지에서 데이터 버스트를 읽습니다. EMIF SDRAM 인터페이스가 SDRAM 구성 레지스터 (SDCR)의 NM 비트를 1로 설정하여 16 비트로 구성되면 버스트 크기 8이 사용됩니다. 그림 21-6은 8의 버스트 크기를 보여줍니다.

Figure 21-6. 기본 SDRAM 쓰기 동작을위한 타이밍 파형

(그림 참조)

버스트의 나머지 주소가 쓰기 요청의 일부가 아닌 경우 EMIF는 일련의 파열 데이터를 자릅니다.

EMIF는 세 가지 방법으로 버스트를자를 수 있습니다.

• 동일한 페이지에 다른 WRT 발행

• 같은 은행의 다른 페이지에 액세스 할 준비를하기 위해 PRE 명령을 발행합니다.

• 다른 은행의 페이지에 액세스 할 준비를하기 위해 BT 명령을 발행합니다.

쓰기 액세스 중에 다른 여러 핀들도 활성화됩니다. EMIF\_nDQM [1 : 0] 핀들은 데이터 워드의 어느 바이트가 SDRAM 디바이스에 기록 될지를 선택하기 위해 구동된다. 또한 버스트 액세스 중에 원하지 않는 데이터 워드를 모두 가려 내기 위해 사용됩니다. 각 명령 중 다른 EMIF 핀의 상태는 표 21-5에서 확인할 수 있습니다.

EMIF는 SDRAM에 제공되는 타이밍 정보를 기반으로 명령을 예약합니다. 타이밍 레지스터 (SDTIMR).

이 레지스터의 타이밍 파라미터 값은 SDRAM 데이터 시트에 나열된 타이밍 요구 사항을 충족하도록 선택해야합니다. EMIF는이 ​​타이밍 정보를 사용하여 명령 발행과 관련된 타이밍 제약 조건을 위반하지 않도록합니다. 이것은 일반적으로 액세스의 여러주기 중에 NOP 명령을 삽입하여 수행됩니다.

다양한 타이밍 파라미터에 대한 자세한 내용은 21.3.6 절의 SDTIMR 레지스터 설명을 참조하십시오.

-----------------------------------------------------------------------------------------------------

(해석) p.785

21.2.5.11 논리적 주소에서 EMIF 핀으로의 매핑

EMIF가 SDRAM 액세스 요청을 수신하면 EMIF는 액세스 주소를 SDRAM 장치에 보낼 적절한 신호.

16 비트 연산의 경우이 주소 매핑의 세부 사항이 표 21-13에 나와 있습니다. EMI는 SDRAM 구성 레지스터 (SDCR)의 IBANK 및 PAGESIZE 필드 설정을 사용하여 논리 주소의 어느 비트가 SDRAM 행, 열 및 뱅크 주소에 매핑되는지 결정합니다.

논리적 주소가 하나의 하프 워드 (16 비트 연산)만큼 증가함에 따라, 페이지 경계에 도달 할 때까지 칼럼 주소도 마찬가지로 1 씩 증가합니다. 논리 주소가 페이지 경계를 넘어 증가하면 EMIF는 뱅크 주소 EMIF\_BA를 증가시키고 열 주소를 재설정하여 연결된 장치의 다음 뱅크에서 같은 페이지로 이동합니다.

이전 뱅크의 페이지는 닫을 때까지 열려 있습니다. SDRAM 뱅크를 통과하는이 방법은 SDRAM 내부의 열린 뱅크 수를 최대화하여 장치를 효율적으로 사용하도록합니다. 한 번에 열 수있는 은행 수에는 제한이 없지만 한 번에 한 은행 내의 한 페이지 만 열 수 있습니다.

EMIF는 WRT 명령 중에 EMIF\_nDQM [1 : 0] 핀을 사용하여 선택된 바이트 또는 전체 단어를 마스크합니다.

READ 명령 동안 EMIF\_nDQM [1 : 0] 핀은 항상 로우이다.

Table 21-13. 16 비트 SDRAM의 논리 주소에서 EMIF 핀으로의 매핑

(그림 참조)

참고 : 행 주소의 상위 비트는 256Mbit 및 512Mbit SDRAM 메모리를 주소 지정하는 경우에만 사용됩니다.

--------------------------------------------------------------------------------------------------------------------

(해석) p.786

21.2.6 비동기 컨트롤러 및 인터페이스

EMIF는 NOR 플래시, NAND 플래시 및 SRAM을 비롯한 다양한 비동기 장치와 쉽게 인터페이스합니다.

두 가지 주요 모드로 작동 할 수 있습니다 (표 21-14 참조).

• 일반 모드

• 스트로브 모드 선택

Table 21-14. 일반 모드와 스트로브 모드 선택

(Mode) (EMIF\_nDQM 핀의 기능) (EMIF\_nCS [4 : 2]의 동작)

정상 모드 - 바이트 가능 - 전체 비동기 액세스 사이클 동안 활성

스트로브 모드 선택 - 바이트 가능 - 액세스 사이클의 스트로브 기간 동안에 만 활성화 됨

제 1 동작 모드는 EMIF의 EMIF DQM 핀들이 바이트 인 에이블로서 기능하는 정상 모드이다.

이 모드에서 EMIF\_nCS [4 : 2] 핀은 일반적인 칩 선택 신호로 동작하고 비동기 액세스가 지속되는 동안 활성 상태를 유지합니다. 여러 개의 8 비트 장치를 가진 예제 인터페이스는 21.2.6.1 절을 참조하십시오.

두 번째 동작 모드는 Select Strobe Mode이며, EMIF\_nCS [4 : 2] 핀은 스트로브로 동작하며,

액세스의 스트로브 기간 동안에 만 활성화됩니다.

이 모드에서 표준 바이트로 EMIF 기능의 EMIF\_nDQM 핀은 읽기 및 쓰기를 가능하게합니다.

두 가지 작동 모드 간의 차이점에 대한 요약은 표 21-14에 나와 있습니다.

일반 모드에서의 비동기 동작에 대한 자세한 내용은 섹션 21.2.6.4를 참조하고 스트로브 선택 모드에서의 비동기 작업에 대한 자세한 내용은 섹션 21.2.6.5를 참조하십시오.

EMIF 하드웨어는 기본적으로 표준 모드이지만 비동기 m (m = 1, 2, 3 또는 4) 구성 레지스터 (CEnCFG) (n = 2,3,4)에 SS 비트를 설정하여 스트로브 모드 선택으로 수동 전환 할 수 있습니다. 또는 4). 이 장에서 m은 1, 2, 3 또는 4 값을 가질 수 있습니다. n은 값 2, 3 또는 4를 보유 할 수 있습니다.

EMIF는 또한 구성 가능한 사이클 타이밍 매개 변수와 확장 대기 모드를 제공하여

접속 장치의 스트로브 기간을 연장 할 수있다.

다음 섹션에서는 외부 비동기 장치와 인터페이싱하는 것과 관련된 기능.

21.2.6.1 비동기 메모리 인터페이스

그림 21-7은 비동기식 장치와 인터페이스 할 때 사용되는 EMIF의 외부 핀을 보여줍니다.

EMIF\_nCS [n]에서 n = 2, 3 또는 4.

Figure 21-7. EMIF 비동기 인터페이스

(그림 참조)

--------------------------------------------------------------------------------------------------------------------

(해석) p.787

특별한주의 사항은 EMIF와 외부 장치의 주소 버스 사이의 연결입니다.

EMIF 주소 핀 EMIF\_A [0]은 항상 32 비트 워드 주소의 최하위 비트를 제공합니다.

따라서 16 비트 또는 8 비트 비동기식 장치에 인터페이싱 할 때 EMIF\_BA [1] 및 EMIF\_BA [0] 핀은 하프 워드 또는 바이트 주소의 최하위 비트를 각각 제공합니다. 또한, EMIF 인터페이스 16 비트 비동기식 디바이스에 EMIF\_BA [0] 핀은 상위 어드레스 라인 EMIF\_A [22]로 사용될 수있다.

그림 21-8과 그림 21-9는 다양한 프로그래밍 된 데이터 버스 폭에 대한 EMIF와 연결된 장치의 데이터 핀과 어드레스 핀 간의 매핑을 보여줍니다. 데이터 버스 너비는 비동기 n 구성 레지스터 (CEnCFG)에서 구성 될 수 있습니다.

그림 21-9는 EMIF와 외부 비동기 메모리 간의 공통 인터페이스를 보여줍니다. 그림 21-9는 바이트 활성화가있는 EMIF와 외부 메모리 간의 인터페이스를 보여줍니다. EMIF\_nDQM 신호가 바이트 인 에이블로 작동하도록 EMIF는이 ​​인터페이스를 사용할 때 표준 모드 또는 스트로브 모드 선택에서 작동해야합니다.

Figure 21-8. EMIF - 8 비트 / 16 비트 메모리 인터페이스

(그림 참조)

Figure 21-9. 일반적인 비동기 인터페이스

(그림 참조)

--------------------------------------------------------------------------------------------------------------------

(해석) p.788

21.2.6.2 큰 비동기 메모리 액세스

이 장치에는 22 개의 전용 EMIF 주소 라인이 있습니다.

대형 비동기 플래시와 같은 장치가 EMIF에 부착 된 다음 GPIO 핀을 사용하여 플래시 장치의 상위 주소 라인을 제어 할 수 있습니다.

21.2.6.3 비동기 액세스를위한 EMIF 구성

EMIF의 비동기 인터페이스의 작동은 적절한 레지스터 필드를 프로그래밍하여 구성 할 수 있습니다.

각 레지스터 필드의 리셋 값과 비트 위치는 21.3 절을 참조하십시오. 다음 표는 프로그래밍 할 수있는 레지스터 필드를 나열하고 각 필드의 목적을 설명합니다. 이 레지스터는 외부 메모리에 액세스하기 전에 프로그래밍 할 수 있으며,

이 레지스터에 쓰기는 새 구성을 사용합니다.

Table 21-15. 비동기식 m 구성 레지스터 (CEnCFG)에 대한 설명

(Parameter) (Description)

SS - 스트로브 모드를 선택하십시오. 이 비트는 다음과 같은 방식으로 EMIF의 작동 모드를 선택합니다 :

• SS = 0 정상 모드를 선택합니다.

– EMIF\_nDQM 핀은 바이트 인 에이블로서 기능한다.

- EMIF\_nCS [4 : 2]는 액세스 시간 동안 활성화됩니다.

• SS = 1은 스트로브 모드 선택을 선택합니다.

- EMIF\_nDQM 핀은 바이트 인 에이블로서 기능한다.

- EMIF\_nCS [4 : 2]는 스트로브로 작동합니다.

EW - 확장 대기 모드 활성화.

• EW = 0은 확장 대기 모드를 비활성화합니다.

• EW = 1로 설정하면 확장 대기 모드가 활성화됩니다.

1로 설정하면 EMIF는 EMIF\_nWAIT 핀의 어설 션에 대한 응답으로 액세스 사이클의 스트로브 폭을 확장 할 수있는 확장 대기 모드를 활성화합니다.비동기 대기 사이클 구성 레지스터 (AWCC)의 WPn 비트는 EMIF\_nWAIT 핀의 극성을 제어합니다.

이 작동 모드에 대한 자세한 내용은 21.2.6.6 절을 참조하십시오.

W\_SETUP/R\_SETUP - 읽기 / 쓰기 설정 폭.

이 필드는 어드레스 핀 (EMIF\_A 및 EMIF\_BA), 바이트 인 에이블 (EMIF\_nDQM) 및 비동기 칩 인 에이블 (EMIF\_nCS [4 : 2])에 대한 셋업 시간의 EMIF 클럭 사이클 수를 정의합니다. 읽기 스트로브 핀 (EMIF\_nOE) 또는 쓰기 스트로브 핀 (EMIF\_nWE)이 하강하기 전에 1 사이클.쓰기의 경우 W\_SETUP 필드는 데이터 핀 (EMIF\_D)의 설정 시간도 정의합니다. 이 필드에 대한 적절한 설정을 결정하려면 외부 비동기 장치의 데이터 시트를 참조하십시오.

W\_STROBE/R\_STROBE - 읽기 / 쓰기 스트로브 폭.

이 필드는 읽기 스트로브 핀 (EMIF\_nOE) 또는 쓰기 스트로브 핀 (EMIF\_nWE)의 하강 및 상승 사이의 EMIF 클럭 사이클 수를 1 사이클 빼고 정의합니다.확장 대기 모드가 비동기 n 구성 레지스터 (CEnCFG)의 EW 필드를 설정하여 활성화 된 경우이 필드는 0보다 큰 값으로 설정되어야합니다. 외부의 데이터 시트 참조 비동기 장치를 사용하여이 필드에 대한 적절한 설정을 결정하십시오.

W\_HOLD/R\_HOLD - 읽기 / 쓰기 보류 폭.

이 필드는 어드레스 핀 (EMIF\_A 및 EMIF\_BA), 바이트 인 에이블 (EMIF\_nDQM) 및 비동기 칩 인 에이블 (EMIF\_nCS [4 : 2])에 대한 홀드 시간의 EMIF 클럭 사이클 수를 정의합니다.

읽기 스트로브 핀 (EMIF\_nOE) 또는 쓰기 스트로브 핀 (EMIF\_nWE)이 상승한 후 1 사이클을 뺀다.

쓰기의 경우 W\_HOLD 필드는 데이터 핀 (EMIF\_D)의 대기 시간도 정의합니다.

이 필드에 대한 적절한 설정을 결정하려면 외부 비동기 장치의 데이터 시트를 참조하십시오.

TA - 최소 처리 시간.

이 필드는 비동기 읽기와 쓰기 간의 최소 EMIF 클럭 사이클 수를 1 사이클 빼고 정의합니다.

이 기능의 목적은 버스에서 경합을 피하는 것입니다.

이 필드에 기록되는 값은 비동기 액세스와 SDRAM 액세스 사이에 삽입 될 사이클 수를 결정합니다.

외부의 데이터 시트 참조 비동기 장치를 사용하여이 필드에 대한 적절한 설정을 결정하십시오.

--------------------------------------------------------------------------------------------------------------------

(해석)p.789

Table 21-15. 비동기식 m 구성 레지스터 설명 (CEnCFG) (계속)

ASIZE - 비동기 장치 버스 너비.

이 필드는 다음과 같은 방식으로 비동기 인터페이스의 데이터 버스 너비를 결정합니다.

• ASIZE = 0은 8 비트 버스를 선택합니다

• ASIZE = 1은 16 비트 버스를 선택합니다.

ASIZE의 구성은 EMIF\_A 및 EMIF\_BA 핀의 기능을 다음과 같이 결정합니다.

21.2.6.1 절에서 설명합니다.또한이 필드는 섹션 21.2.2에서 언급 한 소스 중 하나가 생성 한 요청을 수행하는 데 필요한 외부 액세스 수를 결정합니다. 예를 들어, 32 비트 워드에 대한 요청은 ASIZE = 0 일 때 네 개의 외부 액세스가 필요합니다. 이 필드에 대한 적절한 설정을 결정하려면 외부 비동기 장치의 데이터 시트를 참조하십시오.

Table 21-16. 비동기 대기 사이클 구성 레지스터 (AWCC)에 대한 설명

WPn - EM\_WAIT 극성.

• WPn = 0은 액티브 로우 극성을 선택합니다.

• WPn = 1은 액티브 하이 극성을 선택합니다

1로 설정하면 EMIF\_nWAIT 핀이 하이 일 때 EMIF가 대기합니다.

0으로 클리어하면 EMIF는 EMIF\_nWAIT 핀이 로우 일 때까지 대기한다.

EMIF는 EMIF\_nWAIT 핀이 스트로브 기간의 폭에 영향을 미치기 위해 확장 대기 모드를 활성화해야합니다.

MAX\_EXT\_WAIT - 최대 확장 대기주기.

이 필드는 액세스 사이클의 스트로브 기간 동안 EMIF\_nWAIT 핀이 비활성화 될 때까지 EMIF가 대기하는 EMIF 클럭 사이클의 수를 구성합니다. EMIF의 최대 수 대기 할 클록 사이클은 다음 공식에 의해 결정됩니다.

최대 확장 대기주기 = (MAX\_EXT\_WAIT + 1) × 16

이 필드에 의해 지정된 시간 내에 EMIF\_nWAIT 핀이 비활성화되지 않으면 EMIF는 액세스 사이클을 다시 시작하여 버스에있는 모든 데이터를 등록하고 액세스 사이클의 보류 기간으로 진행합니다.

이 상황을 비동기 시간 초과라고합니다. 비동기 타임 아웃은 EMIF 인터럽트 마스크 세트 레지스터에서 활성화 된 경우 인터럽트를 생성합니다(INTMSKSET). EMIF 인터럽트에 대한 더 자세한 정보는 21.2.9.1 절을 참조하십시오.

Table 21-17. EMIF 인터럽트 마스크 세트 레지스터 (INTMSKSET)에 대한 설명

WR\_MASK\_SET - Wait Rise Mask Set.

1을 기록하면 NAND 플래시 모드에서 EMIF\_nWAIT의 상승 에지가 발생할 때 인터럽트가 생성 될 수있다.

AT\_MASK\_SET - 비동기 타임 아웃 마스크 세트.

이 비트에 1을 쓰면 비동기 시간 초과가 발생할 때 인터럽트가 생성됩니다.

Table 21-18. EMIF 인터럽트 마스트 클리어 레지스터 (INTMSKCLR)에 대한 설명

WR\_MASK\_CLR - Wait Rise Mask Clear.

이 비트에 1을 쓰면 인터럽트가 비활성화되고 EMIF 인터럽트 마스크 세트 레지스터 (INTMSKSET)의 WR\_MASK\_SET 비트가 지워진다.

--------------------------------------------------------------------------------------------------------------------

(해석)p.790

Table 21-18. EMIF 인터럽트 마스트 제거 레지스터 설명 (INTMSKCLR) (계속)

AT\_MASK\_CLR - 비동기 타임 아웃 마스크 지우기.

이 비트에 1을 기록하면 비동기 시간 초과가 발생할 때 인터럽트가 생성되지 않습니다.

21.2.6.4 정상 모드에서 읽기 및 쓰기 작업

일반 모드는 비동기 인터페이스의 기본 작동 모드입니다.

이 비트는 SS 비트가 비동기 n 구성 레지스터 (CEnCFG)는 0으로 클리어됩니다.

이 모드에서 EMIF\_nDQM 핀은 바이트 인 에이블로 작동한다. 21.2.6.4.1 절과 21.2.6.4.2 절은 일반 모드 (normal mode)에서 읽기 및 쓰기 작업에 대한 세부 사항을 설명합니다.

21.2.6.4.1 비동기 읽기 연산 (일반 모드)

참고 : 전체 비동기 읽기 작업 동안 EMIF\_nWE 핀은 하이로 구동됩니다.

비동기 읽기는 21.2.2 절에서 언급 된 요청자 중 하나가 첨부 된 비동기 메모리에서 읽기를 요청할 때 수행됩니다. 요청이 수신 된 후, 21.2.13 절에 설명 된 우선 순위 계획에 따라 EMIF의 가장 우선 순위가 높은 작업이되면 읽기 작업이 시작됩니다.판독 요청이 외부 장치에 대한 단일 액세스 사이클에 의해 처리 될 수없는 경우, 전체 요청이 충족 될 때까지 다중 액세스 사이클이 EMIF에 의해 수행 될 것이다. 표준 모드에서 비동기 읽기 연산에 대한 자세한 내용은 표 21-19에 설명되어 있습니다. 또한 그림 21-10은 기본 읽기 동작의 타이밍 다이어그램을 보여줍니다.

Table 21-19. 정상 모드에서의 비동기 읽기 동작

(Time Interval) (Pin Activity in Normal Mode)

Turn-around period - 판독 동작이 EMIF에 대해 가장 우선 순위가 높은 태스크가되면, EMIF는 동작의 셋업 기간으로 진행하기 전에 프로그래밍 된 턴 - 어라운드 사이클 수만큼 대기한다.

대기 사이클 수는 비동기 n 구성 레지스터 (CEnCFG)의 TA 필드에서 직접 가져옵니다. 이 규칙에는 두 가지 예외가 있습니다.

• 현재 읽기 작업이 다른 읽기 작업으로 직접 진행된 경우 처리주기가 삽입.

• 현재 읽기 작업이 쓰기 작업에 의해 직접 진행되고 TA 필드가 지워진 경우 0으로 설정하면 1 회전주기가 삽입됩니다.

EMIF가 턴어라운드 사이클이 완료되기를 기다린 후에는 다시 읽기 작업이 가장 우선 순위가 높은 작업인지 다시 확인합니다. 그렇다면, EMIF는 동작의 설정 기간으로 진행한다.

더 이상 우선 순위가 높은 작업이 아닌 경우 EMIF는 작업을 종료합니다.

start of the setup period - 설정 작업이 시작될 때 다음 작업이 수행됩니다.

• 설정, 스트로브 및 홀드 값은 R\_SETUP, R\_STROBE 및 R\_HOLD 값에 따라 설정됩니다.CEnCFG.

• 주소 핀 EMIF\_A 및 EMIF\_BA는 유효하게되고 21.2.6.1 절에 설명 된 값을 전달합니다.

• EMIF\_nCS [4 : 2]가 떨어지면 외부 장치가 활성화됩니다 (이전 작업에서 아직 낮지 않은 경우)

Strobe period - 읽기 동작의 스트로브 기간 중에 다음 동작이 발생합니다.

1. EMIF\_nOE는 스트로브 기간의 시작에서 하강한다

2. 스트로브 기간의 끝과 동시 인 클럭의 상승 에지에서 :

• EMIF\_nOE가 상승합니다.

• EMIF\_D 버스의 데이터는 EMIF에 의해 샘플링됩니다.

그림 21-10에서 EMIF\_nWAIT는 비활성입니다. 대신 EMIF\_nWAIT가 활성화되면 스트로브 기간을 연장 할 수 있습니다

외부 장치에 의해 데이터를 제공하는 데 더 많은 시간을 제공 할 수 있습니다. 섹션 21.2.6.6에는 EMIF\_nWAIT 핀 사용에 대한 자세한 내용이 포함되어있다.

--------------------------------------------------------------------------------------------------------------------

(해석)p.791

Table 21-19. 정상 모드에서의 비동기 읽기 동작 (계속)

보류 기간 종료 - 보류 기간 종료시 :

• 주소 핀 EMIF\_A 및 EMIF\_BA가 유효하지 않게됩니다.

• EMIF\_nCS [4 : 2]가 상승합니다 (현재 요청을 완료하는 데 더 이상의 작업이 필요하지 않은 경우)

EMIF는 데이터 버스 폭이 작은 장치에 추가 읽기 작업을 요구하여

전체 단어 액세스를 완료하십시오.

이 경우, EMIF는 턴 - 라운드 사이클 지연을 초래하지 않고 다른 동작을 시작하기 위해 즉시 설정 기간에 다시 들어간다.

이 경우 설정, 스트로브 및 홀드 값은 업데이트되지 않습니다.

전체 단어 액세스가 완료된 경우 EMIF는 다른 단어가없는 한 이전 상태로 돌아갑니다.

비동기 요청이 제출되었으며 현재 가장 우선 순위가 높은 작업입니다.

이 경우 EMIF는 보류중인 읽기 또는 쓰기 작업의 처리 기간에 직접 입력됩니다.

Figure 21-10. 정상 모드에서 비동기 읽기 사이클의 타이밍 파형

(그림 참조)

--------------------------------------------------------------------------------------------------------------------

(해석)p.792

21.2.6.4.2 비동기 쓰기 작업 (일반 모드)

참고 : 전체 비동기 쓰기 작업 중에 EMIF\_nOE 핀이 하이로 구동됩니다

비동기 쓰기는 21.2.2 절에서 언급 한 요청자가 요청할 때 수행됩니다.

EMIF의 비동기 뱅크에있는 메모리에 쓰기. 요청이 수신 된 후, 쓰기 작업은 섹션 21.2.13에 설명 된 우선 순위 스키마에 따라 EMIF의 최우선 순위 작업이되면 시작됩니다. 쓰기 요구가 외부 장치에 대한 단일 액세스 사이클에 의해 처리 될 수없는 경우 전체 요청이 충족 될 때까지 다중 액세스 사이클이 EMIF에 의해 수행됩니다. 표준 모드의 비동기 쓰기 작업에 대한 자세한 내용은 표 21-20에 설명되어 있습니다. 또한 그림 21-11은 기본 쓰기 작업의 타이밍 다이어그램을 보여줍니다.

Table 21-20. 정상 모드에서 비동기 쓰기 작업

처리 기간 - 쓰기 작업이 EMIF에 대해 가장 우선 순위가 높은 작업이되면 EMIF는 작업의 설정 기간으로 진행하기 전에 프로그래밍 된 턴어라운드주기를 기다립니다. 대기 사이클 수는 비동기 n 구성 레지스터 (CEnCFG)의 TA 필드에서 직접 가져옵니다. 이 규칙에는 두 가지 예외가 있습니다.

• 현재 쓰기 작업이 다른 쓰기 작업에 의해 직접 진행되면 회 돌이 사이클이 삽입되지 않습니다.

• 현재 쓰기 작업이 직접 읽기 작업으로 진행되고 TA 필드가 지워진 경우 0으로 설정하면 한 턴 어라운드 사이클이 삽입됩니다. EMIF가 완료 할 때까지 기다린 후, 다시 쓰기를 확인합니다

작업은 여전히 ​​최우선 과제입니다. 그렇다면, EMIF는 동작의 설정 기간으로 진행한다. 더 이상 우선 순위가 높은 작업이 아닌 경우 EMIF는 작업을 종료합니다.

준비 기간 시작 - 설정 작업이 시작될 때 다음 작업이 수행됩니다.

• 설정, 스트로브 및 홀드 값은 CEnCFG의 W\_SETUP, W\_STROBE 및 W\_HOLD 값에 따라 설정됩니다.

• 주소 핀 EMIF\_A 및 EMIF\_BA와 데이터 핀 EMIF\_D가 유효합니다. EMIF\_A 및

EMIF\_BA 핀은 21.2.6.1 절에 설명 된 값을 전달합니다.

• EMIF\_nCS [4 : 2]는 외부 장치를 활성화하기 위해 떨어집니다 (이전 작업에서 아직 낮지 않은 경우).

스트로브 기간 - 쓰기 작업의 스트로브 기간이 시작될 때 다음 작업이 발생합니다.

1. EMIF\_nWE 낙하

2. EMIF\_nDQM 핀은 바이트 인 에이블로 유효해진다

스트로브 기간의 끝과 동시에 발생하는 클록의 상승 에지에서 다음 동작이 발생합니다.

1. EMIF\_nWE 상승

2. EMIF\_nDQM 핀이 비활성화됩니다.

그림 21-11에서 EMIF\_nWAIT는 비활성입니다. 대신 EMIF\_nWAIT가 활성화되면 스트로브 기간을 연장 할 수 있습니다

데이터를 받아들이는 데 더 많은 시간을 줄 수 있습니다. 섹션 21.2.6.6에는 EMIF\_nWAIT 핀 사용에 대한 자세한 내용이 포함되어있다.

보류 기간 종료 - 보류 기간이 끝나면 :

• 주소 핀 EMIF\_A 및 EMIF\_BA가 유효하지 않게됩니다.

• 데이터 핀이 유효하지 않게됩니다.

• EMIF\_nCS [n] (n = 2, 3 또는 4)가 상승합니다 (현재 요청을 완료하는 데 더 이상의 작업이 필요하지 않은 경우)

EMIF는 데이터 버스 폭이 작은 장치에 추가 쓰기 작업을 요구하여 전체 단어 액세스를 완료하십시오.

이 경우, EMIF는 즉시 턴어라운드 사이클 지연을 발생시키지 않고 다른 동작을 시작하기 위해 셋업 기간에 다시 들어간다. 이 경우 설정, 스트로브 및 홀드 값은 업데이트되지 않습니다. 전체 단어 액세스가 완료되면 다른 비동기 요청이 제출되고 현재 가장 우선 순위가 높은 작업이 아닌 경우 EMIF는 이전 상태로 돌아갑니다. 이 경우 EMIF는 보류중인 읽기 또는 쓰기 작업의 처리 기간에 직접 입력됩니다.

--------------------------------------------------------------------------------------------------------------------

(p.795)

Figure 21-12. Timing Waveform of an Asynchronous Read Cycle in Select Strobe Mode

(해석)p.795

Figure 21-12. 선택 스트로브 모드에서 비동기 읽기 사이클의 타이밍 파형

--------------------------------------------------------------------------------------------------------------------

(해석)p.796

21.2.6.5.2 비동기 쓰기 작업 (스트로브 모드 선택)

참고 : 비동기 쓰기 작업이 진행되는 동안 EMIF\_nOE 핀이 하이로 구동됩니다.

비동기 쓰기는 21.2.2 절에서 언급 한 요청자가 요청할 때 수행됩니다.

EMIF의 비동기 뱅크에있는 메모리에 쓰기.

요청이 수신 된 후, 쓰기 작업은 섹션 21.2.13에 설명 된 우선 순위 스키마에 따라 EMIF의 최우선 순위 작업이되면 시작됩니다. 쓰기 요구가 외부 장치에 대한 단일 액세스 사이클에 의해 처리 될 수없는 경우 전체 요청이 충족 될 때까지 다중 액세스 사이클이 EMIF에 의해 수행됩니다. Select Strobe Mode의 비동기 쓰기 작업에 대한 자세한 내용은 표 21-22에 설명되어 있습니다. 또한 그림 21-13은 기본 쓰기 동작의 타이밍 다이어그램을 보여줍니다.

Table 21-22. 선택 스트로브 모드에서의 비동기 쓰기 동작

Turnaround period - 쓰기 작업이 EMIF에 대해 가장 우선 순위가 높은 작업이되면 EMIF는 작업의 설정 기간으로 진행하기 전에 프로그래밍 된 턴어라운드주기를 기다립니다. 대기 사이클 수는 비동기 n 구성 레지스터 (CEnCFG)의 TA 필드에서 직접 가져옵니다. 이 규칙에는 두 가지 예외가 있습니다.

• 현재 쓰기 작업이 다른 쓰기 작업에 의해 직접 진행된 경우 돌아 가기 사이클이

삽입.

• 현재 쓰기 작업이 직접 읽기 작업으로 진행되고 TA 필드가 지워진 경우

0으로 설정하면 한 턴 어라운드 사이클이 삽입됩니다.

EMIF가 턴어라운드 사이클이 완료되기를 기다린 후에 다시 쓰기 작업이 최우선 순위의 작업인지 다시 확인합니다.

그렇다면, EMIF는 동작의 설정 기간으로 진행한다.

더 이상 우선 순위가 높은 작업이 아닌 경우 EMIF는 작업을 종료합니다.

Start of the setup period -설정 작업이 시작될 때 다음 작업이 수행됩니다.

• 설정, 스트로브 및 홀드 값은 CEnCFG의 W\_SETUP, W\_STROBE 및 W\_HOLD 값에 따라 설정됩니다.

• 주소 핀 EMIF\_A 및 EMIF\_BA와 데이터 핀 EMIF\_D가 유효합니다. EMIF\_A 및 EMIF\_BA 핀은 21.2.6.1 절에 설명 된 값을 전달합니다.

• EMIF\_nDQM 핀은 바이트 인 에이블로 활성화됩니다.

Strobe period - 쓰기 작업의 스트로브 기간이 시작될 때 다음 작업이 발생합니다.

• EMIF\_nCS [n] (n = 2, 3 또는 4) 및 EMIF\_nWE가 떨어짐 스트로브 기간의 끝과 동시에 발생하는 클록의 상승 에지에서 다음 동작이 발생합니다.

• EMIF\_nCS [n] (n = 2, 3 또는 4) 및 EMIF\_nWE 상승 그림 21-13에서 EMIF\_nWAIT는 비활성입니다.

대신 EMIF\_nWAIT가 활성화되면 스트로브 기간을 연장 할 수 있습니다

데이터를 받아들이는 데 더 많은 시간을 줄 수 있습니다. 섹션 21.2.6.6에는 EMIF\_nWAIT 핀 사용에 대한 자세한 내용이 포함되어있다.

End of the hold period - 보류 기간이 끝나면 :

• 주소 핀 EMIF\_A 및 EMIF\_BA가 유효하지 않게됩니다.

• 데이터 핀이 유효하지 않게됩니다.

• EMIF\_nDQM 핀이 유효하지 않게됩니다.

EMIF는 데이터 버스 폭이 작은 장치에 추가 쓰기 작업을 요구하여 전체 단어 액세스를 완료하십시오. 이 경우, EMIF는 즉시 턴어라운드 사이클 지연을 발생시키지 않고 다른 동작을 시작하기 위해 셋업 기간에 다시 들어간다.

이 경우 설정, 스트로브 및 홀드 값은 업데이트되지 않습니다. 전체 단어 액세스가 완료되면 다른 비동기 요청이 제출되고 현재 가장 우선 순위가 높은 작업이 아닌 경우 EMIF는 이전 상태로 돌아갑니다. 이 경우 EMIF는 보류중인 읽기 또는 쓰기 작업을 위해 턴어라운드 (turn-around) 기간으로 직접 들어갑니다.

--------------------------------------------------------------------------------------------------------------------

(해석)p.797

Figure 21-13. 선택 스트로브 모드에서 비동기 쓰기 사이클의 타이밍 파형

(그림 참조)

21.2.6.6 확장 대기 모드 및 EMIF\_nWAIT 핀

EMIF는 확장 대기 모드를 지원합니다.

외부 비동기 장치가 스트로브 기간의 길이를 제어 할 수있는 모드입니다.

확장 대기 모드는 비동기 n 구성 레지스터 (CEnCFG) (n = 2, 3 또는 4)에 EW 비트를 설정하여 입력 할 수 있습니다.

이 비트가 설정되면 EMIF는 EMIF\_nWAIT 핀을 모니터링하여 연결된 장치가 현재 액세스 사이클의 스트로브 기간을 프로그래밍 된 클록 사이클 수를 초과하도록 확장할지 여부를 결정합니다.

EMIF가 EMIF\_nWAIT 핀이 어서 트되었음을 ​​감지하면 EMIF\_nWAIT 핀이 외부 장치에 의해 비활성화 될 때까지 여분의 스트로브 사이클을 동작에 삽입하기 시작합니다.

EMIF는 프로그래밍 된 스트로브 기간의 마지막 사이클로 돌아가고이 시점부터 정상적으로 작동 할 것입니다.

EMIF\_nWAIT 신호의 타이밍 요구 사항에 대한 자세한 내용은 장치 데이터 매뉴얼을 참조하십시오.

EMIF\_nWAIT 핀은 스트로브 기간을 무제한 연장하는 데 사용할 수 없습니다.

비동기 대기 사이클 구성 레지스터 (AWCC)의 프로그래밍 가능한 MAX\_EXT\_WAIT 필드는 스트로브 기간이 프로그래밍 된 길이 이상으로 확장 될 수있는 EMIF\_CLK 사이클의 최대 수를 결정합니다.

카운터가 만료되면 EMIF는 EMIF\_nWAIT 핀의 상태에 관계없이 연산의 보류 기간으로 진행합니다.

EMIF는이 ​​카운터가 만료되면 인터럽트를 생성 할 수도 있습니다.

이 인터럽트를 활성화하는 방법에 대한 자세한 내용은 21.2.9.1 절을 참조하십시오.

확장 대기 모드에서 EMIF가 올바르게 작동하려면 AWCC의 WPn 비트가 EMIF\_nWAIT 핀의 극성과 일치하도록 프로그래밍해야합니다. 리셋 상태 1에서 EMIF\_nWAIT 핀이 하이로 샘플링되면 EMIF는 대기 사이클을 삽입합니다.

0으로 설정하면 EMIF\_nWAIT가 로우로 샘플링 된 경우에만 EMIF가 대기 사이클을 삽입합니다.

이러한 프로그래밍 기능을 통해보다 다양한 종류의 비동기식 장치에 그루리스 (glueless) 연결이 가능합니다.

마지막으로, 확장 대기 모드에서 작동 할 때 스트로브주기 타이밍 매개 변수에 제한이 있습니다.

특히 W\_SETUP 및 W\_STROBE 필드의 합계가 4보다 커야하며 합계 EMIF\_nWAIT 핀을 인식하는 EMIF가 어설 션되어 있으므로 R\_SETUP 및 R\_STROBE 필드의 값은 4보다 커야합니다. W\_SETUP, W\_STROBE, R\_SETUP 및 R\_STROBE 필드는 CEnCFG에 있습니다.

--------------------------------------------------------------------------------------------------------------------

(해석)p.798

21.2.6.7 NOR 플래시 페이지 모드

EMIF는 비동기식 메모리 칩 선택에서 NOR 플래시에 대한 페이지 모드 읽기를 지원합니다.

이 모드는 칩 선택을 위해 페이지 모드 제어 레지스터의 CSn\_PG\_MD\_EN (n = 2, 3 또는 4) 필드에 1을 쓰면 활성화 될 수 있습니다.특정 칩 선택에 대해 페이지 모드 읽기가 활성화 될 때마다,

연결된 장치의 페이지 크기는 페이지 모드 제어 레지스터의 CSn\_PG\_SIZE 필드에도 프로그래밍해야합니다.유효한 판독 데이터 이용 가능 타이밍으로의 어드레스 변경은 페이지 제어 레지스터의 CSn\_PG\_DEL 필드에서 프로그래밍되어야한다. 다른 모든 비동기 메모리 타이밍은 비동기 구성 레지스터 (CEnCFG)에 프로그래밍해야합니다.

비동기 페이지 모드로 읽으려면 그림 21-14를 참조하십시오.

참고 : 페이지 모드에서 비동기 인터페이스를 사용하는 경우 확장 대기 모드 및 스트로브 선택 모드를 비활성화해야합니다.

Figure 21-14. 페이지 모드의 비동기 읽기

(그림 참조)

21.2.7 데이터 버스 주차

EMIF는 유휴 상태 일 때 항상 데이터 버스를 이전 쓰기 데이터 값으로 구동합니다. 이 기능은

데이터 버스 주차.EMIF가 외부 메모리에 읽기 명령을 내릴 때만 데이터 버스를 구동하지 않습니다. EMIF가 마지막으로 읽은 데이터를 래치 한 후 즉시 데이터 버스를 다시 정지시킵니다. 한 가지 예외가 비동기 읽기 작업을 수행 한 후이 문제가 발생하는 동안 EMIF가 자동 새로 고침 상태입니다. 이 상황에서, 읽기 동작은 EMIF가 데이터 버스를 파킹 한 후에 수행되지 않는다. 대신 EMIF는 데이터 버스를 3 상태로 설정합니다. 따라서 EMIF가 셀프 리프레시 상태 일 때 비동기 읽기 동작을 수행하여 데이터 버스의 부동 입력을 방지하는 것은 바람직하지 않습니다.

이 상황에서 읽기를 수행해야하는 경우 10kΩ 저항과 같은 외부 풀업을 16 개의 EMIF 데이터 버스 핀 (내부 풀업이 없음)에 배치해야합니다. 정확한 저항 값은 최악의 조합 된 오프 상태 누설 전류가 관련 핀의 전압 레벨을 고수준 입력 전압 요구 사항 아래로 떨어 뜨리지 않도록 선택해야한다.

셀프 리프레시 상태에 대한 정보는 21.2.5.7 절을 참조하십시오.

--------------------------------------------------------------------------------------------------------------------

(해석)p.799

21.2.8 재설정 및 초기화 고려 사항

EMIF 메모리 컨트롤러에는 2 개의 액티브 로우 리셋 신호 CHIP\_RST\_n 및 MOD\_G\_RST\_n이있다.

이 두 재설정 신호는 장치 시스템 재설정 신호에 의해 구동됩니다. 이 소자는 EMIF 컨트롤러의 메모리 맵 레지스터를 재설정하지 않고 EMIF 상태 머신 만 리셋 할 수있는 유연성을 제공하지 않는다.

장치 시스템 리셋이 해제되면 (High로 구동 됨) EMIF 메모리 컨트롤러가 즉시

초기화 시퀀스를 시작합니다. EMIF 메모리 컨트롤러 FIFO에 저장된 명령 및 데이터가 손실됩니다.

장치 시스템 리셋이 발생할 수있는 조건에 대한 자세한 내용은 기술 참조 설명서 (TRM)의 아키텍처 장을 참조하십시오.

시스템 리셋이 해제되면 EMIF는 21.2.5.4 절에 설명 된 SDRAM 초기화 시퀀스를 자동으로 실행하기 시작합니다.

초기화 절차가 자동이지만 21.2.5.5 절에있는 특수 절차를 따라야합니다.

21.2.9 인터럽트 지원

EMIF는 CPU에 대한 단일 인터럽트를 지원합니다.

21.2.9.1 절은 EMIF 인터럽트의 생성과 내부 마스킹에 대해 자세히 설명한다.

21.2.9.1 인터럽트 이벤트

EMIF가 CPU에 인터럽트를 생성하게하는 세 가지 조건이 있습니다. 이러한 조건은 다음과 같습니다.

• EMIF\_nWAIT 신호의 상승 에지 (대기 상승 인터럽트)

• 비동기식 타임 아웃

• 지원되지 않는 주소 지정 모드 (라인 트랩 인터럽트) 사용

대기 상승 인터럽트는 상승 에지가 EMIF\_nWAIT 신호에서 감지 될 때 발생합니다. 이 인터럽트 생성은 비동기 대기 사이클 구성 레지스터 (AWCC)의 WPn 비트의 영향을받지 않습니다.

비동기식 타임 아웃 인터럽트 조건은 첨부 된 비동기식 장치가 AWCC의 MAX\_EXT\_WAIT 비트에 의해 정의 된 사이클 수 내에 EMIF\_nWAIT 핀을 디어 스팅하지 못하는 경우에 발생합니다 (확장 대기 모드에서만 발생 함).

EMIF는 선형 증분 및 캐시 라인 랩 어드레싱 모드 만 지원합니다.

지원되지 않는 주소 지정 모드에 대한 액세스 요청이 수신되면 EMIF는 EMIF 인터럽트 원시 레지스터 (INTRAW)에 LT 비트를 설정하고 요청을 선형 증분 요청으로 처리합니다.

EMIF 인터럽트 마스크 세트 레지스터 (INTMSKSET)에 적절한 비트 (WR\_MASK\_SET / AT\_MASK\_SET / LT\_MASK\_SET)를 설정하여 인터럽트가 활성화 된 경우에만, 1로 설정하면 인터럽트가 CPU로 전송됩니다.

활성화되면, 인터럽트는 EMIF 인터럽트 마스크 클리어 레지스터 (INTMSKCLR)의 해당 비트에 1을 기록함으로써 디스 에이블 될 수있다. INTMSKSET 및 INTMSKCLR의 비트 필드는 인터럽트가 사용 가능한지 여부를 나타내는 데 사용될 수 있습니다. 인터럽트가 활성화되면 INTMSKSET 및 INTMSKCLR의 해당 비트 필드 값은 1이됩니다. 인터럽트가 비활성화되면 해당 비트 필드의 값은 0이됩니다.

EMIF 인터럽트 원시 레지스터 (INTRAW)와 EMIF 인터럽트 마스크 레지스터 (INTMSK)는 각 인터럽트의 상태를 나타냅니다.

INTRAW의 적절한 비트 (WR / AT / LT)는 인터럽트 조건이 발생할 때 인터럽트가 활성화되었는지 여부에 관계없이 설정됩니다. 그러나 INTMSK의 적절한 비트 (WR\_MASKED / AT\_MASKED / LT\_MASKED)는 인터럽트 조건이 발생하고 인터럽트가 활성화 된 경우에만 설정됩니다. INTRAW의 비트에 1을 쓰면 INTMSK의 해당 비트와 INTRAW 비트가 지워집니다.

표 21-23에는 인터럽트 상태 및 제어 비트 필드에 대한 간략한 요약이 나와 있습니다. 레지스터 필드에 대한 자세한 내용은 섹션 21.3을 참조하십시오.

--------------------------------------------------------------------------------------------------------------------

(해석)p.800

Table 21-23. 인터럽트 모니터 및 제어 비트 필드

EMIF interrupt raw register (WR) - 이 비트는 EMIF\_nWAIT 신호의 상승 에지가 발생할 때 설정됩니다.

1을 쓰면 WR 비트와 INT\_MK의 WR\_MASKED 비트가 지워집니다.

EMIF interrupt raw register (AT) -이 비트는 비동기 시간 초과가 발생할 때 설정됩니다. 1 지우기

INTMSK의 AT\_MASKED 비트와 AT 비트를 비교합니다.

EMIF interrupt raw register (LT) - 이 비트는 지원되지 않는 주소 지정 모드가 사용될 때 설정됩니다. 작문

1은 INTMSK의 LT\_MASKED 비트뿐만 아니라 LT 비트도 지 웁니다.

EMIF interrupt mask register (WR\_MASKED) - 이 비트는 EMIF\_nWAIT 신호의 상승 에지가 발생하고 인터럽트가 INTMSKSET의 WR\_MASK\_SET 비트에 1을 기록하여 활성화 된 경우에만 설정됩니다.

EMIF interrupt mask register (AT\_MASKED) -비동기 타임 아웃이 발생하고 인터럽트가 INTMSKSET의 AT\_MASK\_SET 비트에 1을 기록하여 활성화 된 경우에만이 비트가 설정됩니다.

EMIF interrupt mask register (LT\_MASKED) - 이 비트는 라인 트랩 인터럽트가 발생하고 INTMSKSET의 LT\_MASK\_SET 비트에 1을 기록하여 인터럽트가 활성화 된 경우에만 설정됩니다.

EMIF interrupt mask set register(WR\_MASK\_SET) - 이 비트에 1을 쓰면 대기 상승 인터럽트가 활성화된다.

EMIF interrupt mask set register(AT\_MASK\_SET) - 이 비트에 1을 쓰면 비동기 시간 초과 인터럽트가 활성화됩니다.

EMIF interrupt mask set register(LT\_MASK\_SET) - 이 비트에 1을 쓰면 라인 트랩 인터럽트가 활성화됩니다.

EMIF interrupt mask clear register(WR\_MASK\_CLR) - 이 비트에 1을 쓰면 대기 상승 인터럽트가 비활성화됩니다.

EMIF interrupt mask clear register(AT\_MASK\_CLR) - 이 비트에 1을 쓰면 비동기 시간 초과 인터럽트가 비활성화됩니다.

EMIF interrupt mask clear register(LT\_MASK\_CLR) - 이 비트에 1을 쓰면 라인 트랩 인터럽트가 비활성화됩니다.

21.2.10 DMA 이벤트 지원

EMIF 메모리 컨트롤러는 DMA 슬레이브 주변 장치이므로 DMA 이벤트를 생성하지 않습니다.

데이터 읽기 및 쓰기 요청은 마스터와 DMA가 직접 수행 할 수 있습니다.

21.2.11 EMIF 신호 다중화

EMIF 신호 멀티플렉싱에 대한 자세한 내용은 기술 참조 설명서의 I / O 멀티플렉싱 모듈 장을 참조하십시오.

21.2.12 메모리 맵

장치 메모리 맵을 설명하는 정보는 장치 별 데이터 시트를 참조하십시오.