**2.1 Introduction** ..................................................................................................... **102**

소개

**2.2 Memory Organization**........................................................................................ **109**

메모리 구성

**2.3 Exceptions**....................................................................................................... **127**

예외

**2.4 Clocks**............................................................................................................. **130**

시계(클럭)

**2.5 System and Peripheral Control Registers** ............................................................ **139**

시스템 및 주변 장치 제어 레지스터

***2.1.1 Architecture Block Diagram(p.102)***

아키텍처 블록 다이어그램

어디서: TMS570 플렛폼 아키텍처 기반인 RM57Lx 마이크로 컨트롤러

무엇: CPU 상호 연결 서브시스템(CPU Interconnect Subsystem)와 주변장치 상호 연결 서브시스템(Peripheral Interconnect Subsystem)

어떻게: 마스터와 슬레이브 사이를 상호 연결

***2.1.2 Definitions of Terms(p.104)***

용어 정리

무엇: 아키텍처 블록 다이어그램의 용어들을 정의함

***2.1.3 Bus Master / Slave Access Privileges(p.107)***

버스 마스터/ 슬레이브 액세스 권한

무엇: 버스 슬레이브 액세스 권한 향상시키기 위해 액세스 권한에 몇 가지 제한을 구현

***2.1.4 CPU Interconnect Subsystem SDC MMR Port(p.107)***

CPU상호 연결 서브 시스템 SDC MMR포트

어디서: CPU 상호 연결 서브시스템(CPU Interconnect Subsystem)의 다양한 상태 레지스터들 진단은 슬레이브 포트를 통해 접근한다,

무엇: 주변장치 상호 연결 서브시스템(Peripheral Interconnect Subsystem)에 특별한 슬레이브이다.

어떻게: FA00 0000의 시작주소를 메모리에 매핑

***2.1.5 Interconnect Subsystem Runtime Status(p.108)***

상호 연결서브 시스템 런타임 상태

무엇: 마이크로컨트롤러 안에 CPU 상호 연결 서브시스템(CPU Interconnect Subsystem)와 주변장치 상호 연결 서브시스템(Peripheral Interconnect Subsystem)

어떻게: 시스템으로 SCM(SCR Control Module)에 캡쳐된다

***2.1.6 Master ID to PCRx(p.108)***

마스터 ID – PCRx

무엇: 주변장치 상호 연결 서브시스템(Peripheral Interconnect Subsystem) 의 각 마스터 포트와 연관된 마스터 ID는 4-비트 값.

마스터 ID는 주소 및 제어 신호와 함께 3 개의 PCR 모듈로 전달됩니다.

PCR주소 및 제어 신호를 디코드하여 주변 장치를 선택합니다. 또한이 4 비트 마스터를 디코드함

***2.2.1 Memory Map Overview(p.109)***

메모리 맵 개요

무엇: Cortex-R5F는 32 비트 주소 버스를 사용하여 4GB의 메모리 공간에 액세스한다. 이 공간은 서로 다른 메모리 선택에 의해 어드레싱 된 여러 영역으로 나누어진다.

참고: 플래시의 플래시 메모리와 스왑은 0x08000000에 매핑 한 후에 만 512KB

0x08000000에서 0x0807FFFF까지의 메모리는 버스 마스터가 액세스 할 수 있습니다.

***2.2.2 Memory Map Table(p.111)***

메모리 맵 테이블

무엇: 각 모듈의 제어 및 상태 레지스터는 CPU의 4GB 메모리 공간에 매핑됩니다. 약간 모듈은 또한 이 공간 내에 매핑되는 연관된 메모리를 가지고 있습니다

***2.2.3 Flash on Microcontrollers(p.118)***

마이크로컨트롤러에 플래시

무엇: 마이크로컨트롤러는 프로그램 메모리로 사용하기 위해 플래시 4MB를 지원,

마이크로 컨트롤러는 에뮬레이트 된 EEPROM(저장장치 비휘발성)으로 사용하기 위해 별도의 128kB의 플래시 은행을 지원합니다

**2.2.3.1 Flash Bank Sectoring Configuration*(p.118)***

플래시 은행 섹터화 구성

무엇: 은행은 다수의 섹터로 분할, 플래시섹터는 플래시은행에서 가장 작은 지역이다

**2.2.3.2 ECC Protection for Flash Accesses*(p.119)***

플래시 엑세스에 대한 ECC보호

**2.2.3.3 Error Profiling Module (EPC) *(p.119)***

오류 프로파일링 모듈(EPC):

***2.2.4 On-Chip SRAM(p.122)***

온 칩 SRAM

무엇: 레벨 1과 레벨 2 SRAM 모두에서 읽기는 CPU 내부에서 계산 된 ECC에 의해 보호됩니다. 읽기는 다른 모든 메모리에서 구성 홀수 또는 짝수 패리티 방식 또는와 패리티 중 하나에 의해 보호됩니다

**2.2.4.1 PBIST RAM Grouping and Algorithm Mapping For On-Chip SRAM Modules*(p.122)***

온 칩 SRAM 모듈들의 위한 PBIST RAM 그룹화 및 알고리즘 매핑

**2.2.4.2 Auto-Initialization of On-Chip SRAM Modules*(p.125)***

온 칩 SRAM 모듈들의 자동 초기화

***2.3.1 Resets(p.127)***

재설정

RM57Lx 마이크로컨트롤러는 설명 된 조건 중 하나에 의해 재설정 가능, 각 리셋 조건은 시스템 예외 상태레지스터(SYSESR)에 표시

***2.3.2 Aborts(p.128)***

중단

ARM 코어 텍스 R5F프로세서의 메모리 시스템이 성공적으로 메모리 엑세스를 완료하지 못할경우 중단이됨.

**2.3.2.1 Prefetch Aborts*(p.128)***

프리페치 중단

명령페치에서 발생하는 오류로 인해

**2.3.2.2 Data Aborts*(p.128)***

데이터 중단

데이터엑세스시 발생하는 오류로 인해

**2.3.2.3 Precise Aborts*(p.128)***

정확 중단

중단은 정확과 부정확으로 분류됨

**2.3.2.4 Imprecise Aborts*(p.128)***

부정확 중단

중단은 정확과 부정확으로 분류됨

**2.3.2.5 Conditions That Generate Aborts*(p.129)***

중단을 발생하는 조건들

***2.3.3 System Software Interrupts(p.129)***

시스템 소프트웨어 인터럽트

시스템 모듈은 네 개의 소프트웨어 인터럽트까지 생성하는 능력을 제공한다.

인터럽트는 네 개의 시스템 소프트웨어 인터럽트 중 하나에 올바른 키 값을 작성하여 생성됨

***2.4.1 Clock Sources(p.130)***

클럭 소스

어떻게: 장치들은 최대 7개의 클럭소스 지원

**2.4.1.1 Enabling / Disabling Clock Sources*(p.130)***

클럭 소스 활성화 / 비활성화

**2.4.1.2 Checking for Valid Clock Sources*(p.130)***

유효한 클럭 소스 확인

***2.4.2 Clock Domains(p.131)***

클럭 도메인

장치의 클럭킹은 제어뿐만 아니라 다중 클럭 도메인으로 나뉜다, 10개의 클럭 도메인이 존재

**2.4.2.1 Enabling / Disabling Clock Domains*(p.132)***

클럭 도메인 활성화 / 비활성화

**2.4.2.2 Mapping Clock Sources to Clock Domains*(p.132)***

클럭 소스를 클럭 도메인에 매핑

***2.4.3 Low Power Modes(p.133)***

저전력 모드

3가지 특정 저전력 모드와 그 전형적인 특성에 대해 설명

**2.4.3.1 Typical Software Sequence to Enter a Low-Power Mode*(p.134)***

저전력 모드로 들어가기 위한 일반적인 소프트웨어 순서

**2.4.3.2 Special Considerations for Entry to Low Power Modes*(p.134)***

저전력 모드 진입 시 특별 고려 사항

**2.4.3.3 Selecting Clock Source Upon Wake Up*(p.134)***

구동할 때 클럭 소스 선택

***2.4.4 Clock Test Mode(p.134)***

클럭 테스트 모드

RM57Lx마이크로컨트롤러는 사용자가 여러 가지 다른 클럭을 가져올 수 있는 테스트 모드를 지원함

***2.4.5 Embedded Trace Macrocell (ETM-R5) (p.136)***

내장 트레이스 마크로셀

명령어의 트레이스를 위한 장치

***2.4.6 Safety Considerations for Clocks(p.136)***

클럭에 대한 안전 고려 사항

RM57Lx 마이크로컨트롤러는 몇 가지 안전필수 어플리케이션에서 사용하기 위해 개발

**2.4.6.1 Oscillator Monitor*(p.137)***

발진기 모니터

**2.4.6.2 PLL Slip Detector*(p.137)***

PLL슬립 검출기

**2.4.6.3 External Clock Monitor*(p.137)***

외부 클럭 모니터

**2.4.6.4 Dual-Clock Comparators*(p.137)***

듀얼 클럭 비교기

***2.4.6.4.1 DCC1(p.138)***

카운터 종류1

***2.4.6.4.2 DCC2(p.138)***

카운터 종류2

***2.5.1 Primary System Control Registers (SYS) (p.139)***

1차 시스템 제어 레지스터

SYSTEM 레지스터에 대한 설명, 이 레지스터는 2개의 개별프레임으로 분할

**2.5.1.1 SYS Pin Control Register 1 (SYSPC1) *(p.141)***

SYS핀 제어 레지스터1

**2.5.1.2 SYS Pin Control Register 2 (SYSPC2) *(p.141)***

SYS핀 제어 레지스터2

**2.5.1.3 SYS Pin Control Register 3 (SYSPC3) *(p.142)***

SYS핀 제어 레지스터3

**2.5.1.4 SYS Pin Control Register 4 (SYSPC4) *(p.142)***

SYS핀 제어 레지스터4

**2.5.1.5 SYS Pin Control Register 5 (SYSPC5) *(p.143)***

SYS핀 제어 레지스터5

**2.5.1.6 SYS Pin Control Register 6 (SYSPC6) *(p.143)***

SYS핀 제어 레지스터6

**2.5.1.7 SYS Pin Control Register 7 (SYSPC7) *(p.144)***

SYS핀 제어 레지스터7***)***

**2.5.1.8 SYS Pin Control Register 8 (SYSPC8) *(p.144)***

SYS핀 제어 레지스터8

**2.5.1.9 SYS Pin Control Register 9 (SYSPC9) *(p.145)***

SYS핀 제어 레지스터9

**2.5.1.10 Clock Source Disable Register (CSDIS) *(p.146)***

클럭 소스 비활성화 레지스터

**2.5.1.11 Clock Source Disable Set Register (CSDISSET) *(p.147)***

클럭 소스 비활성화 설정 레지스터

**2.5.1.12 Clock Source Disable Clear Register (CSDISCLR) *(p.148)***

클럭 소스 비활성화 클리어 레지스터

**2.5.1.13 Clock Domain Disable Register (CDDIS) *(p.149)***

클럭 도메인 비활성화 레지스터

**2.5.1.14 Clock Domain Disable Set Register (CDDISSET) *(p.150)***

클럭 도메인 비활성화 설정 레지스터

**2.5.1.15 Clock Domain Disable Clear Register (CDDISCLR) *(p.152)***

클럭 도메인 비활성화 클리어 레지스터

**2.5.1.16 GCLK, HCLK, VCLK, and VCLK2 Source Register (GHVSRC) *(p.154)***

GCLK, HCLK, VCLK 및 VCLK2 소스 레지스터

**2.5.1.17 Peripheral Asynchronous Clock Source Register (VCLKASRC) *(p.155)***

주변 비동기 클럭 소스 레지스터

**2.5.1.18 RTI Clock Source Register (RCLKSRC) *(p.156)***

RTI 클럭 소스 레지스터

**2.5.1.19 Clock Source Valid Status Register (CSVSTAT) *(p.157)***

클럭 소스 유효한 상태 레지스터

**2.5.1.20 Memory Self-Test Global Control Register (MSTGCR) *(p.158)***

메모리 자체 테스트 글로벌 제어 레지스터

**2.5.1.21 Memory Hardware Initialization Global Control Register (MINITGCR) *(p.159)***

메모리 하드웨어 초기화 글로벌 제어 레지스터

**2.5.1.22 MBIST Controller/ Memory Initialization Enable Register (MSINENA) *(p.160)***

MBIST컨트롤러/ 메모리 초기화 활성화 레지스터

**2.5.1.23 MSTC Global Status Register (MSTCGSTAT) *(p.161)***

MSTC글로벌 상태 레지스터

**2.5.1.24 Memory Hardware Initialization Status Register (MINISTAT) *(p.162)***

메모리 하드웨어 초기화 상태 레지스터

**2.5.1.25 PLL Control Register 1 (PLLCTL1) *(p.162)***

PLL 제어 레지스터1

**2.5.1.26 PLL Control Register 2 (PLLCTL2) *(p.164)***

PLL 제어 레지스터2

**2.5.1.27 SYS Pin Control Register 10 (SYSPC10) *(p.165)***

SYS 핀 제어 레지스터10

**2.5.1.28 Die Identification Register Lower Word (DIEIDL) *(p.166)***

다이 식별 레지스터 하위 워드

**2.5.1.29 Die Identification Register Upper Word (DIEIDH) *(p.166)***

다이 식별 레지스터 상위 워드

**2.5.1.30 LPO/Clock Monitor Control Register (LPOMONCTL) *(p.167)***

LPO / 클록 모니터 제어 레지스터

**2.5.1.31 Clock Test Register (CLKTEST) *(p.170)***

클록 테스트 레지스터

**2.5.1.32 DFT Control Register (DFTCTRLREG) *(p.172)***

DFT 제어 레지스터

**2.5.1.33 DFT Control Register 2 (DFTCTRLREG2) *(p.173)***

DFT 제어 레지스터2

**2.5.1.34 General Purpose Register (GPREG1) *(p.174)***

범용 레지스터

**2.5.1.35 System Software Interrupt Request 1 Register (SSIR1) *(p.175)***

시스템 소프트웨어 인터럽트 요청 1 레지스터

**2.5.1.36 System Software Interrupt Request 2 Register (SSIR2) *(p.176)***

시스템 소프트웨어 인터럽트 요청 2 레지스터

**2.5.1.37 System Software Interrupt Request 3 Register (SSIR3) *(p.177)***

시스템 소프트웨어 인터럽트 요청 3 레지스터

**2.5.1.38 System Software Interrupt Request 4 Register (SSIR4) *(p.178)***

시스템 소프트웨어 인터럽트 요청 4 레지스터

**2.5.1.39 RAM Control Register (RAMGCR) *(p.179)***

RAM 제어 레지스터

**2.5.1.40 Bus Matrix Module Control Register 1 (BMMCR1) *(p.180)***

버스 매트릭스 모듈 제어 레지스터1

**2.5.1.41 CPU Reset Control Register (CPURSTCR) *(p.180)***

클럭 리셋 제어 레지스터

**2.5.1.42 Clock Control Register (CLKCNTL) *(p.181)***

클럭 제어 레지스터

**2.5.1.43 ECP Control Register (ECPCNTL) *(p.182)***

ECP 제어 레지스터

**2.5.1.44 DEV Parity Control Register 1 (DEVCR1) *(p.183)***

DEV패리티 제어 레지스터1

**2.5.1.45 System Exception Control Register (SYSECR) *(p.183)***

시스템 예외 제어 레지스터

**2.5.1.46 System Exception Status Register (SYSESR) *(p.184)***

시스템 예외 상태 레지스터

**2.5.1.47 System Test Abort Status Register (SYSTASR) *(p.186)***

시스템 테스트 중단 상태 레지스터

**2.5.1.48 Global Status Register (GLBSTAT) *(p.187)***

글로벌 상태 레지스터

**2.5.1.49 Device Identification Register (DEVID) *(p.188)***

장치 식별 레지스터

**2.5.1.50 Software Interrupt Vector Register (SSIVEC) *(p.189)***

소프트웨어 인터럽트 백터 레지스터

**2.5.1.51 System Software Interrupt Flag Register (SSIF) *(p.190)***

시스템 소프트웨어 인터럽트 플래그 레지스터

***2.5.2 Secondary System Control Registers (SYS2) (p.191)***

보조 시스템 제어 레지스터

시스템 레지스터의 2프레임을 설명

**2.5.2.1 PLL Control Register 3 (PLLCTL3) *(p.192)***

PLL 제어 레지스터3

**2.5.2.2 CPU Logic Bist Clock Divider (STCLKDIV) *(p.193)***

CPU 논리 BIST 클럭 분배기

**2.5.2.3 ECP Control Register 1 (ECPCNTL1) *(p.194)***

ECP 제어 레지스터1

**2.5.2.4 Clock 2 Control Register (CLK2CNTRL) *(p.195)***

클럭 2 제어 레지스터

**2.5.2.5 Peripheral Asynchronous Clock Configuration 1 Register (VCLKACON1) *(p.196)***

주변 비동기 클럭 구성 1레지스터

**2.5.2.6 HCLK Control Register (HCLKCNTL) *(p.198)***

HCLK 제어레지스터

**2.5.2.7 Clock Slip Control Register (CLKSLIP) *(p.199)***

클럭 슬립 제어 레지스터

**2.5.2.8 IP ECC Error Enable Register (IP1ECCERREN) *(p.200)***

IP ECC 에러 활성화 레지스터

**2.5.2.9 EFUSE Controller Control Register (EFC\_CTLREG) *(p.201)***

퓨즈 컨트롤러 제어 레지스터

**2.5.2.10 Die Identification Register Lower Word (DIEIDL\_REG0) *(p.201)***

다이 식별 레지스터 하위 워드

**2.5.2.11 Die Identification Register Upper Word (DIEIDH\_REG1) *(p.202)***

다이 식별 레지스터 상위 워드

**2.5.2.12 Die Identification Register Lower Word (DIEIDL\_REG2) *(p.202)***

다이 식별 레지스터 하위 워드

**2.5.2.13 Die Identification Register Upper Word (DIEIDH\_REG3) *(p.202)***

다이 식별 레지스터 상위 워드

***2.5.3 Peripheral Central Resource (PCR) Control Registers(p.203)***

주변 중앙 자원 제어 레지스터

주변 중앙 자원 제어 레지스터에 설명, 세PCRx가 마이크로컨틀롤러 안에 있다.

**2.5.3.1 Peripheral Memory Protection Set Register 0 (PMPROTSET0) *(p.209)***

주변 메모리 보호 설정 레지스터0

**2.5.3.2 Peripheral Memory Protection Set Register 1 (PMPROTSET1) *(p.209)***

주변 메모리 보호 설정 레지스터1

**2.5.3.3 Peripheral Memory Protection Clear Register 0 (PMPROTCLR0) *(p.210)***

주변 메모리 보호 클리어 레지스터0

**2.5.3.4 Peripheral Memory Protection Clear Register 1 (PMPROTCLR1) *(p.210)***

주변 메모리 보호 클리어 레지스터1

**2.5.3.5 Peripheral Protection Set Register 0 (PPROTSET0) *(p.211)***

주변 보호 설정 레지스터0

**2.5.3.6 Peripheral Protection Set Register 1 (PPROTSET1) *(p.212)***

주변 보호 설정 레지스터1

**2.5.3.7 Peripheral Protection Set Register 2 (PPROTSET2) *(p.212)***

주변 보호 설정 레지스터2

**2.5.3.8 Peripheral Protection Set Register 3 (PPROTSET3) *(p.213)***

주변 메모리 보호 설정 레지스터3

**2.5.3.9 Peripheral Protection Clear Register 0 (PPROTCLR0) *(p.213)***

주변 보호 클리어 레지스터0

**2.5.3.10 Peripheral Protection Clear Register 1 (PPROTCLR1) *(p.214)***

주변 보호 클리어 레지스터1

**2.5.3.11 Peripheral Protection Clear Register 2 (PPROTCLR2) *(p.214)***

주변 보호 클리어 레지스터2

**2.5.3.12 Peripheral Protection Clear Register 3 (PPROTCLR3) *(p.215)***

주변 보호 클리어 레지스터3

**2.5.3.13 Peripheral Memory Power-Down Set Register 0 (PCSPWRDWNSET0) *(p.215)***

주변 메모리 파워 다운 설정 레지스터0

**2.5.3.14 Peripheral Memory Power-Down Set Register 1 (PCSPWRDWNSET1) *(p.216)***

주변 메모리 파워 다운 설정 레지스터1

**2.5.3.15 Peripheral Memory Power-Down Clear Register 0 (PCSPWRDWNCLR0) *(p.216)***

주변 메모리 파워 다운 클리어 레지스터0

**2.5.3.16 Peripheral Memory Power-Down Clear Register 1 (PCSPWRDWNCLR1) *(p.217)***

주변 메모리 파워 다운 클리어 레지스터1

**2.5.3.17 Peripheral Power-Down Set Register 0 (PSPWRDWNSET0) *(p.218)***

주변 파워 다운 설정 레지스터0

**2.5.3.18 Peripheral Power-Down Set Register 1 (PSPWRDWNSET1) *(p.219)***

주변 파워 다운 설정 레지스터1

**2.5.3.19 Peripheral Power-Down Set Register 2 (PSPWRDWNSET2) *(p.219)***

주변 파워 다운 설정 레지스터2

**2.5.3.20 Peripheral Power-Down Set Register 3 (PSPWRDWNSET3) *(p.220)***

주변 파워 다운 설정 레지스터3

**2.5.3.21 Peripheral Power-Down Clear Register 0 (PSPWRDWNCLR0) *(p.220)***

주변 파워 다운 클리어 레지스터0

**2.5.3.22 Peripheral Power-Down Clear Register 1 (PSPWRDWNCLR1) *(p.221)***

주변 파워 다운 클리어 레지스터1

**2.5.3.23 Peripheral Power-Down Clear Register 2 (PSPWRDWNCLR2) *(p.221)***

주변 파워 다운 클리어 레지스터2

**2.5.3.24 Peripheral Power-Down Clear Register 3 (PSPWRDWNCLR3) *(p.222)***

주변 파워 다운 클리어 레지스터3

**2.5.3.25 Debug Frame Powerdown Set Register (PDPWRDWNSET) *(p.222)***

디버그 프레임 파워다운 설정 레지스터

**2.5.3.26 Debug Frame Powerdown Clear Register (PDPWRDWNCLR) *(p.223)***

디버그 프레임 파워다운 클리어 레지스터

**2.5.3.27 MasterID Protection Write Enable Register (MSTIDWRENA) *(p.223)***

MasterID 보호 쓰기 활성화 레지스터

**2.5.3.28 MasterID Enable Register (MSTIDENA) *(p.224)***

MasterID 활성화 레지스터

**2.5.3.29 MasterID Diagnostic Control Register (MSTIDDIAGCTRL) *(p.225)***

MasterID진단 제어 레지스터

**2.5.3.30 Peripheral Frame 0 MasterID Protection Register\_L (PS0MSTID\_L) *(p.226)***

주변 프레임0 MasterID보호 레지스터 L

**2.5.3.31 Peripheral Frame 0 MasterID Protection Register\_H (PS0MSTID\_H) *(p.227)***

주변 프레임0 MasterID보호 레지스터 H

**2.5.3.32 Peripheral Frame n MasterID Protection Register\_L/H (PS[1-31]MSTID\_L/H) *(p.228)***

주변 프레임 N MasterID보호 레지스터 L/H

**2.5.3.33 Privileged Peripheral Frame 0 MasterID Protection Register\_L (PPS0MSTID\_L) *(p.229)***

권한 주변 프레임 0 MasterID 보호 레지스터 L

**2.5.3.34 Privileged Peripheral Frame 0 MasterID Protection Register\_H (PPS0MSTID\_H) *(p.230)***

권한 주변 프레임 0 MasterID 보호 레지스터 H

**2.5.3.35 Privileged Peripheral Frame n MasterID Protection Register\_L/H (PPS[1-7]MSTID\_L/H*)***

권한 주변 프레임 N MasterID보호 레지스터 L/H

**2.5.3.36 Privileged Peripheral Extended Frame 0 MasterID Protection Register\_L (PPSE0MSTID\_L) *(p.232)***

권한 주변 확장 프레임 0 MasterID 보호 레지스터 L

**2.5.3.37 Privileged Peripheral Extended Frame 0 MasterID Protection Register\_H (PPSE0MSTID\_H) *(p.233)***

권한 주변 확장 프레임 0 MasterID 보호 레지스터 H

**2.5.3.38 Privileged Peripheral Extended Frame n MasterID Protection Register\_L/H (PPSE[1-**

**31]MSTID\_L/H) *(p.234)***

권한 주변 확장 프레임 N asterID 보호 레지스터 L/H

**2.5.3.39 Peripheral Memory Frame MasterID Protection Register (PCS[0-31]MSTID) *(p.235)***

주변 메모리 프레임 MasterID 보호 레지스터

**2.5.3.40 Privileged Peripheral Memory Frame MasterID Protection Register (PPCS[0-7]MSTID*)***

권한 주변 메모리 프레임 MasterID 보호 레지스터