

湖南大学



实验名称	ALU 设计
学生姓名	李浪
学生学号	201308070223
专业班级	智能 1302

16 年 8 月 20 日

一. 实验目的及要求

设计实现一个简单 ALU，完成以下功能。并进行仿真

ALUC[2..0]	Func
0 0 0	and
0 0 1	or
0 1 0	add
1 1 0	sub
1 1 1	slt

二. 实验方案

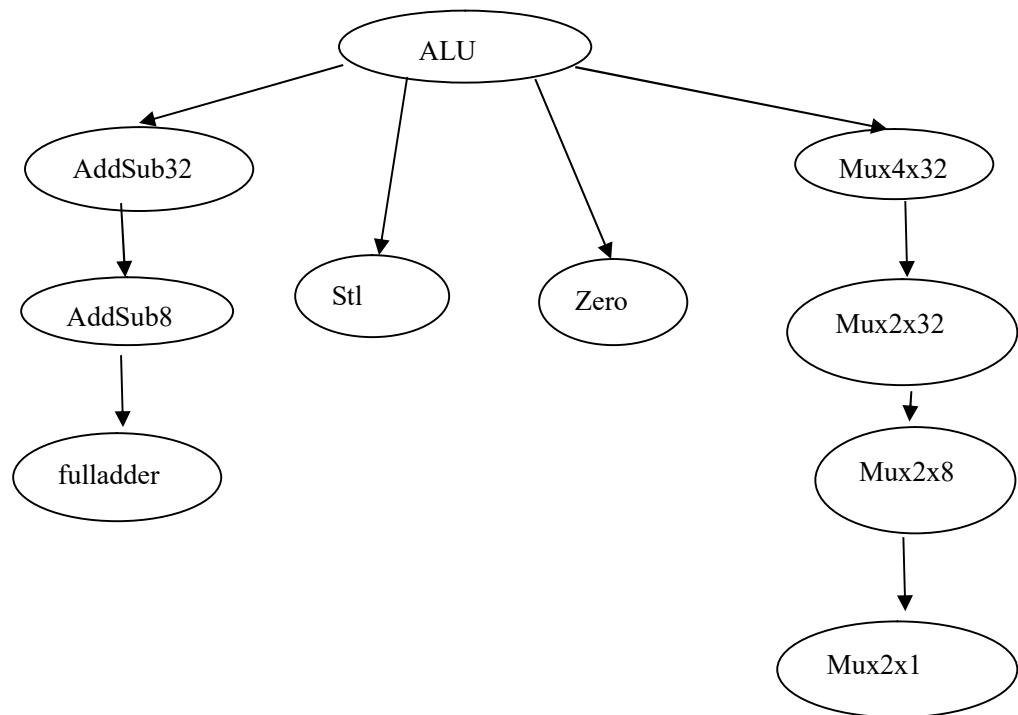
本次实验采用两个不同角度的实现方案：使用 Verilog 语言输入描述，使用电路原理图进行描述。由以上两种方法生成源文件，经 quartus 编译。另由 Verilog 语言编写 testbench。最终由 modesim 进行仿真。

三. 设计描述

在 Verilog 中以 aluc 作为测试变量，采用 case 条件分支语句实现对不同功能的选择。

```
always@(src1 or src2 or aluc)
case(aluc)
3'b000: result <= src1 && src2;
3'b001: result <= src1 || src2;
3'b010: result <= src1 + src2;
3'b110: result <= src1 - src2;
3'b111:
    if(src1 < src2)
        result <= 1;
    else
        result <= 0;
endcase
```

在电路原理图中采用自顶向下的设计方法，即：



在 testbench 中随机生成输入操作数 src1,src2 操作码 aluc.

```

initial
for(i=0; i<255; i=i+1)
begin
#50 aluc = op[{$random}%5];

end

```

```

initial
for(j=0; j<255; j=j+1)
begin
#50 src1 = {$random}%100;

end

```

```

initial
for(k=0; k<255; k=k+1)
begin
#50 src2 = {$random}%100;

end

```

对目标木块 alu 进行测试，并输出结果。

```

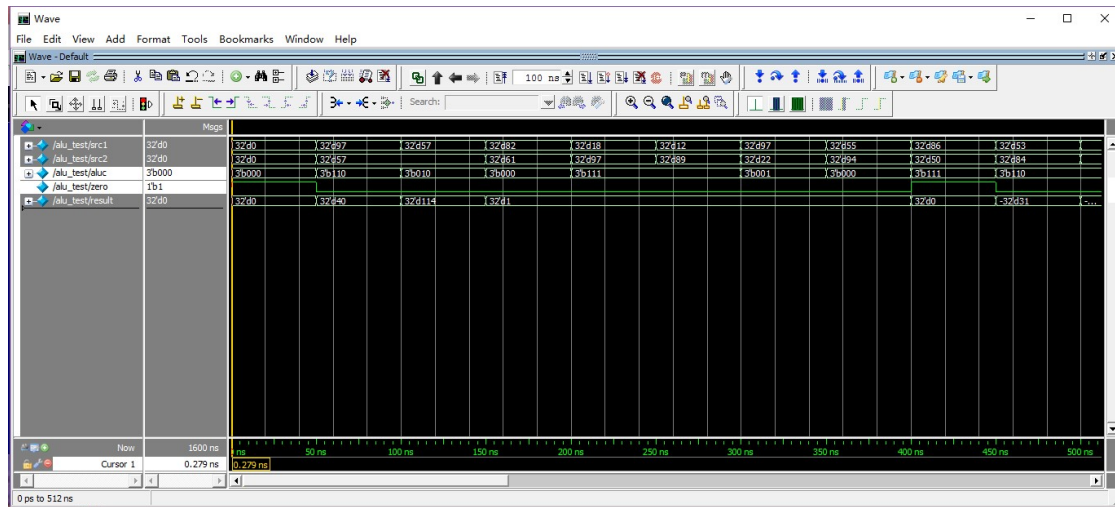
alu alu1(src1,src2,aluc,zero,result);
initial
begin
$monitor("%d  %b  %d  == %d...%b",src1,aluc,src2,$signed(result),zero);

end

```

四. 实验记录

RTL 仿真波形:



文件输出：

run

#	0 000	0 ==	0...1
---	-------	------	-------

97 110 57 == 40...0

run

57 010 57 == 114...0

82 000 61 == 1...0

run

18 111 97 == 1...0

#	12	111	89	==	1...0
---	----	-----	----	----	-------

run

97 001 22 == 1...0

55 000 94 == 1...0

run

86 111 50 == 0...1

53 110 84 == -31...0

run

29 110 89 == -60...0

#	90	110	28	==	62...0
---	----	-----	----	----	--------

run

14 001 21 == 1...0

31 010 61 == 92...0

run

55 110 85 == -30...0

#	82	110	81	==	1...0
---	----	-----	----	----	-------

run

$$\# \quad 47 \quad 111 \quad 70 \quad == \quad 1...0$$

#	8 001	6 ==	1...0
---	-------	------	-------

```

run
#          57  000          4  ==          1...0
#          49  000          27  ==          1...0
run
#          26  001          86  ==          1...0
#          94  111           3  ==          0...1
run
#          41  110          75  ==         -34...0
#          94  001          42  ==          1...0
run
#          53  001          61  ==          1...0
#          48  111          79  ==          1...0
run
#          20  000          43  ==          1...0
#          64  110          19  ==         45...0
run
#          61  010          52  ==         113...0
#          45  001          70  ==          1...0
run
#          14  111           4  ==          0...1
#          25  001          58  ==          1...0

```

五. 实验分析与结论

从仿真结果可以看出，对于既定指令和输入 ALU 能够输出正确结果。由于 ALU 中的加减法器采用的是行波进位加减法器，故此效率不佳，可更改为相对高效但复杂的超前进位加法器。

六. 附录

1. Verilog 源文件
2. Testbench 源文件
3. Alu 电路原理图
4. Addsub32 电路原理图
5. Addsub8 电路原理图
6. Fulladder 电路原理图
7. Stl 电路原理图
8. Zero 电路原理图
9. Mux4x32 电路原理图
10. Mux2x32 电路原理图

11. Mux2x8 电路原理图
12. Mux2x1 电路原理图
13. 仿真波形图