

Verilog 设计提示:

- 用电路图的思路来设计与实现，代码是并行的，不要以高级语言的方式来理解
- 实验报告注意文档格式，应以电路或模块图为主，不要直接贴代码
- 避免除法，取模等运算
- 注意Wire和Reg的区别
- 模块化设计，尽量实现通用模块库，在设计中复用模块
- 设计时需要注意时序问题，可以自己画一下时序图或状态转移图，确定自己的思路是正确的再开始编程
- Debug时分模块调试，先确定基础功能有没有问题
- 可以引出测试引脚，方便在无法仿真的条件下进行调试