

## Travaux pratiques 4

Synthèse du système de contrôle pour un four à micro-ondes

IESE5/MISTRE – Polytech Grenoble

### Objectif

Dans ce TP nous continuons la conception de notre système de contrôle pour un four à micro-ondes (uniquement la partie contrôleur). Nous allons maintenant réaliser des synthèses ASIC avec *LeonardoSpectrum*.

### 1 Synthèse avec LeonardoSpectrum

Afin de réaliser la synthèse de votre modèle, vous devez suivre les instructions suivantes :

- Exécutez le script de configuration qui se trouve dans le répertoire `Confleonardo`
- Ajoutez à votre contexte de simulation un répertoire `Synth` dans lequel vous allez réaliser la synthèse (ce répertoire existe déjà sur vos comptes).
- Accédez au répertoire et lancez l'outil par la commande `leonardo`, puis choisissez *LeonardoSpectrum Level 3*. Dans le menu `Tools`, choisissez `FlowTabs`.
- Dans l'onglet `Technology`, sélectionnez `ASIC` → `AMS` → `C35 0.35u CORELIB` (Figure 1), puis cliquez sur "Load Library".

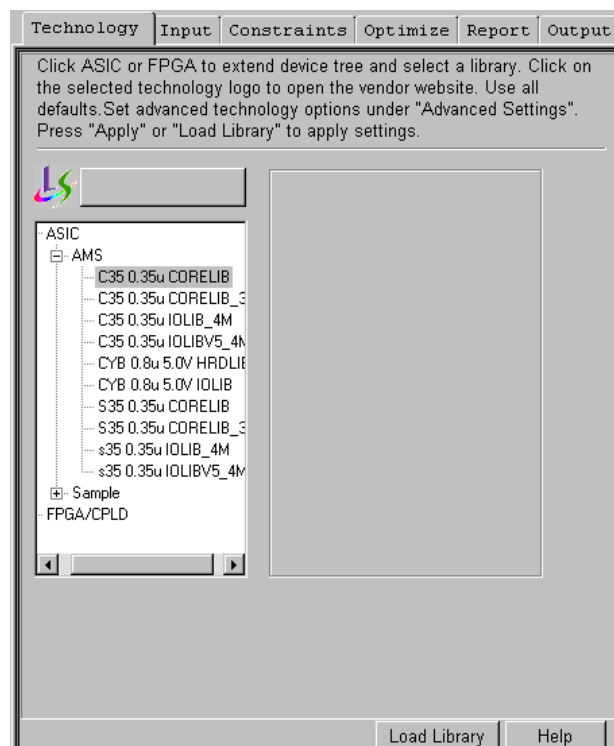


Figure 1 – Sélection du C35 0.35u CORELIB

- Passez à l'onglet **Input** (Figure 2), et choisissez le fichier VHDL contenant la description comportementale, par "Open files", et choisissez le style de codage (par exemple **Binary**), puis cliquez sur **Read**. A noter que vous pouvez à tout moment observer les logs de Leonardo dans le frame de droite ; ici par exemple vous pouvez voir le codage défini. Attention aussi aux éventuels warnings, notamment concernant les sorties - **Ne laisser aucun warning**.

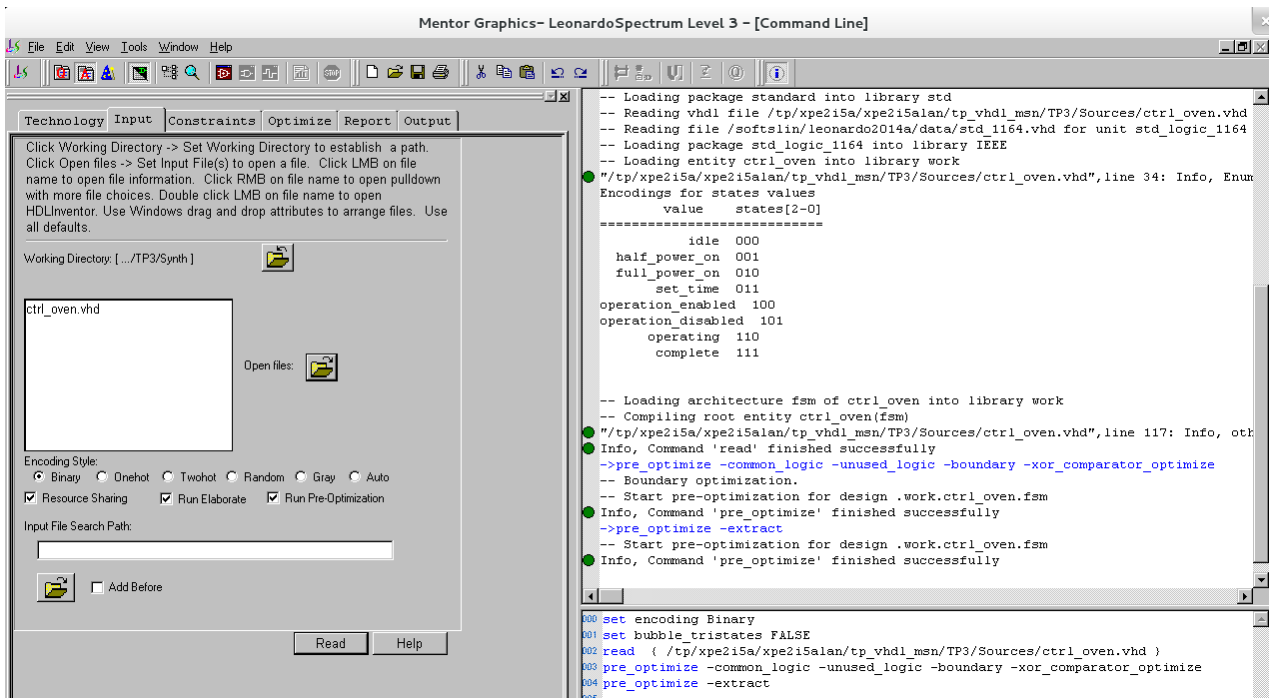


Figure 2 – Sélection du style de codage

- Dans l'onglet **Optimize**, vous pouvez fixer des préférences pour l'optimisation (prendre par exemple optimisation de "area"), puis cliquez sur "Optimize".
- L'onglet **Report** permet d'obtenir des rapports écrits (dans des fichiers) sur la surface et le chemin critique du circuit produit (utiliser les sous-onglets **Report area** et **Report delay**).
- Enfin, dans l'onglet **Output** (Figure 3), vous pouvez faire générer le source VHDL du circuit synthétisé (cliquez sur "Write").

**Attention :** Pour pouvoir faire ensuite des simulations, il faudra éditer ce fichier et ajouter :

```
library c35_CORELIB;
use c35_CORELIB.vcomponents.all;
```

- Vous pouvez voir le schéma du circuit en cliquant sur le bouton "View RTL Schematic". Et le bouton "View Technology Schematic" vous permet de voir le schéma après mapping sur la bibliothèque de cellules utilisée (désélectionner **Multipage Schematics**, dans **Schematic Viewer**, pour voir l'intégralité du schéma).

**Question 1.1.** Réalisez la synthèse dans 3 versions différentes et discutez en détail les résultats obtenus :

- Codage binaire classique de l'état,
- Codage de Gray,
- Codage One hot.

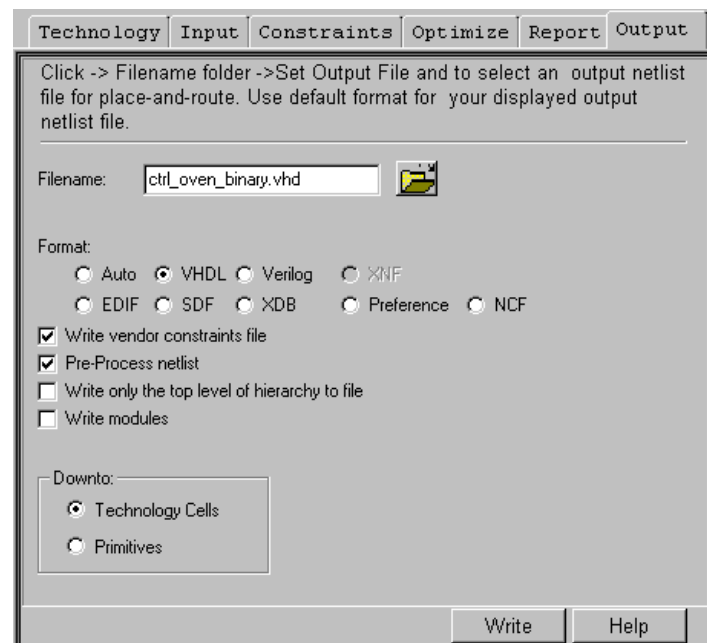


Figure 3 – Génération du VHDL du circuit synthétisé

**Question 1.2.** Procédez à l’analyse comparative des résultats obtenus <sup>1</sup> :

- codage,
- nombre de flip-flops utilisés (de quelles cellules s’agit-il ?),
- surface (partie combinatoire et mémorisant ; noter le nom de la bibliothèque de cellules utilisée),
- fréquence.

**Attention :** Assurez-vous que vous n’avez pas obtenu de latches ou de flip-flops non attendus. Conclusions ?

**Question 1.3.** Réalisez des simulations, avec le(s) même(s) testbench(es), de votre design avant et après synthèse (dans les 3 versions) et vérifiez que les résultats sont cohérents (pour chaque version de circuit synthétisé). Faites-en sorte de placer dans la même simulation une instance du composant avant synthèse et une instance du composant après synthèse, pour pouvoir aisément comparer les chronogrammes. Discutez soigneusement vos résultats.

**Attention :** On portera une attention particulière à l’état du système (il faudra avoir bien noté le codage utilisé et les noms des signaux générés).

1. A noter que vous pouvez trouver la description des cellules de la bibliothèque c35 en consultant [file:///soft11/AMS\\_3.60\\_CDS/www/databooks/c35/databook\\_c35\\_33/index.html](file:///soft11/AMS_3.60_CDS/www/databooks/c35/databook_c35_33/index.html)