

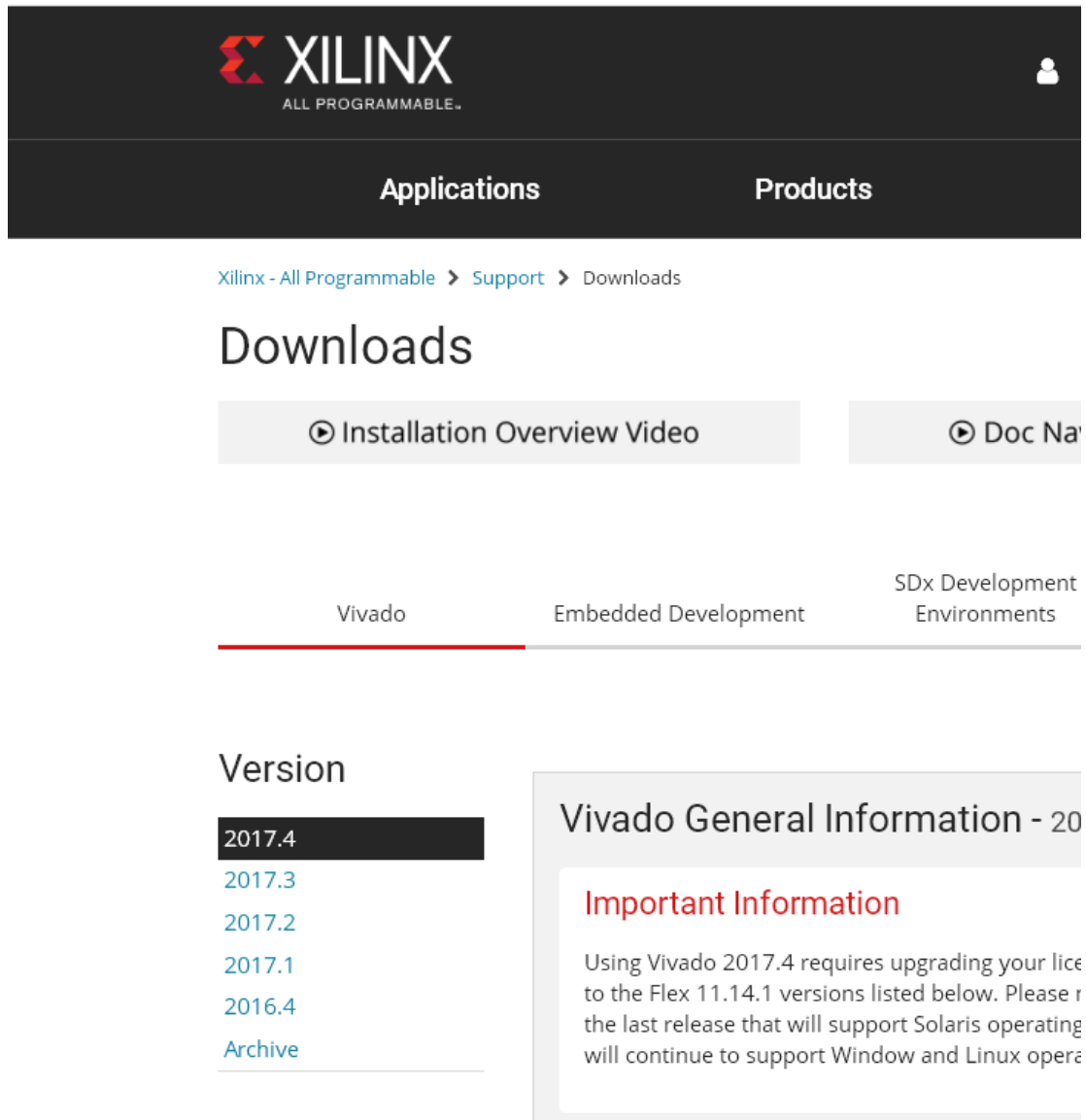
1.1 章节简介

本节讲解如何安装 XILINX Vivado2017.4。

1.2 Vivado 简介

Vivado 设计套件，是 FPGA 厂商赛灵思(XILINX)公司 2012 年发布的集成设计环境。ISE 是 Vivado 之前的上一代开发工具，自 14.7 版本(对应 Vivado 2013.3)后已经停止开发了。Vivado 是 ISE 后的新一代开发工具，运行时间更短，对复杂设计更容易收敛。Vivado 软件可到 XILINX 官网 (www.xilinx.com) 下载或使用本课程提供的实验资料(百度网盘)中下载。下面介绍 Vivado 2017.4 软件的安装。

 <https://www.xilinx.com/support/download.html>



XILINX
ALL PROGRAMMABLE

Applications Products

Xilinx - All Programmable > Support > Downloads

Downloads

▶ Installation Overview Video ▶ Doc Na

Vivado Embedded Development SDx Development Environments

Version

- 2017.4
- 2017.3
- 2017.2
- 2017.1
- 2016.4
- Archive

Vivado General Information - 20

Important Information

Using Vivado 2017.4 requires upgrading your license to the Flex 11.14.1 versions listed below. Please refer to the last release that will support Solaris operating system. Vivado 2017.4 will continue to support Windows and Linux operating systems.

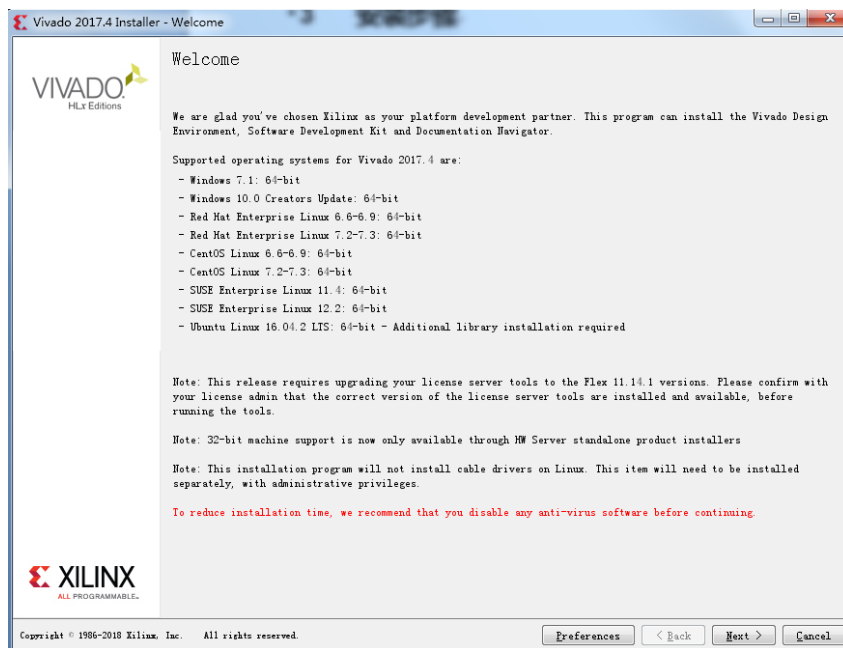
1.3 安装步骤

教程中 vivado2017.4 安装过程是在 win7 64 位下进行的,在解压后的 vivado 软件中找到“xsetup.exe”安装文件。**注意：安装包不能解压在有中文路径的目录下。**

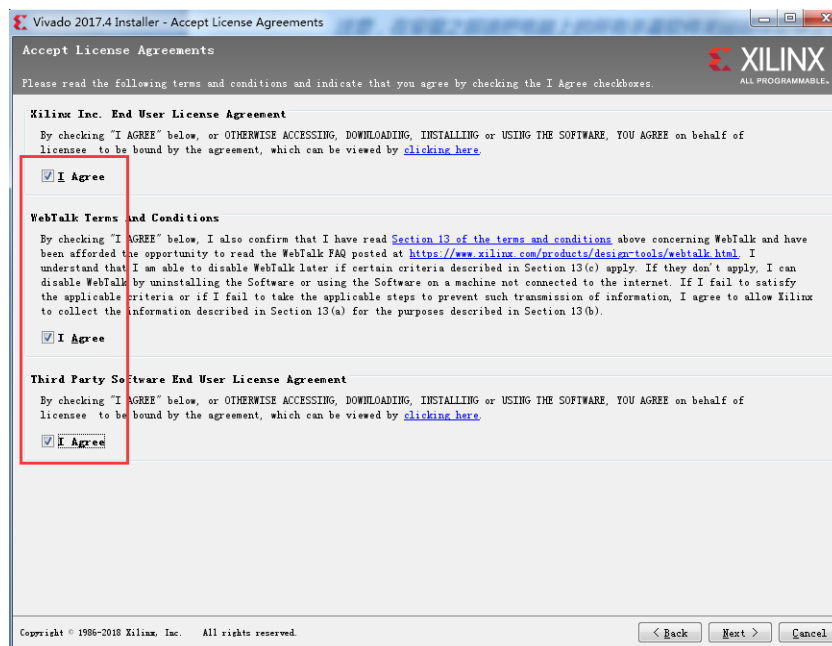
注意，在安装之前请把电脑上的所有杀毒软件关闭确保能够正常安装

vccorlib140.dll	2017/12/16 12:13	应用程序扩展	265 KB
vcruntime140.dll	2017/12/16 12:13	应用程序扩展	84 KB
xsetup	2017/12/16 12:13	文件	3 KB
xsetup.exe	2017/12/16 11:58	应用程序	435 KB

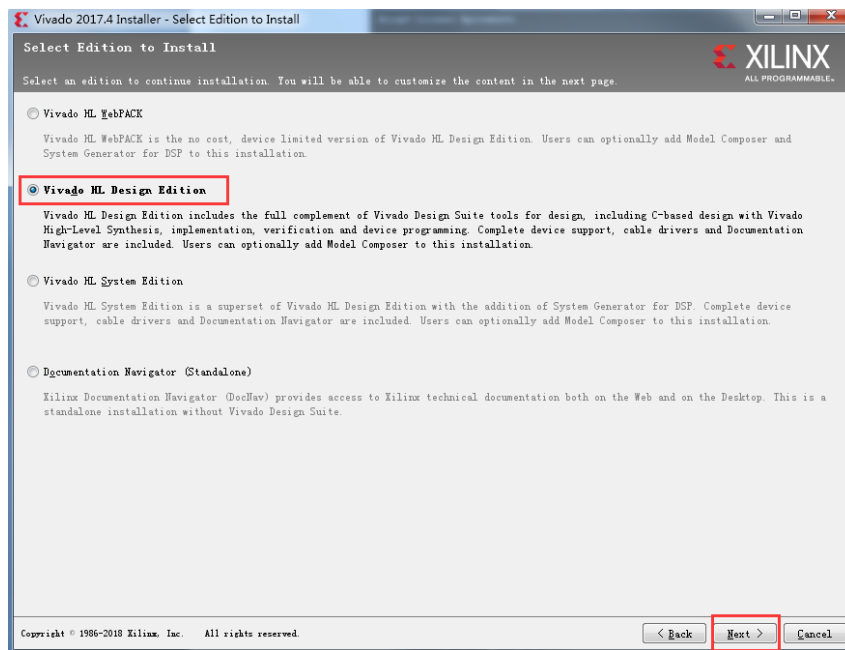
1. 双击“xsetup.exe”出现如下界面，点击“Next”，



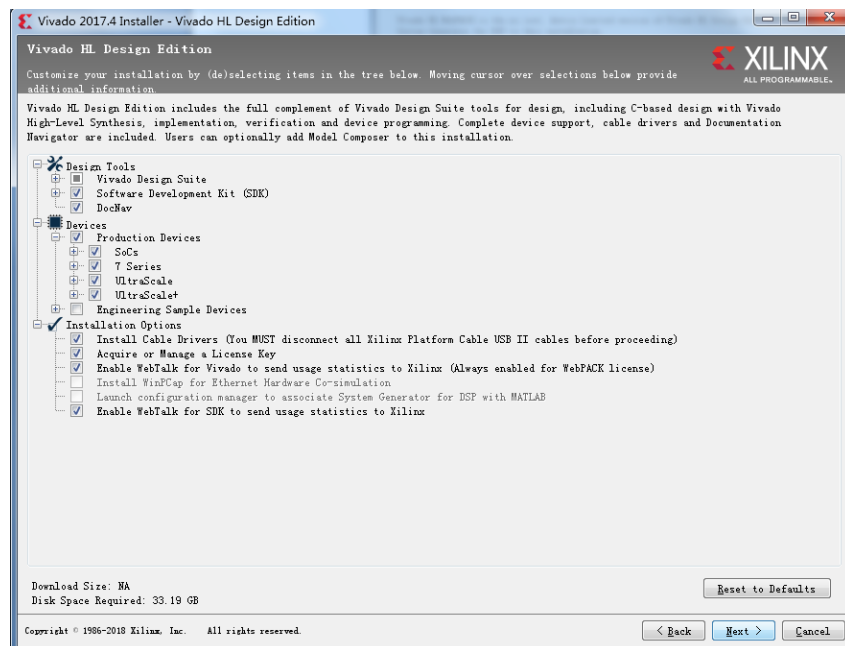
2. 选中 3 个 I Agree（如下图）后点击“Next”，



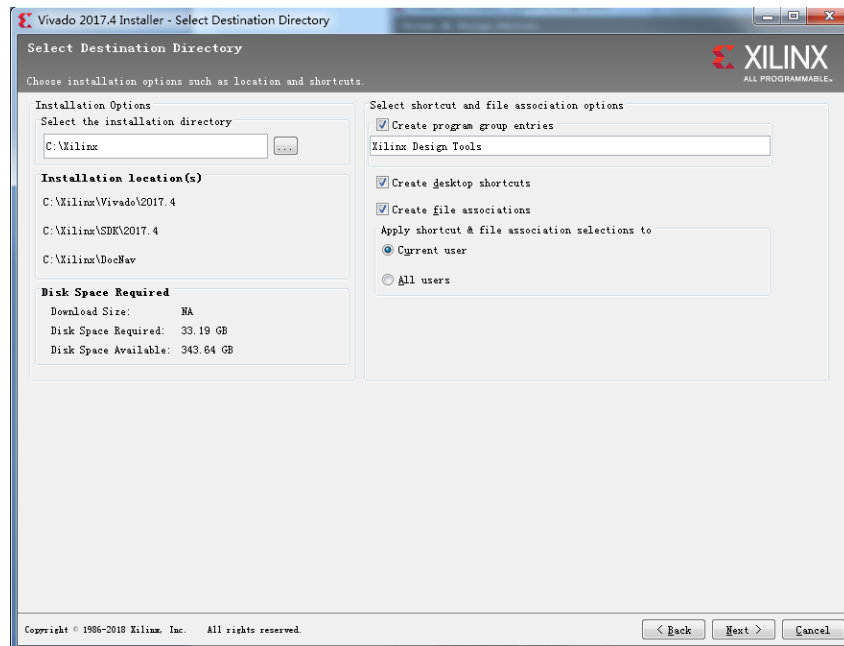
3. 勾选如下图所示后点击“Next”，



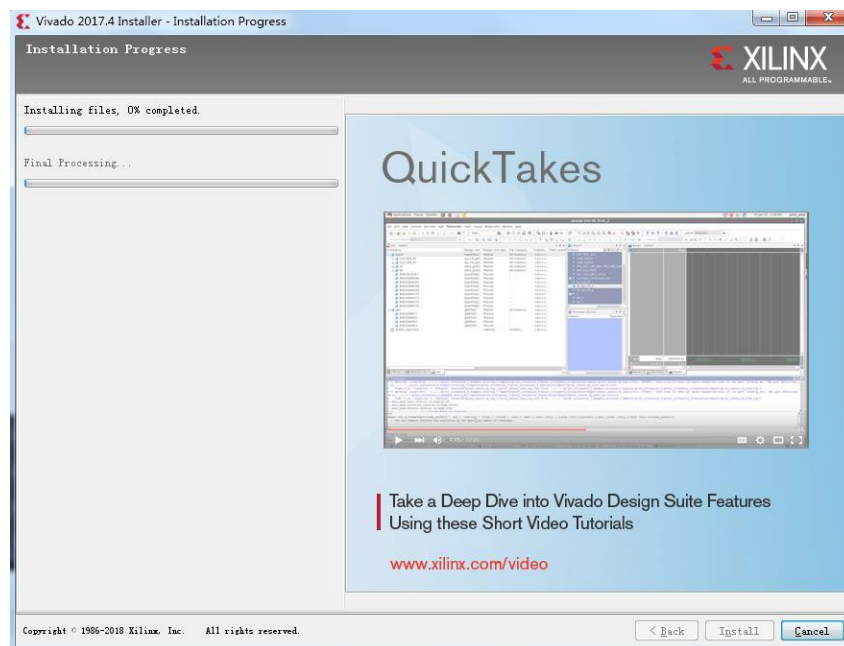
4. 这里保持默认勾选项，点击“Next”，



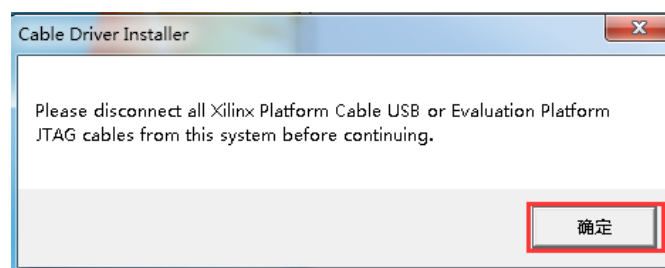
5. 确保所选的安装路径（如需修改路径不能有中文字符，空格等特殊字符，同时电脑的用户名不能有中文，否则安装后不能正确运行。）有足够的空间，保持默认，点击“Next”，



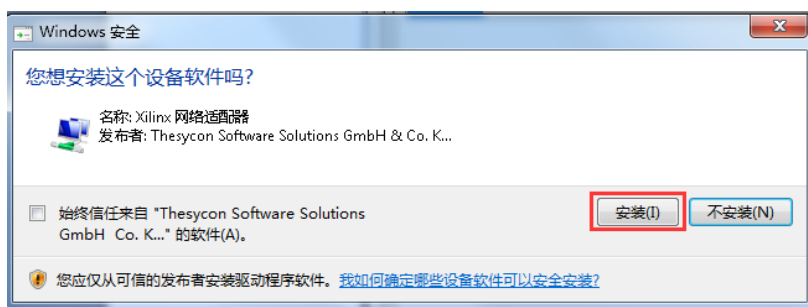
6. 在弹出如下界面前保持默认即可，安装需要一段时间，请耐心等待，



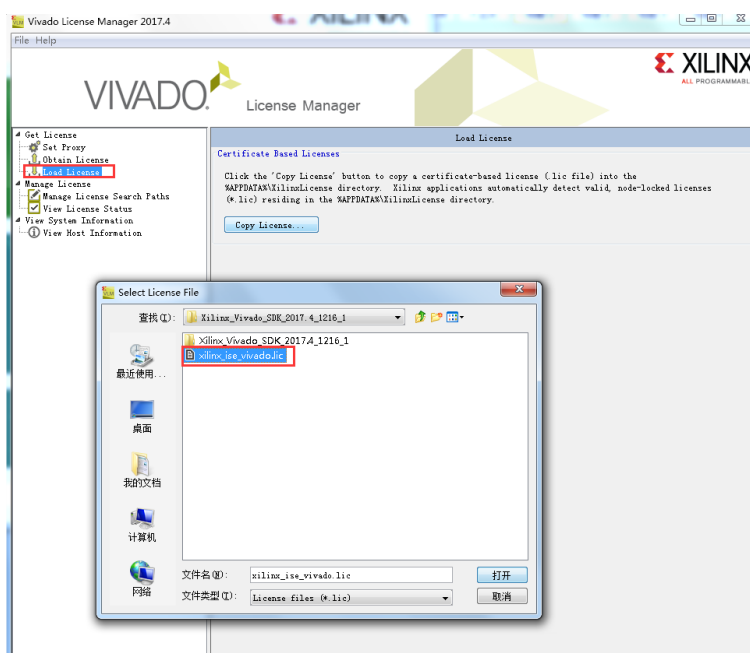
7. 在安装过程中弹出如下界面后，点击“确定”继续，



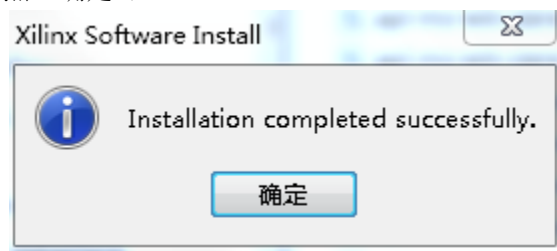
8. 在安装过程中弹出如下界面后，点击“安装”继续，



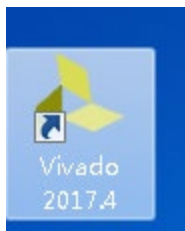
9. 安装 license，在实验资料中找到 xilinx_ise_vivado.lic 文件进行安装，



10. 安装完成后，点“确定”，



11. 到此一般 VIVADO 安装后就可以工作了。

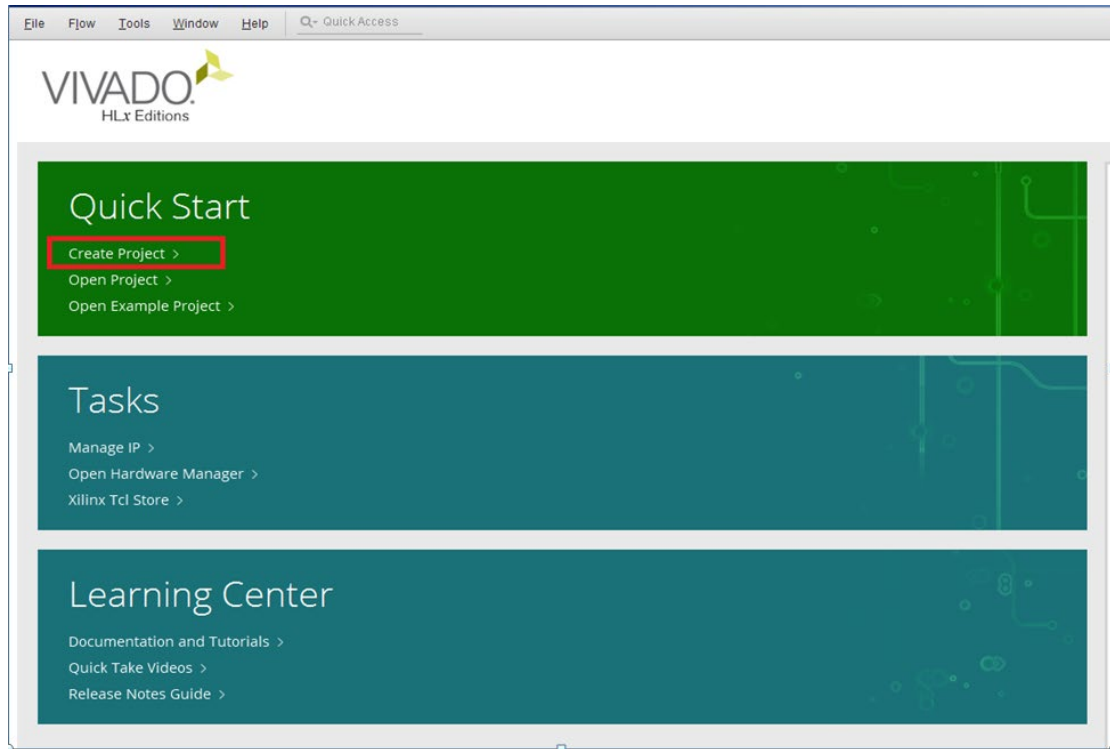


2.1 章节简介

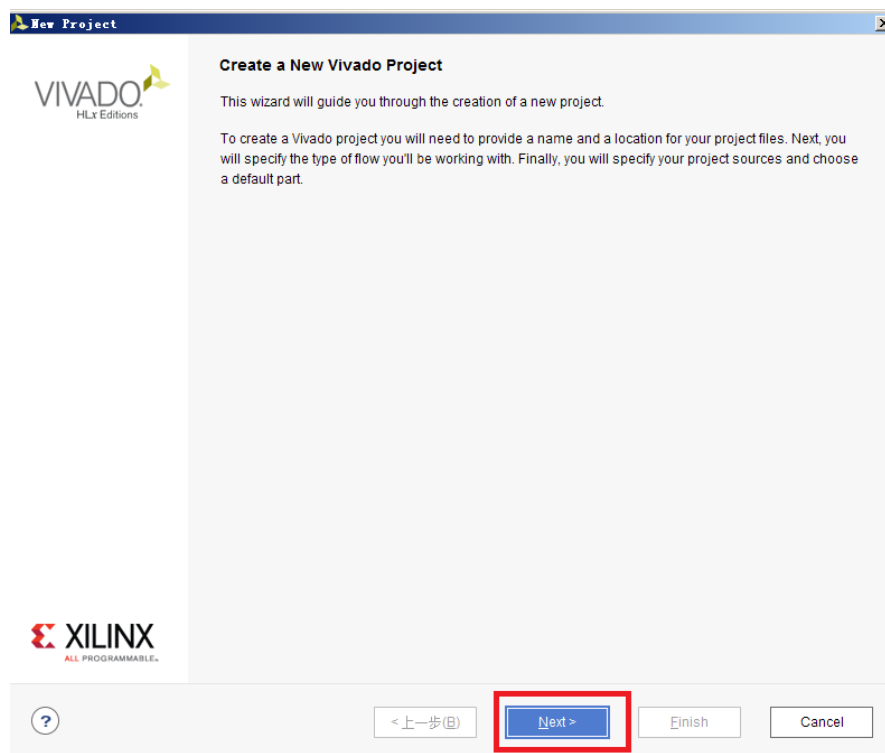
本章通过流水灯实验，介绍如何使用 vivado 软件进行仿真。

2.2 创建工程

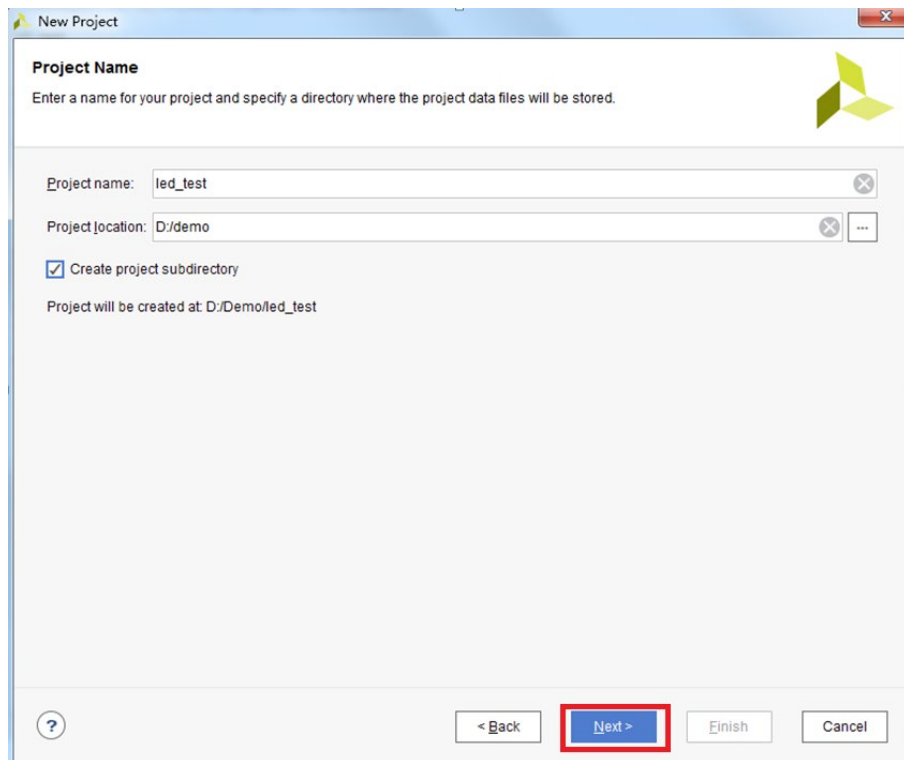
1. 双击桌面的 Vivado 2017.4 的图标直接打开软件，
2. 在 Vivado 2017.4 开发环境里，双击 Create Project，如下图：



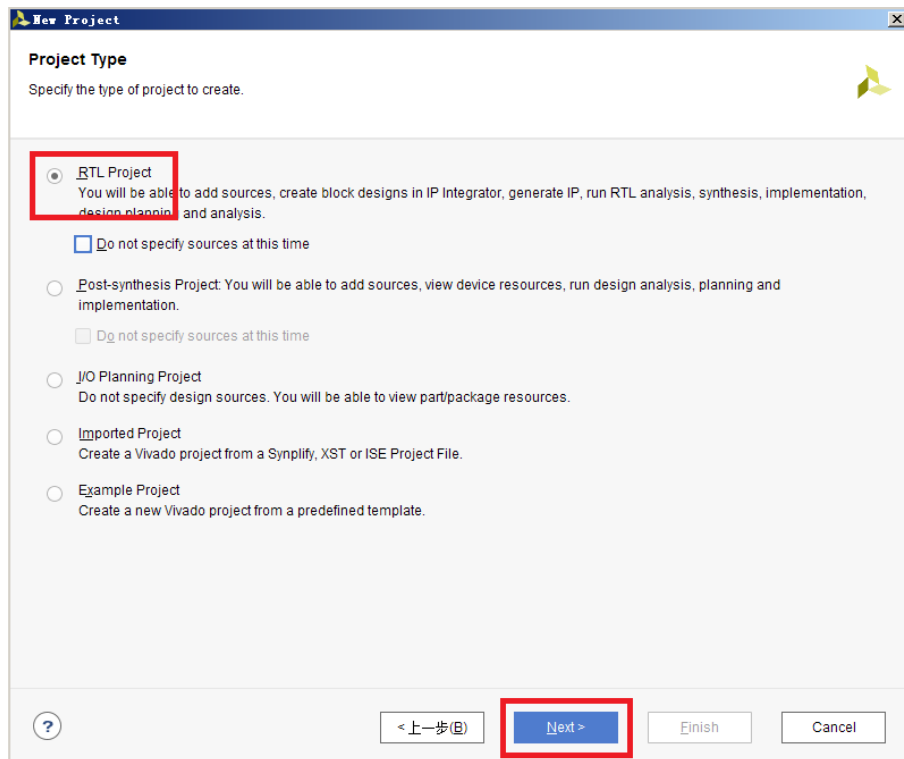
3. 弹出一个 Vivado 的工程向导，点击 Next，



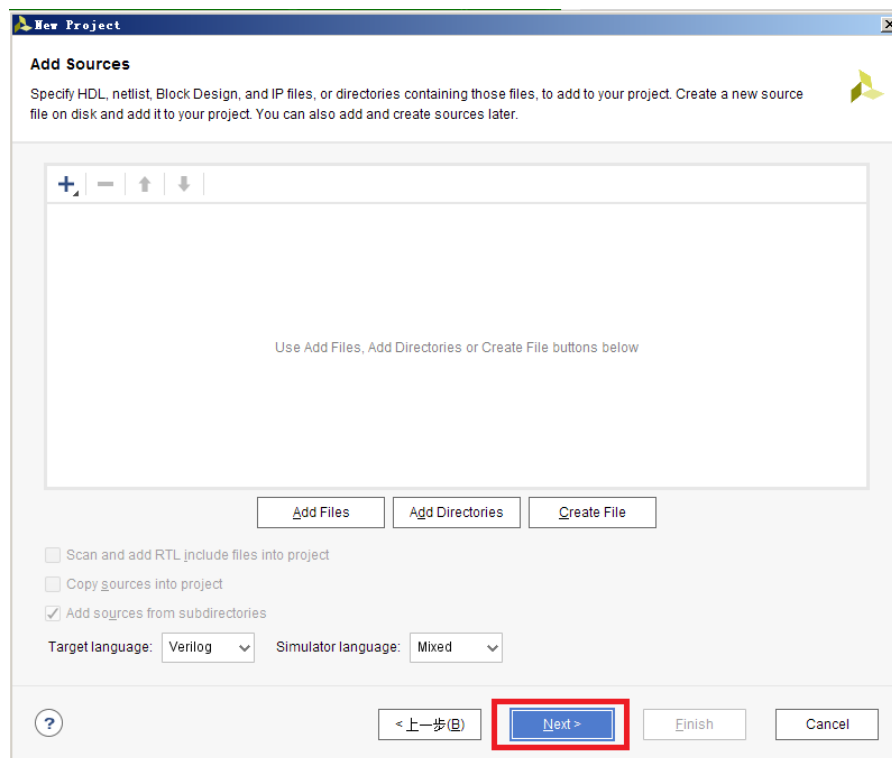
4. 在弹出的对话框中输入工程名和工程存放的目录，这里取一个 led_test 的工程名，点击 Next，



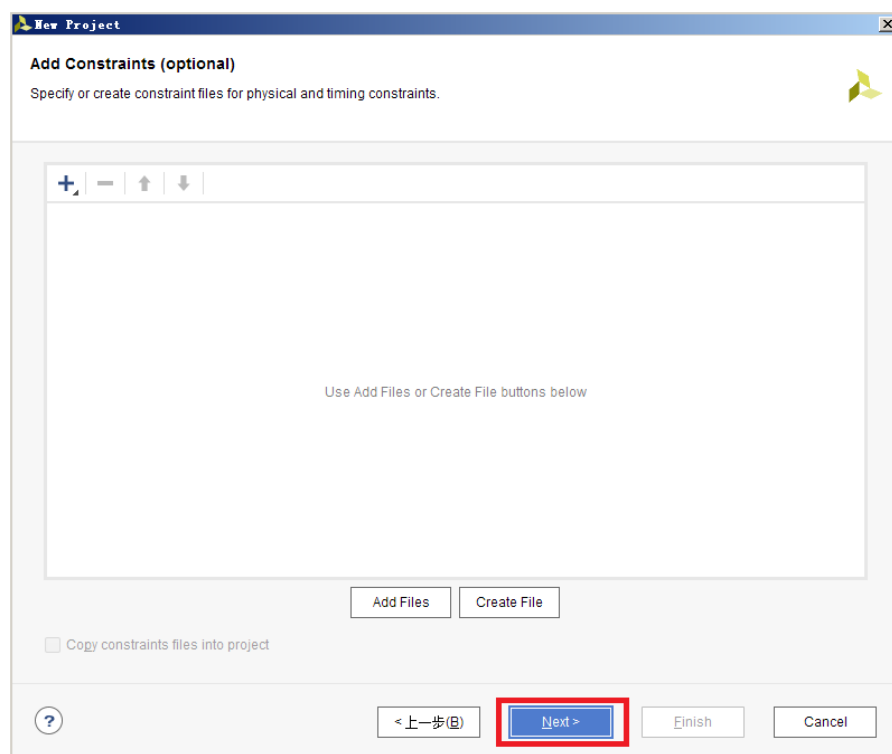
5. 在下面的对话框中选择 RTL Project，点击 Next，



6. 进入添加 source file 界面，这里先不添加任何设计文件，点击 Next，



7. 这里也不添加任何约束文件，点击 Next，



8. 在接下来的对话框选择所用的 FPGA 器件，以及进行一些配置。由于本课程仅用到了仿真操作，因此可以任选一个器件，或按如下操作选择器件。首先在 Family 栏里选择 Spartan-7，Speed grade 栏选择 -1，在 Package 栏选择 fgga484，然后在下面的列表中选择 xc7s50fgga484-1，点击 Next，

New Project

Default Part
Choose a default Xilinx part or board for your project. This can be changed later.

Select: ☒ Parts ☐ Boards

Filter

Product category: All Speed grade: -1

Family: Spartan-7 Temp grade: All Remaini...

Package: fgga484

Reset All Filters

Search:

Part	I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAMs	DSPs	Gb Transceivers	GTPE2 Transceiv
xc7s50fgga484-1	484	250	32600	65200	75	0	120	0	0
xc7s75fgga484-1	484	338	48000	96000	90	0	140	0	0
xc7s100fgga484-1	484	338	64000	128000	120	0	160	0	0

< Back **Next >** Finish Cancel

9. 点击“Finish”完成工程创建。

New Project

VIVADO
HLx Editions

New Project Summary

- A new RTL project named 'led_test' will be created.
- No source files or directories will be added. Use Add Sources to add them later.
- No constraints files will be added. Use Add Sources to add them later.
- The default part and product family for the new project:
Default Part: xc7s50fgga484-1
Product: Spartan-7
Family: Spartan-7
Package: fgga484
Speed Grade: -1

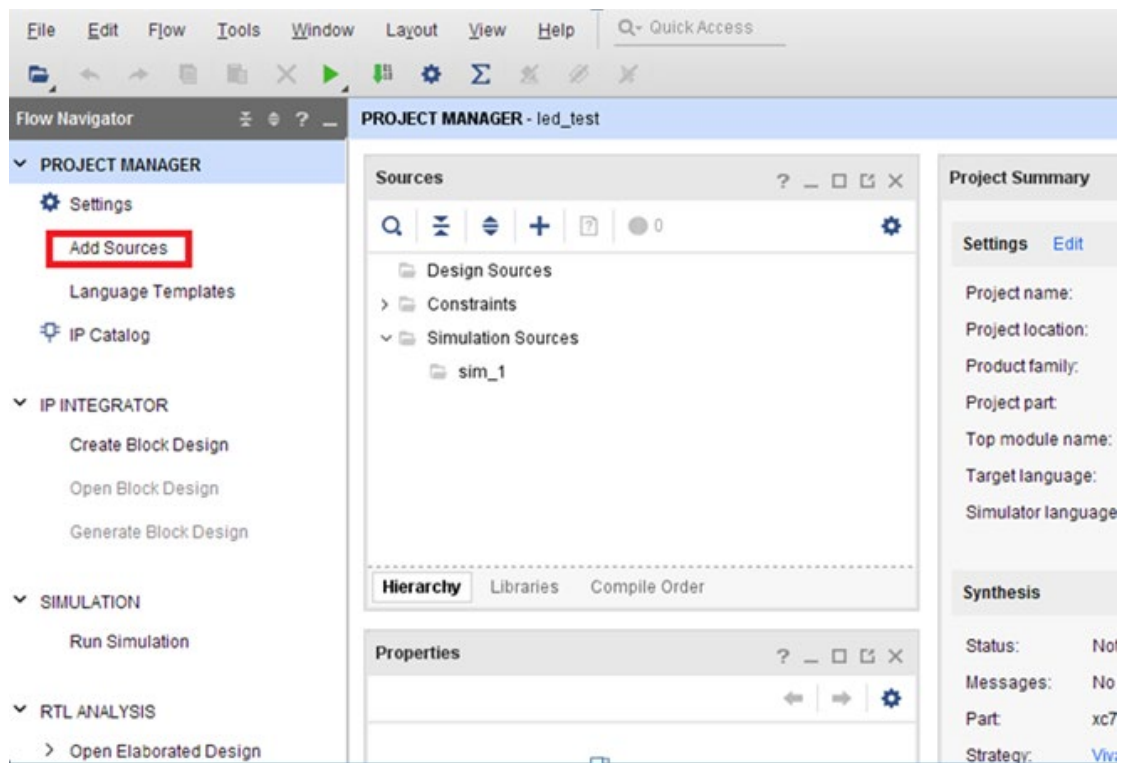
XILINX
ALL PROGRAMMABLE.

To create the project, click Finish

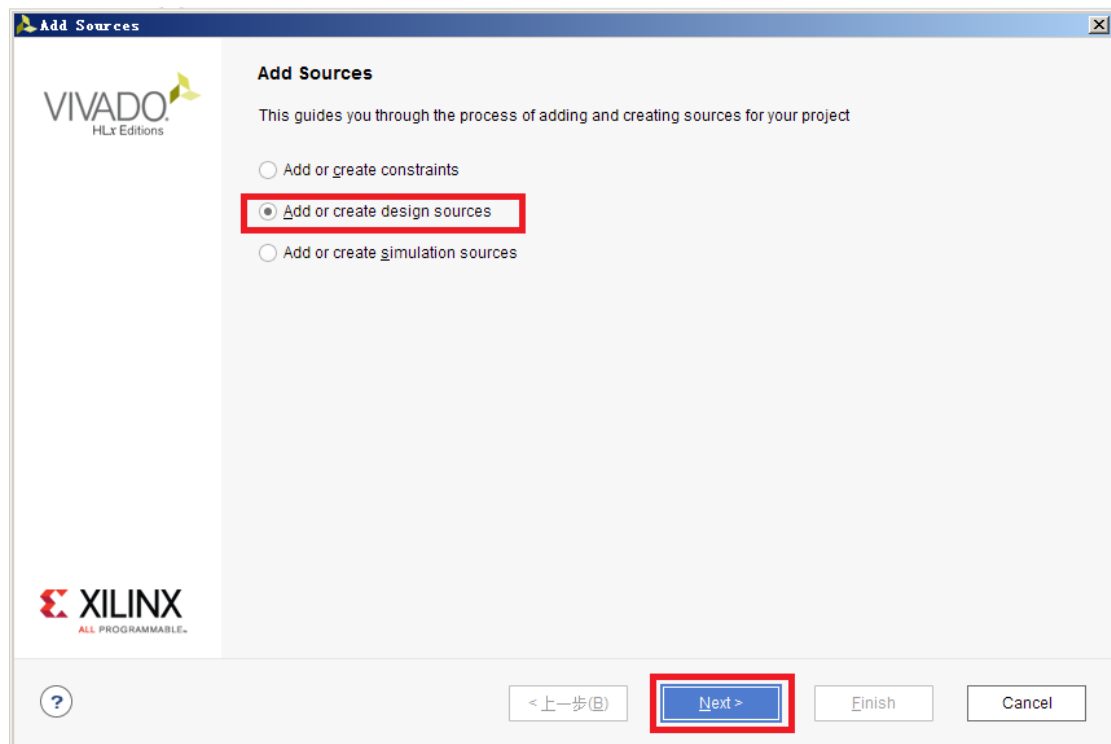
< Back Next > **Finish** Cancel

2.3 程序设计

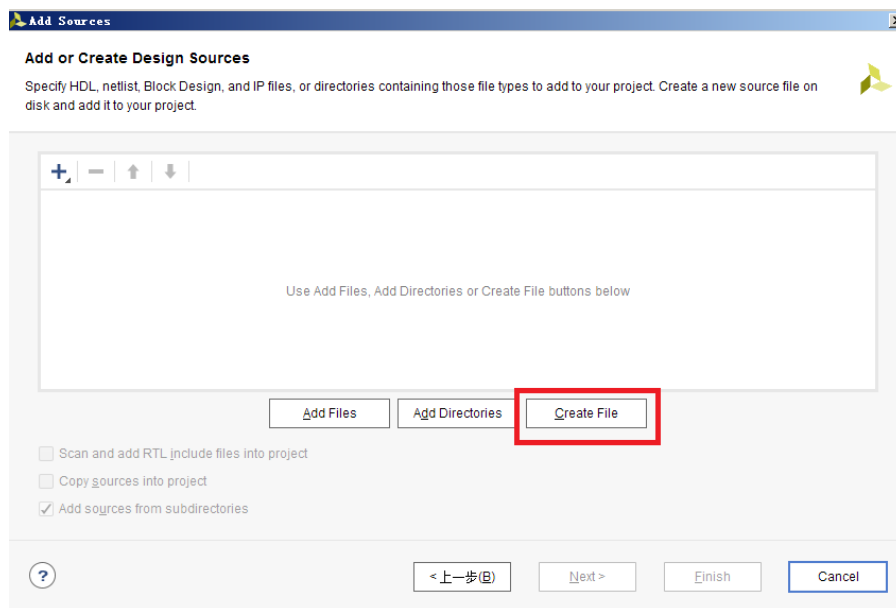
1. 点击 Project Manager 下的 Add Sources 图标，



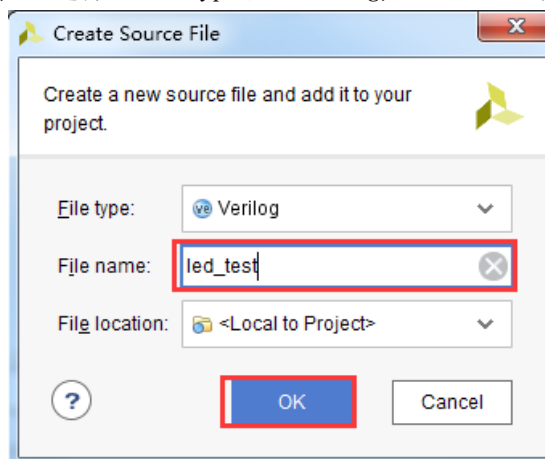
2. 选择 Add or create design sources 选项，点击 Next，



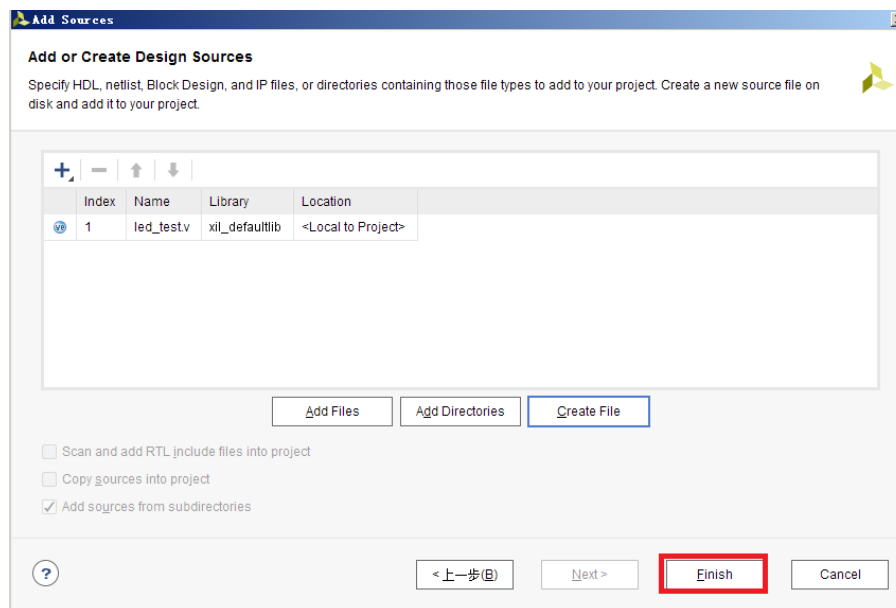
3. 点击 Create File,



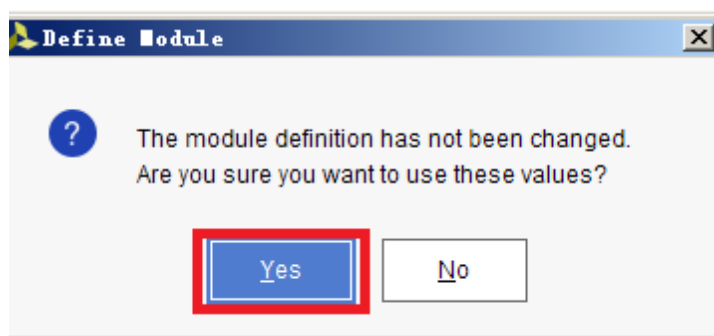
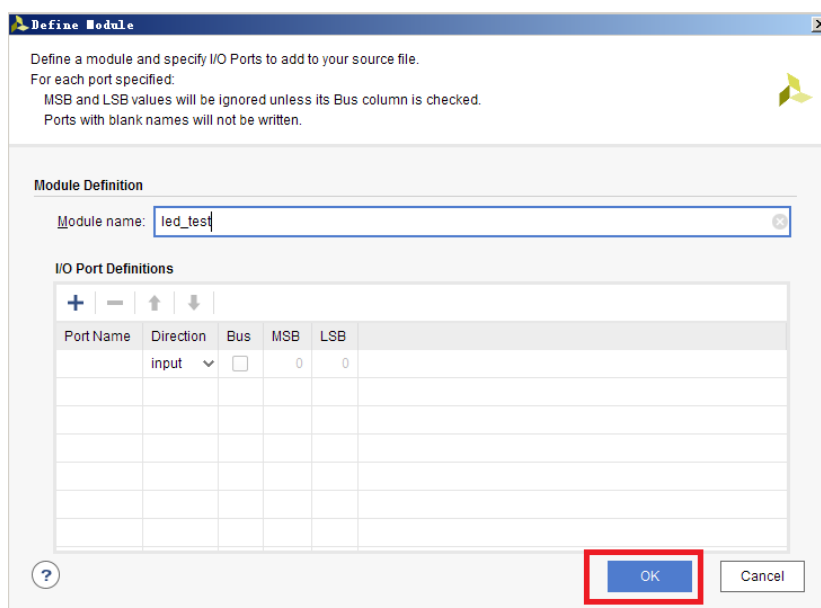
4. 在弹出的对话框里选择 File type 是 verilog, File name 为 led_test, 点击 OK,



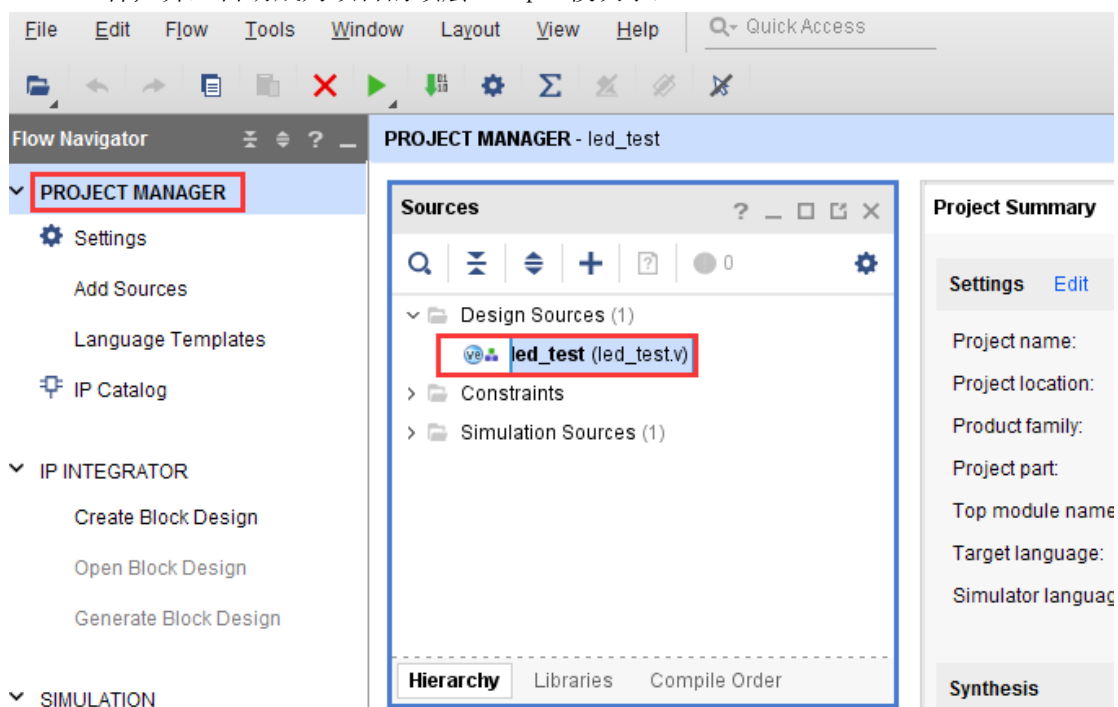
5. 点击 Finish,



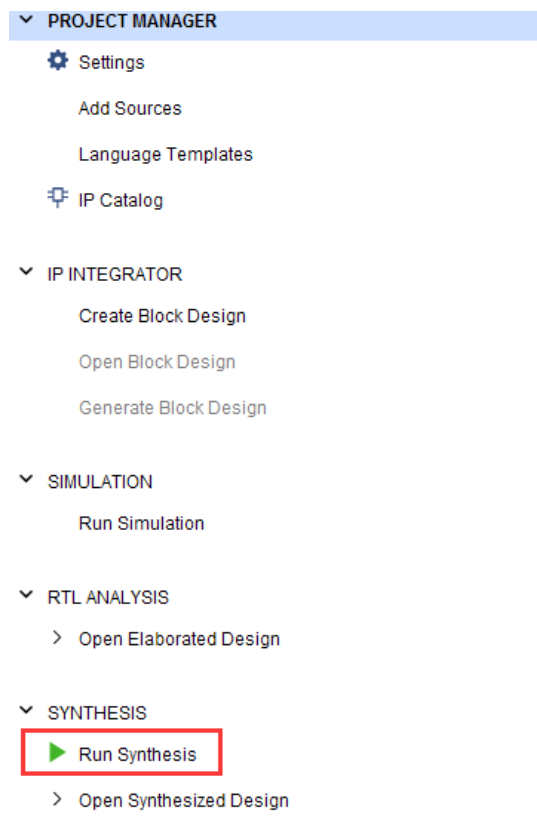
6. 点击 OK,



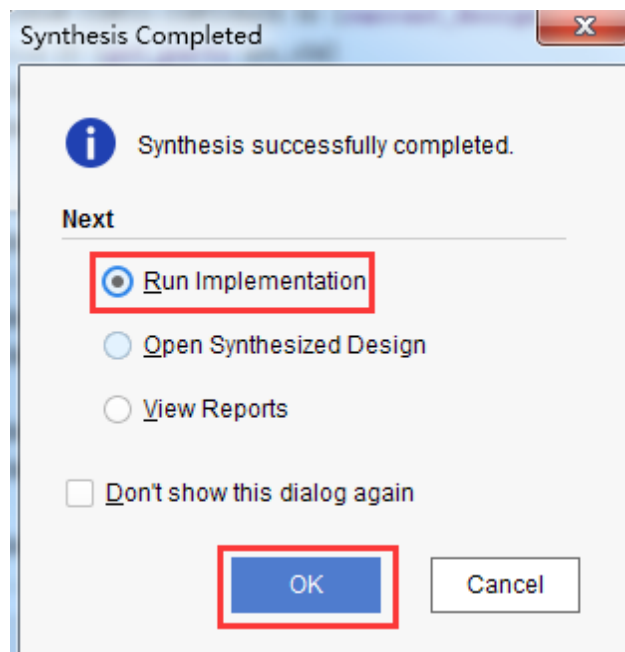
7. 这时在 Project Manager 界面下的 Design Sources 里已经有了一个 led_test.v 文件，并且自动成为项目的顶层（Top）模块了，



8. 将课程提供的源代码文件复制并替换 led_test.v, 点击 Run Synthesis,

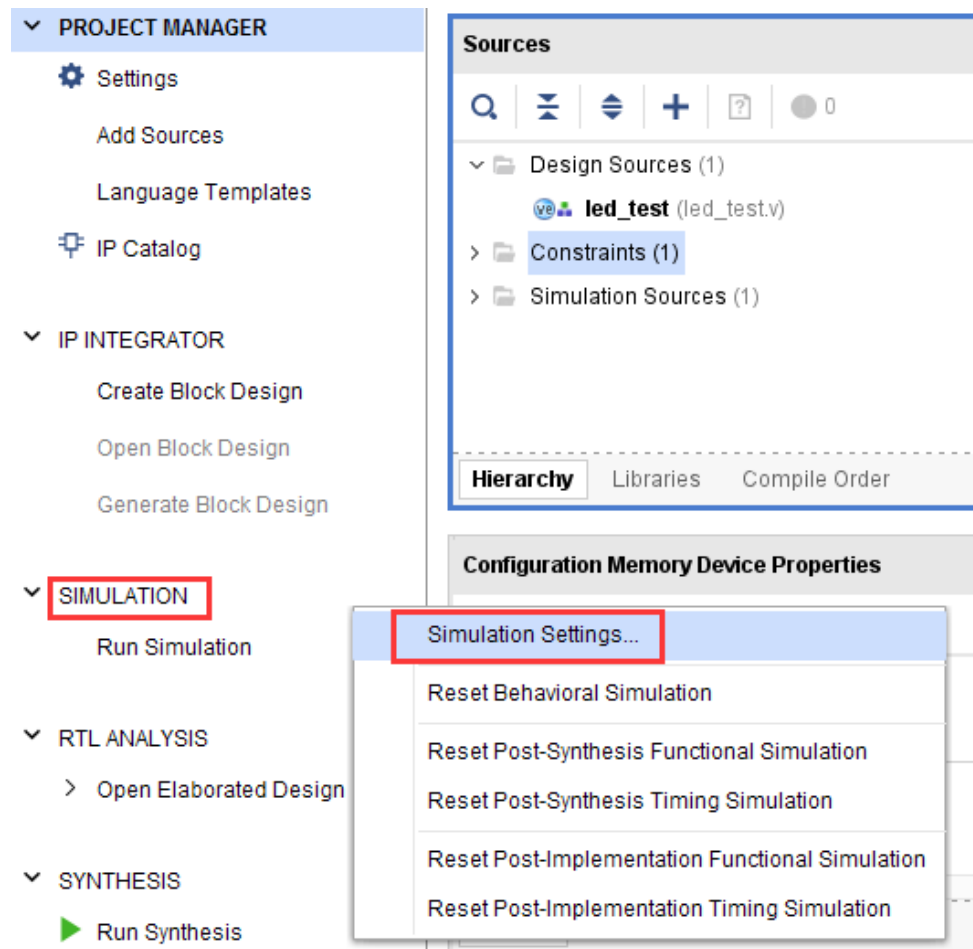


9. 综合完成后, 会弹出这样一个提示小窗口。可以点这里的 Run Implementation 来开始布局布线, 本课程仅仿真, 因此可以点击 Cancel。

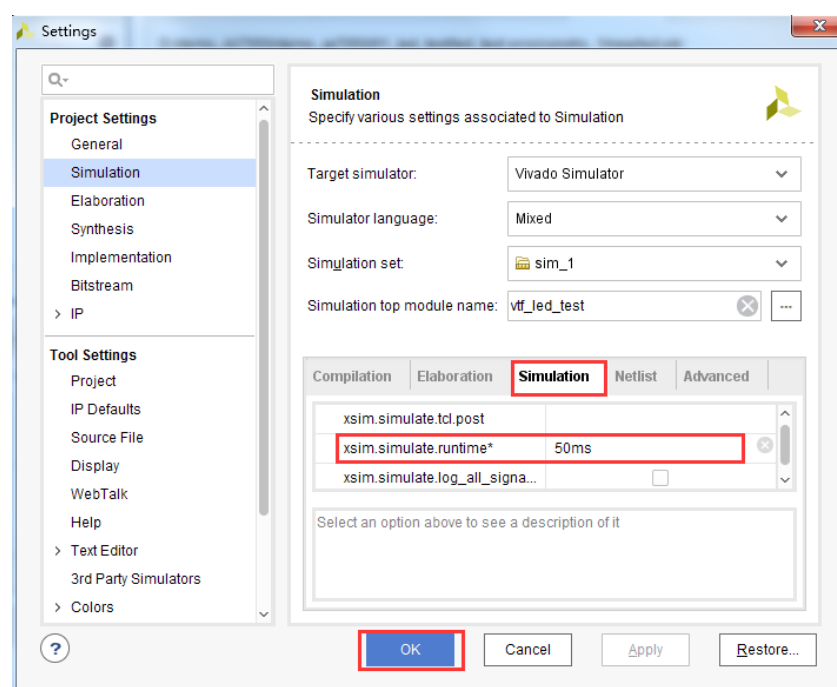


2.4 vivado 仿真验证

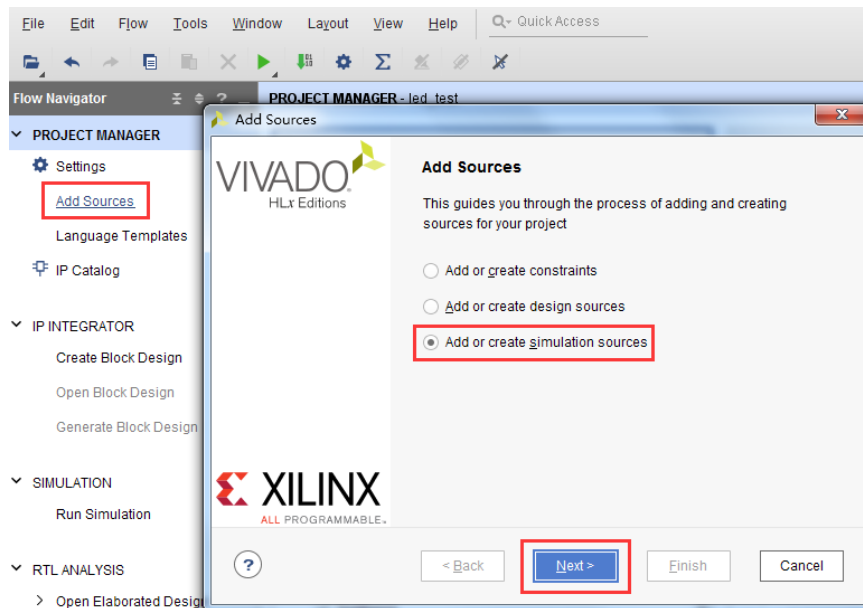
1. 设置 Vivado 的仿真配置，右击 SIMULATION 中 Simulation Settings,



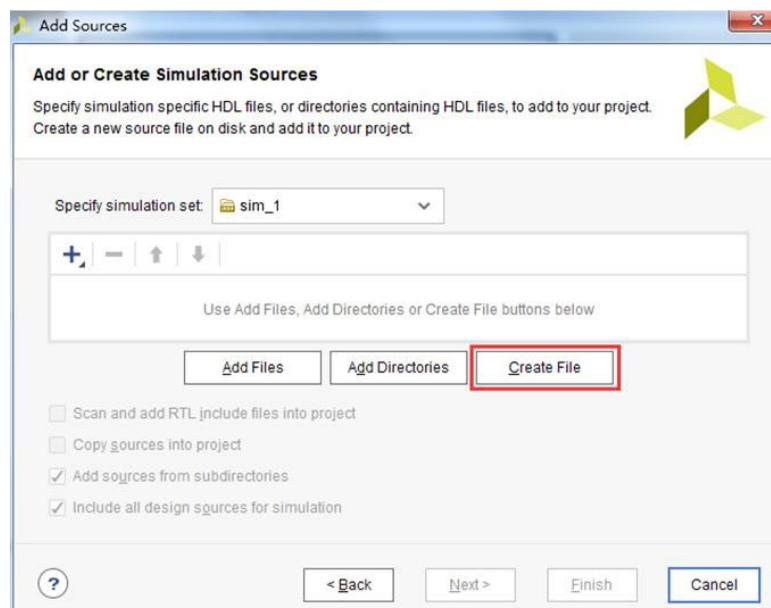
2. 在 Simulation Settings 窗口中进行如下图来配置，这里设置成 50ms（根据需要自行设定），其它按默认设置，单击 OK 完成，



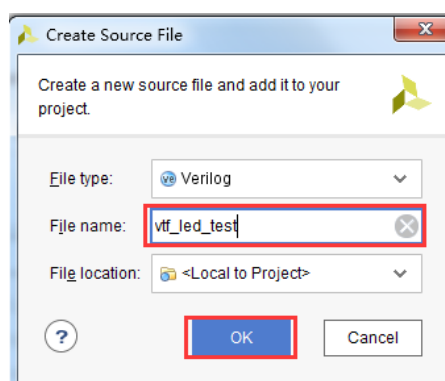
3. 添加激励测试文件，点击 Project Manager 下的 Add Sources 图标，按下图设置后单击 Next，



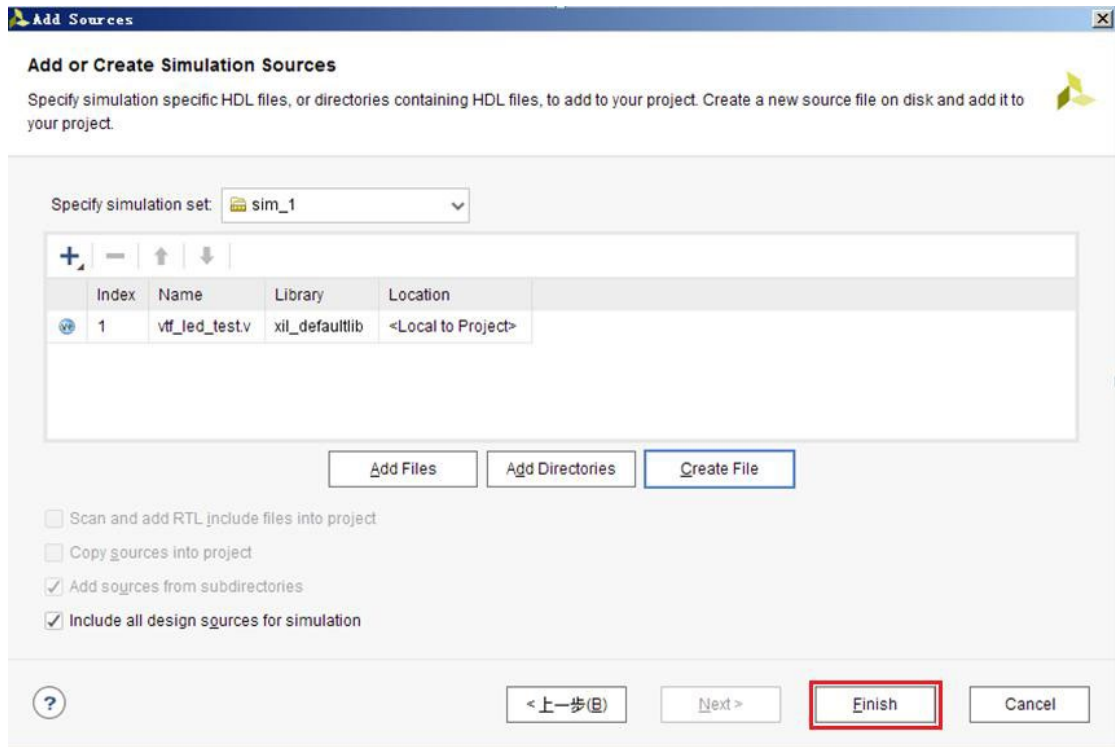
4. 点击 Create File，



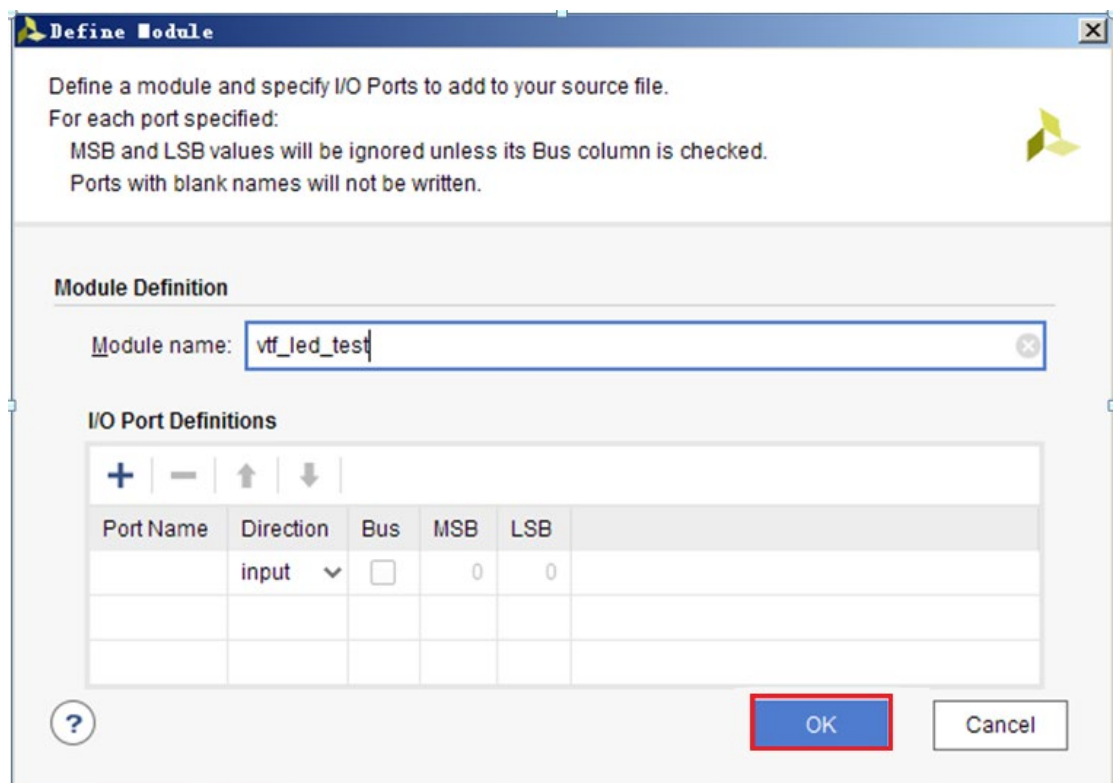
5. 在弹出的对话框中输入激励文件的名字，这里我们输入名为 vtf_led_test，



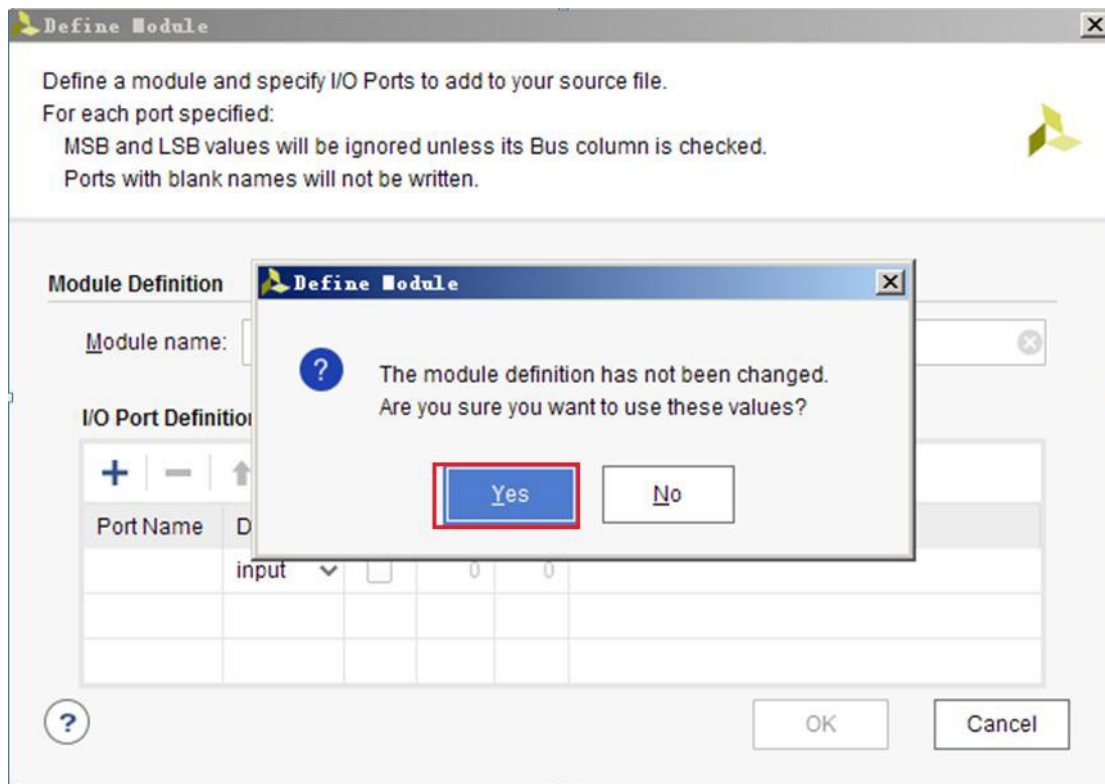
6. 点击 Finish,



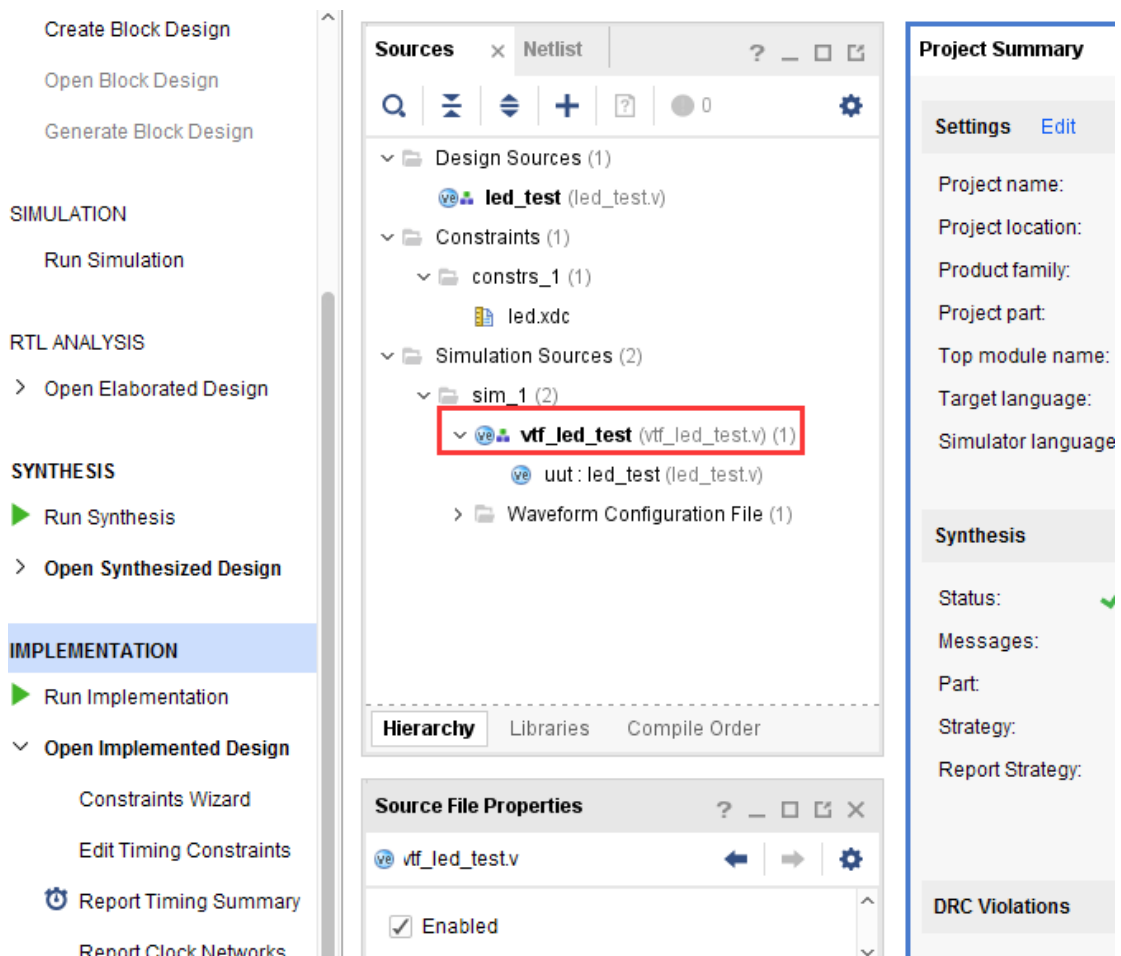
7. 点击 OK,



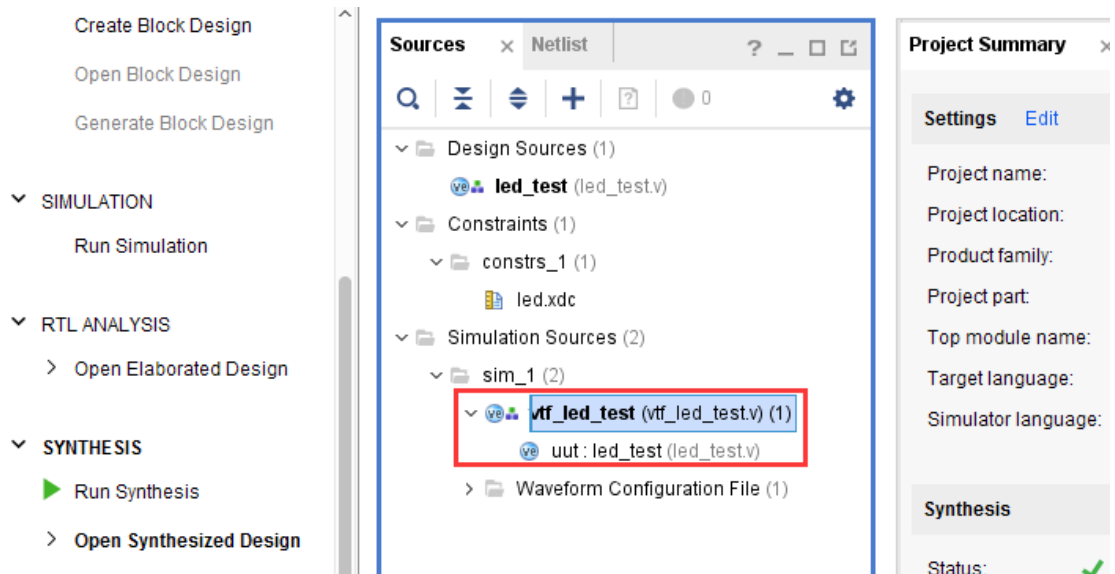
8. 点击 Yes,



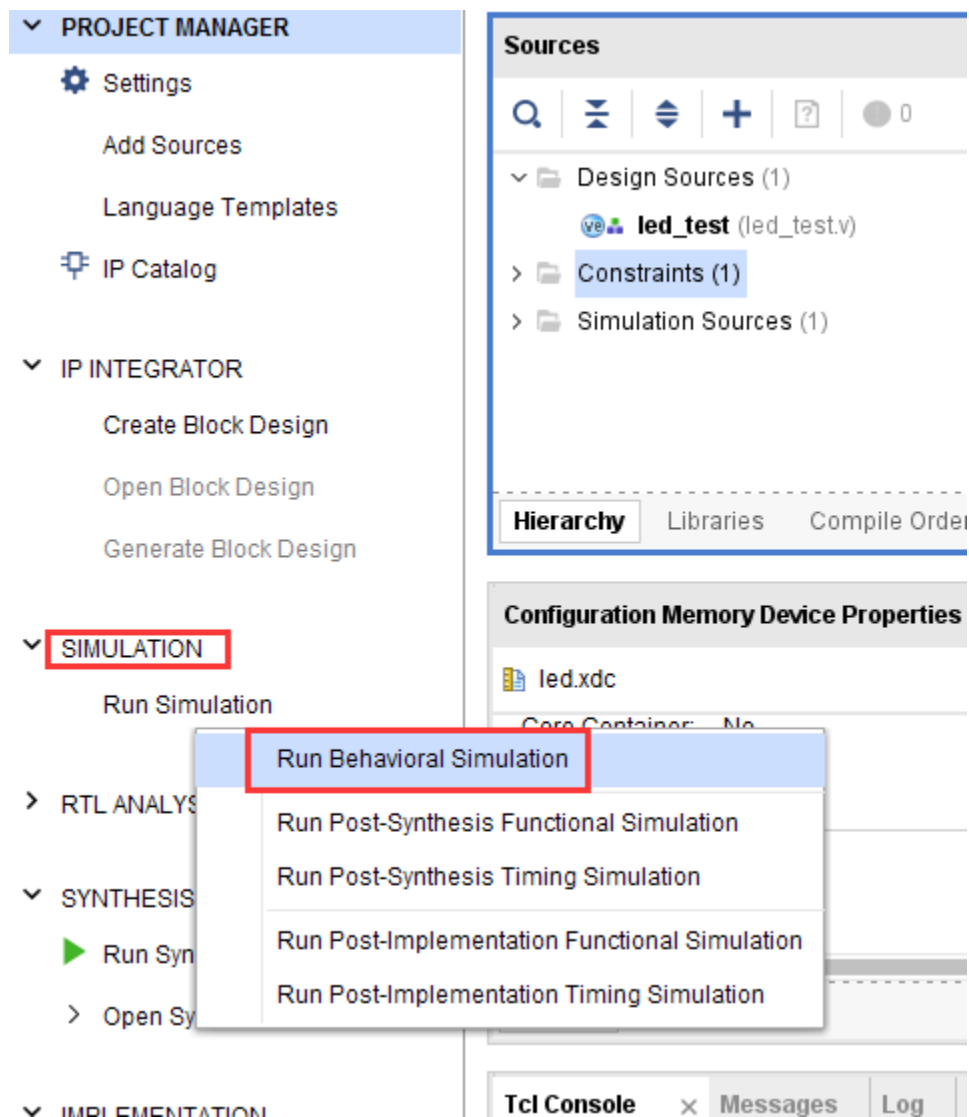
9. 在 Simulation Sources 目录下多了一个刚才添加的 vtf_led_test 文件，



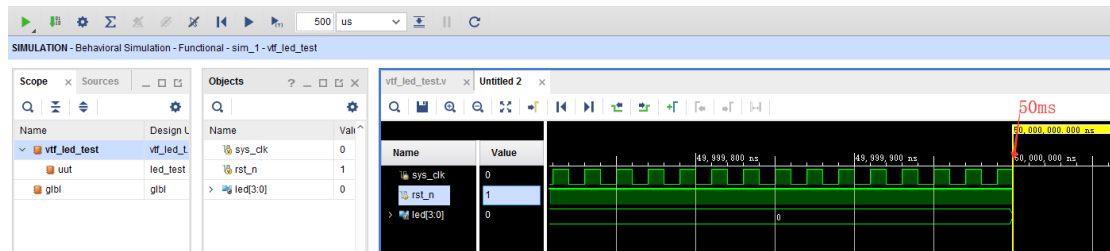
10. 将课程提供的源代码文件复制并替换 vtf_led_test.v, (vtf_led_test.v 自动成了这个仿真 Hierarchy 的顶层了, 它下面是设计文件 led_test.v。)



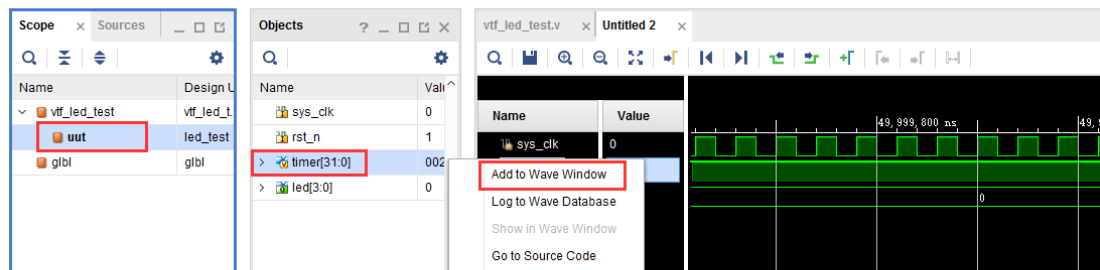
11. 点击 Run Simulation 按钮, 再选择 Run Behavioral Simulation,



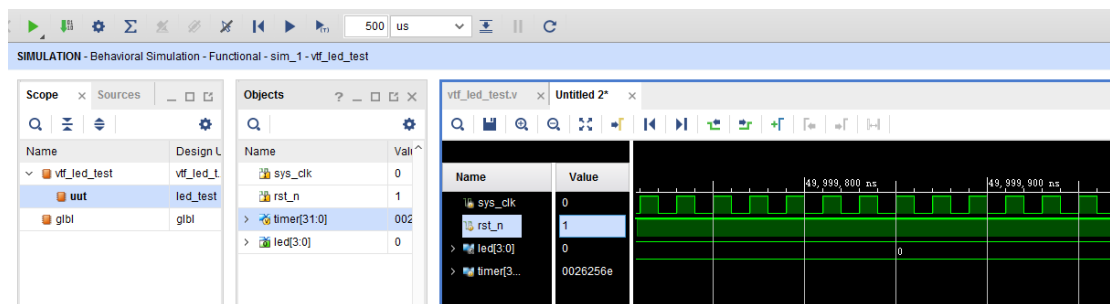
12. 在弹出仿真界面后如下图，界面是仿真软件自动运行到仿真设置的 50ms 的波形，



13. 这里如果需要观察 timer[31:0]计数器变化，可以将其添加到 Wave 中观察(点击 Scope 界面下的 uut，再右键选择 Objects 界面下的 timer，在弹出的下拉菜单里选择 Add Wave Window)，



14. 添加后 timer 显示在 Wave 的波形界面上，如下图所示，



15. 点击如下标注的 Restart 按钮复位一下，再点击 Run All 按钮。(需要耐心!!!)，可以看到仿真波形与设计相符，

