

AP80 系列硬件设计指南

V1.3

修改记录

日期	版本号	描述
2014-10-22	V1.0	Initial
2015-01-20	V1.1	Item3.3: Serial Flash 电路 EMI 辐射干扰说明
2015-04-20	V1.2	Item3.1: USB 总线电路 EMI 辐射干扰说明
2015-08-24	V1.3	Item3.2: SD 总线电路 EMI 辐射干扰说明

目录

1. 系统硬件级设计的总要求	1
2. 模拟电路	2
2.1. 时钟电路	2
2.2. 音频 (DAC) 电路	3
2.2.1. Headphone 输出电路	4
2.3. 咪头 BIAS 电路	5
3. 数字电路	5
3.1. USB 接口	5
3.1.1. USB DEVICE 电路	6
3.2. SD 卡接口电路	7
3.3. Serial Flash 电路	8
3.4. LED 显示屏	8
3.5. LCD 显示屏	9
3.5.1. HT1621 LCD 驱动	9
3.6. GPIO 复用功能及电性	10
3.6.1. GPA0 支持超低功耗充电指示灯应用	10
3.6.2. 防倒灌 GPIO 特殊功能	10
3.7. 低功耗模式的中断唤醒电路	11
3.8. PowerKey 软硬开关的设计	12
3.9. 车机 Reset 电路	13
3.10. HCI 蓝牙接口电路	13
3.11. 红外遥控头电路	14
3.12. RADIO Receiver 电路	15
4. 电源设计	16
4.1. 数字和模拟电源电路	16
4.1.1. 蓝牙电源	16
4.1.2. RTCVDD 的外部供电应用	17
5. Layout 工艺要求	18

1. 硬件设计的总要求

板级设计需要依据芯片的特点, 正确合理地配置和使用外部器件, 精细合理的 **layout** 控制, 使系统具备很好的音质、听感, 同时降低 **EMI**, 提高 **EMC** 和 **ESD** 性能, 使整个系统具备很高的品质。

本文档请结合 **AP80** 系列开发板以及面向指定应用领域的参考设计图来使用, 从以下几方面给出一些具体的指导意见:

模拟电路。如, 时钟、模拟信号输入输出

数字电路。如, **USB/SD** 接口

与射频模块的配合。如, 蓝牙模组

其它电路。如, 驱动 **LED** 段码屏

通过本设计指南达到提高产品 **PCB** 设计的性能质量及设计效率的目的。

2. 模拟电路

2.1. 时钟电路

AP80 系列处理器的时钟源，采用频率为 32.768KHz 的晶体。内部起振电路自带谐振电阻和电容网络，外部电路简洁，只需在 XIN 和 XOUT 管脚之间跨接一个 32.768KHz 的晶振即可。

芯片片内的谐振电容值是： $12.8\text{pF} + 2.587 * (V_CAP)$ ；V_CAP 是寄存器（地址 0x4002_2024）；

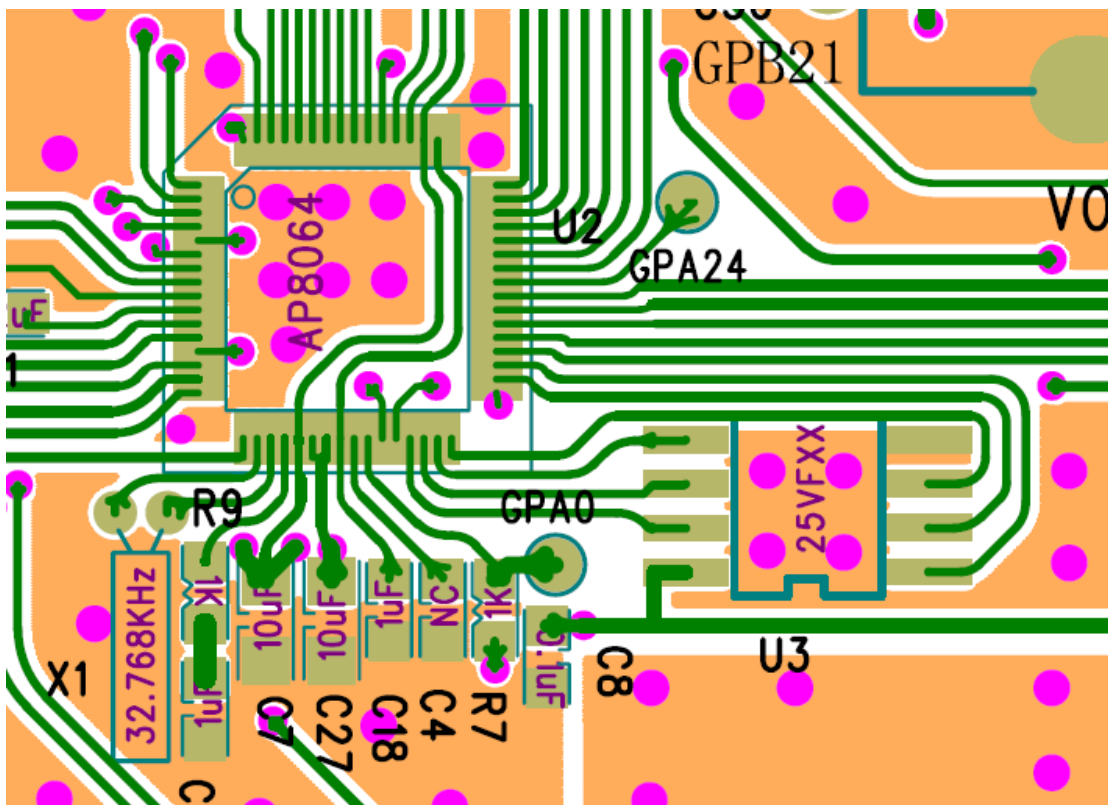
目前 SDK 软件默认输入输出电容值：

输入电容寄存器值为 6， $12.8\text{pF} + 2.587 * (V_CAP) = 28.322\text{pF}$

输出电容寄存器值为 7， $12.8\text{pF} + 2.587 * (V_CAP) = 30.909\text{pF}$

该 32.768KHz 时钟源同时给 AP 处理器内 RTC 模块提供时钟，如要达到较高的 RTC 精度（如 24 小时偏差 $\pm 2\text{s}$ ），选取晶振器件的频率偏差必须在 20ppm 以内。如不使用 RTC 功能，则频偏可放宽到 50ppm 以内。另外为了时钟电路稳定快速起振，晶体的谐振电阻要求小于 100K Ω 。

PCB layout 时，晶振应靠近 XIN 和 XOUT 管脚放置，走线要短（<10mm），网络线上没有过孔。如果晶振是金属壳体，壳体可以接地。如图所示：



2.2. 音频（DAC）电路

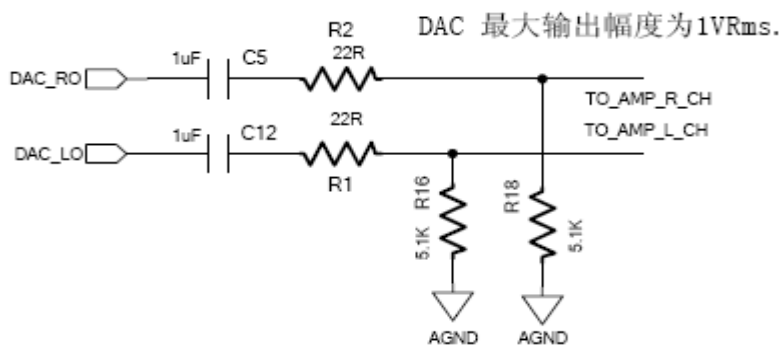
AP80 系列处理器内置 20-bit 高品质 DAC，为了达到最好的音频品质，音频输出的左右声道上可增加低滤波网络。

产品 PCB 设计时，音频模拟信号易受到外围信号干扰，在设计中为了减弱数字信号对音频信号的干扰，需使用模拟地（AGND）包裹两路音频信号线。

DAC VMID 给模拟电路提供参考电压（Vref），电路上的储能电容建议 $\geq 2.2\mu\text{F}$ ，PCB 设计时电容摆放要求尽可能靠近芯片管脚位置。

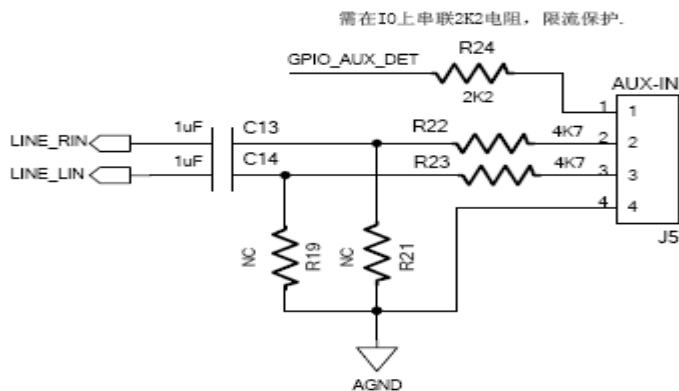
DAC 模拟输出的最大电平幅度能达到为 1V_{Rms} 。

AUDIO LINE OUT线路



AP80系列最多有三路立体声Line in通道，请优先选择高性能LINE IN模拟音频通道。

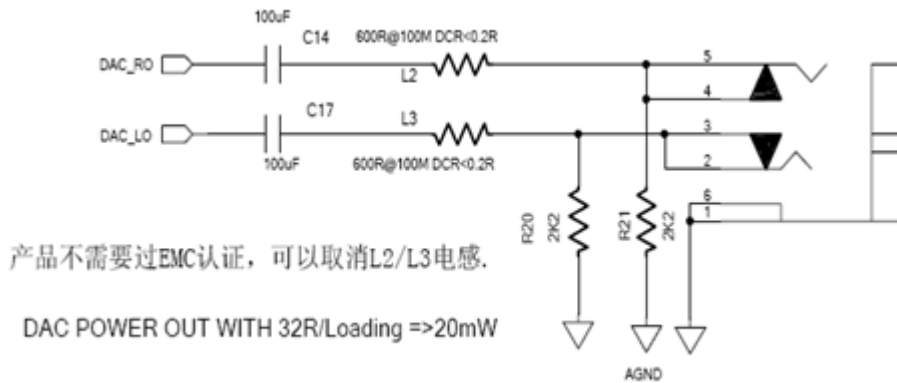
AUDIO LINE IN线路



2.2.1. Headphone 输出电路

输出功率：DAC 驱动 32 欧耳机，最大功率为 20mW。

如图为隔直电容耳机驱动电路：



如图为免电容直驱耳机电路：

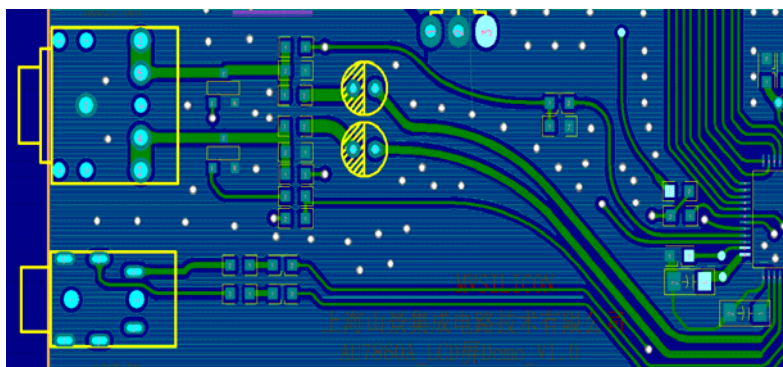
直推耳机模式。



建议采取免电容直驱耳机电路，可节省成本，及低频响应好。但要注意在采用免电容直驱耳机时，需正确的配置软件。

两种耳机驱动模式的电流消耗基本相同。如 AP8064 芯片，Pin17 复用为 Mic Bias&VCOM，需要软件自定义配置 Mic Bias 及 VCOM 模式。

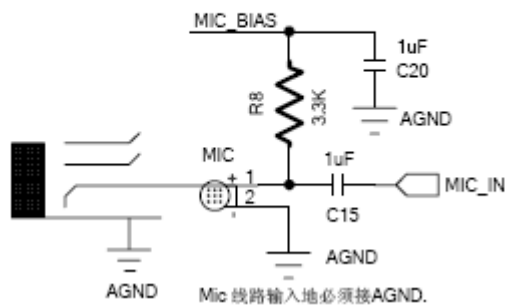
产品 PCB 设计时，DAC 输出的信号线路需加粗 > 0.3mm，如图示。耳机插座的地线，需接 DAC AGND。



2.3. Mic Bias 偏压电路

蓝牙 HFP 应用设计电路：咪头需要上拉接 Mic Bias 偏压电路，要求 Mic Bias 电源纹波 $v_{pp} < 20\text{mV}$ 。

Microphone线路



3. 数字电路

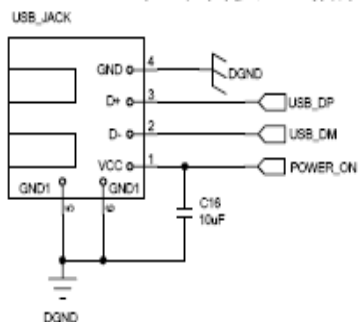
3.1. USB 接口

USB 接口电路设计上外围不需增加器件，内部的 USB PHY 总线上设计有 $15\text{K}\Omega$ 下拉电阻。

产品如需过 EMC 认证，及对 ESD 性能要求达 A 级的，需在 USB 数据信号线串联 $90\sim 120$ 欧姆共模电感。

USB Host线路

如不需要OTG播放功能，可配置为数字GPIO使用。



两路USB接口，可支持后插优先。

GP_A22: 复用USB PHY_DP
GP_A23: 复用USB PHY_DM
GP_A24: 复用USB PHY_DP
GP_A25: 复用USB PHY_DM

USB 通讯的传输速率很高，如何提高 USB 信号的传输质量、减小电磁干扰 (EMI) 和静电放电 (ESD) 干扰成为 USB 模块设计的关键。

对于 USB 总线的 PCB Layout 要求, 需要考虑以下原则:

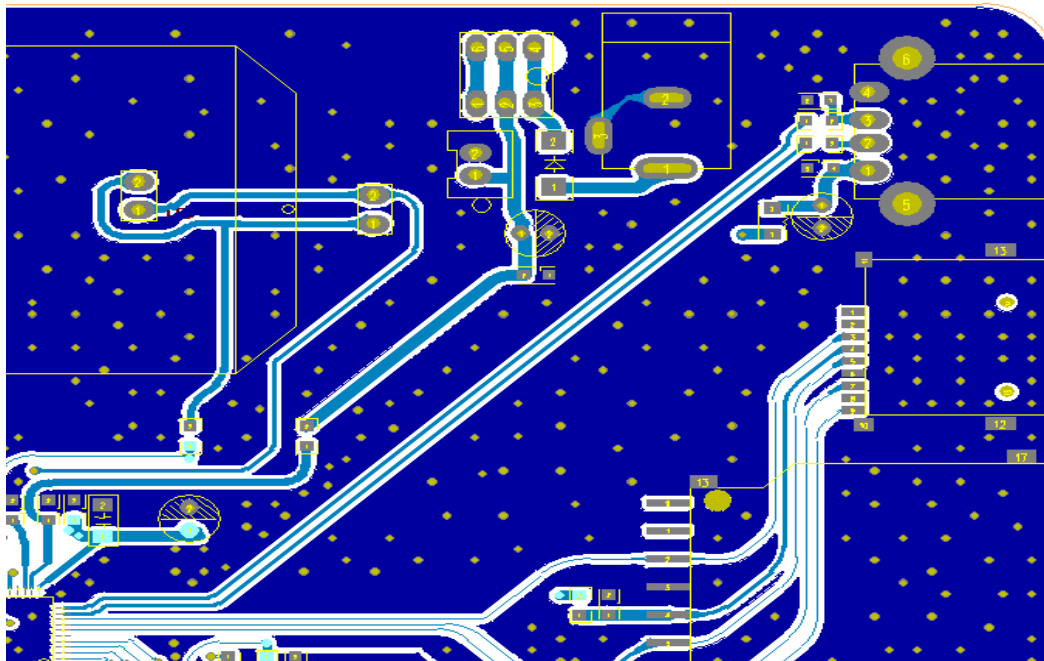
差分线对要保持线长匹配, 否则会导致时序偏移、降低信号质量以及增加 EMI;

差分线对之间的间距要保持小于 3mm, 并增大它们与其它信号走线的间距;

差分走线要求在同一板层上, 尽量减少过孔等会引起线路不连续的因素, 因不同层之间的阻抗、过孔等差别会降低差模传输的效果而引入共模噪声;

差分信号线之间的耦合会影响信号线的外在阻抗, 必须采用终端电阻实现对差分传输线的最佳匹配;

避免导致阻值不连续性的 90 度走线, 可用圆弧或 45 度折线来代替。参考如图设计要求:



3.1.1. USB DEVICE 电路

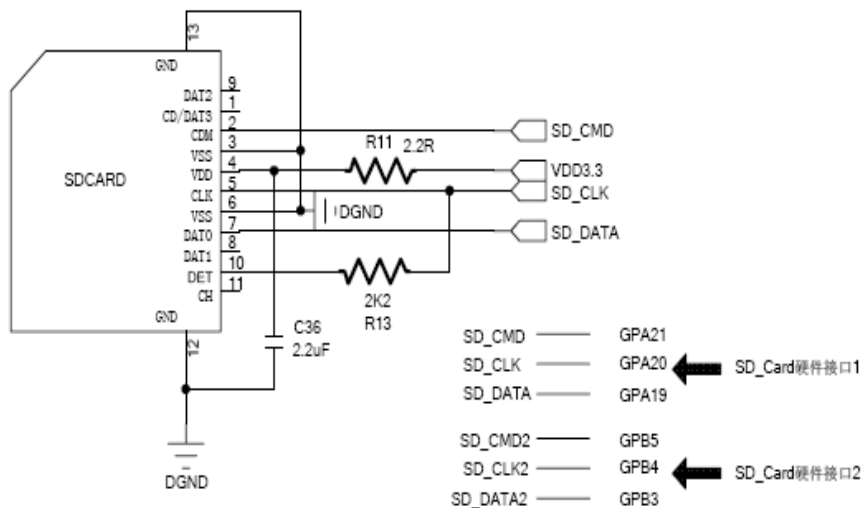
USB DEVICE 功能可支持独立 USB 声卡及读卡器功能, 支持一线通功能。

进入 DEVICE 模式 (声卡及读卡器模式), 是通过软件查询检测与 PC 机连接通讯的, 检测到有设备连接时, 才能进入到 DEVICE 模式。

因 USB HOST 与 USB DEVICE 共用一组 USB 接口, 只支持单独的设备工作模式。

3.2. SD 卡接口电路

SD 卡控制电路设计上外围不需要增加器件。如图示：



如不需要 SD 播放功能，SD 通讯接口可复用为普通 GPIO。

如 GPIO 资源不够，可采用软硬件复用检测电路，SD Detect pin 复用 SD CLK 做后插优先播放。

车机产品，SD 卡设备的供电电路请采用单独的 LD033 电源供给，降低待机功耗。

SD 数据线路与芯片管脚的距离，在 PCB 设计中，尽量考虑短距离 Layout；如 SD 通讯数据线走线太长，尽量考虑屏蔽线设计模式。

可支持两路 SD 卡设备的播放模式。

产品如需过 EMC 认证，需在 SD_DATA、SD_CLK IO 上串联 220 欧姆；产品 PCB 设计时，SD 数据线上串联的电阻需要靠近芯片管脚的位置。

软件配置：SDio Set Clk 需要改为 output 6M clk。

3.3. Serial Flash 电路

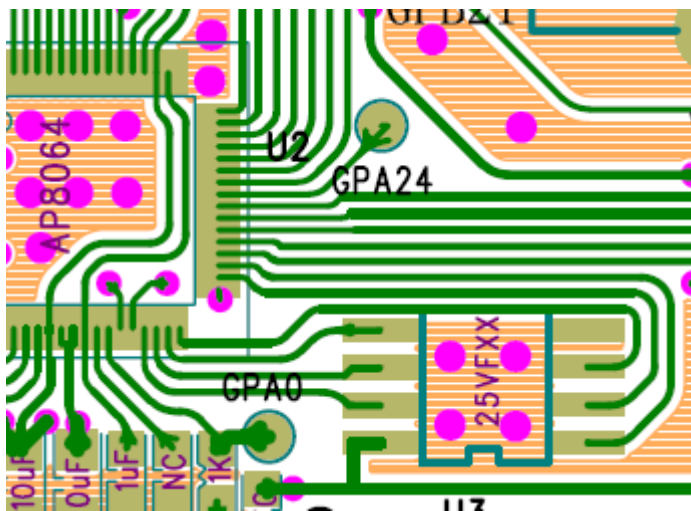
Flash 的时钟频率最高可使用 AP80 芯片相同的时钟频率 96MHz。

针对 SPI FLASH 数据线的 EMI 干扰处理，请采用以下方案：

1. 为了降低 EMI 辐射及减少对 FM 接收的干扰，在 PCB 设计时，AP80 芯片与 Flash 之间的数据线要最短距离 Layout；如图，PCB 反面要求对 Flash 数据线增加地线铺铜屏蔽；Flash 数据线上串电阻，但这种方案存在影响 SPI FLASH 取指时序的风险，需要严谨设计，必须非常小心（**设计上阻值必须控制在 510 OHM 以下**）。

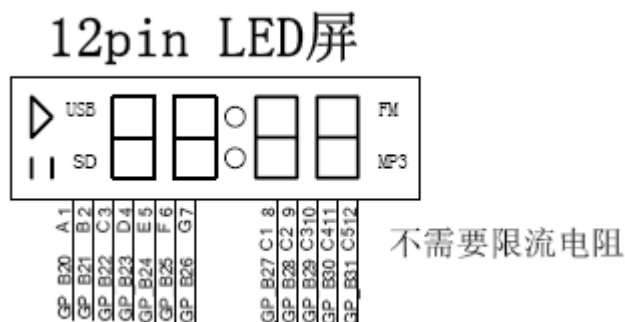
2、软件改变 CLK 线的驱动力，当前默认的驱动力是 24mA，可改为 8mA，驱动力减小辐射自然会变小；设计上可能对 PCB layout 的 Flash 6 根数据线要求更加的严格，走线尽量短，需要严格进行上下电测试（包括缓慢上下电）。

3、降低 SPI FLASH 的工作频率（内部 CPU 的工作频率不变，还是 96M），一般可选有 80MHz 和 72MHz。



3.4. LED 显示屏

所有 GPIO 都支持输入恒流源，输入电流可配置为 1.7mA/2.4mA/4.1mA；只适用直驱共阳极 LED 数码管。



PCB Layout 要求:

LED 显示屏扫描会存在脉冲辐射&电流的干扰, 会对收音模块, 音频信号, Mic in 电路等存在干扰; 设计上走线尽量需要远离收音电路&音频电路等。

为避免大电流带来电源的纹波, 软件配置尽量选用 2.4mA 电流值。

3.5. LCD 显示屏

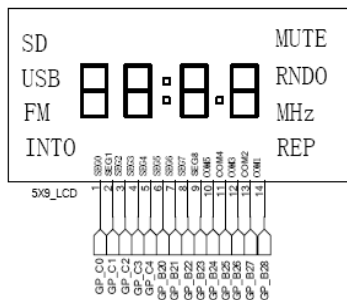
最多支持 19 路 GPIO 直接驱动 LCD 屏。

支持 3.3V 驱动工作电压, 提供 1/3, 1/4 Bias 供选择。

采用动态扫描的驱动模式, 不支持低功耗模式下的硬件刷屏。

LCD屏线路

19个GPIO 可以直接驱动LCD段码屏 (GPB20~31, C0~C6)



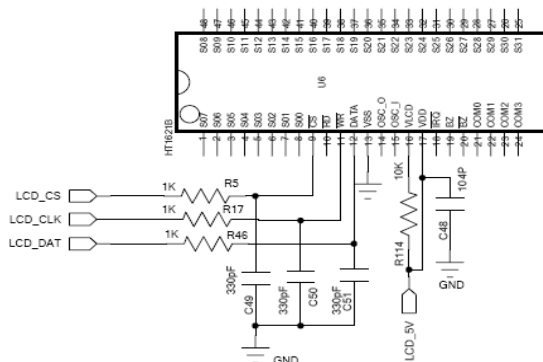
可支持 1/3, 1/4 BIAS 的显示屏。

3.5.1. HT1621 LCD 驱动

LCD 驱动芯片之间的数据线上需要串联 FB 或者限幅电阻, 提高芯片的抗干扰能力。

如图示:

HT1621 驱动屏线路



产品 PCB 设计时, 数据线上的串联电阻靠近主芯片端的管脚位置。

3.6. GPIO 复用功能及电性

GPIO Info 复用功能表请参考芯片 Datasheet 说明文档；

所有 GPIO 的输入电压 $V_{in(Max)} < 3.6V$ ；

详见 AP80 系列 GPIO 模块使用说明文档；

芯片上电初始化 GPIO 默认状态：

引脚名称	引脚类型	默认上下拉状态	默认电平
GPIOA[1: 0]	防倒灌 GPIO	Pull-Down	L
GPIOA[10: 2]	普通 GPIO	Pull-Up	H
GPIOA[12: 11]	防倒灌 GPIO	Pull-Down	L
GPIOA[21: 13]	普通 GPIO	Pull-up	H
GPIOA[25: 22]	普通 GPIO	No pull up/No pull down	L
GPIOA[31: 26]	普通 GPIO	Pull-up	H
GPIOB[31:0]	普通 GPIO	Pull-up	H
GPIOC[12: 0]	普通 GPIO	Pull-up	H
GPIOC13	普通 GPIO	Pull-Down	L
GPIOC14	普通 GPIO	Pull-up	H

注意，GPIO 资源会随芯片封装形式而变化。

3.6.1. GPA0 支持超低功耗充电指示灯

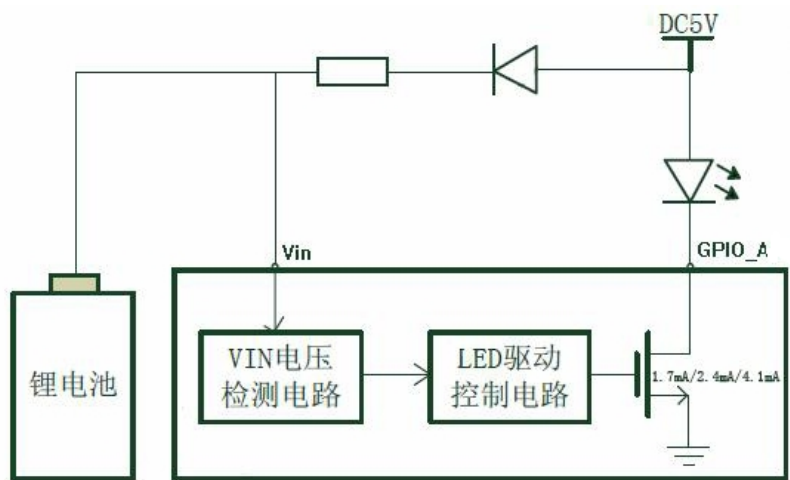
GPIOA0 除作为普通 GPIO 应用，另具有充电指示作用。充电指示灯 IO 是用防倒灌 IO 实现的，目的是芯片 Powerdown 后，还能用于充电指示；需开启 Charge pump。

充电指示灯的功能：

通过内部 LED 驱动电路周期性（频率可调）地控制下拉电流源的开关，实现充电指示灯闪烁。

当 VIN 高于 4.15V 时，充电结束，可获取状态软件可配为 GPA0 下拉电流源常开或者常关（即高阻或输入下拉）。

如图所示：



3.6.2. 防倒灌 GPIO 特殊功能

GPIOA0/A1/A11/A12 是独立的防倒灌 IO；防倒灌 GPIO 的目的是：

1. 芯片 Powerdown 后，防片外的电压倒灌入（如片外的 Mute 控制，Power 控制...）。
2. 芯片 Poweron 时，如片外电压高，也可以防倒灌。

3.7. 低功耗模式的中断唤醒电路

系统进入休眠模式，GPIOB5~B7, B22~B25 支持中断唤醒；可通过 IR、脉冲、高低电平唤醒；车机 ACC ON/OFF 可采用 Power Key 管脚做 ACC 控制。

如图所示：

Wakeup 线路



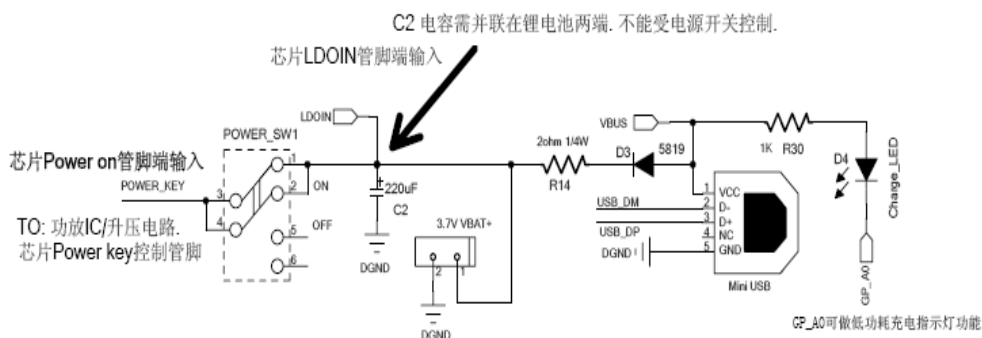
3.8. PowerKey 软硬开关的设计

软开关功能介绍：如图示。



1. PowerKey 软开关功能【轻触开关】，可以直接关闭芯片 LDO 输出；
2. PowerDown 模式，功耗极低，支持 RTC 工作，支持 NVM 记忆（歌曲分秒记忆）；
3. 不需要 PowerKey 功能时，直接 Bypass 到芯片 LDOIN 端；
4. PowerKey 触发时间可软件配置；
5. PowerKey 可复用其他功能按键；
6. 做低电压检测关机功能时，可软件检测自动关机进入 PowerDown 模式；

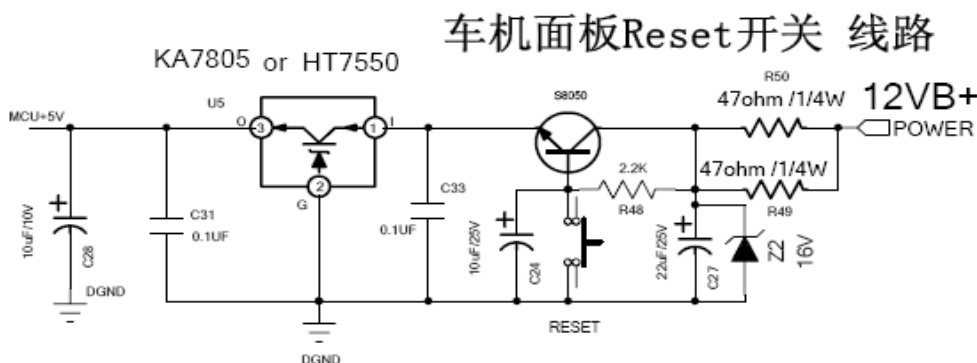
硬开关功能介绍：如图示。



1. PowerKey 硬开关功能【自锁开关】，可以直接关闭芯片 LDO 输出；
2. PowerDown 模式，功耗极低，支持 RTC 工作，支持 NVM 记忆（歌曲分秒记忆）；
3. 不需要 PowerKey 功能时，直接 Bypass 到芯片 LDOIN 端；
4. PowerKey 触发时间可软件配置；
5. 做低电压检测关机功能时，可内部软件检测自动关机进入 PowerDown 模式；

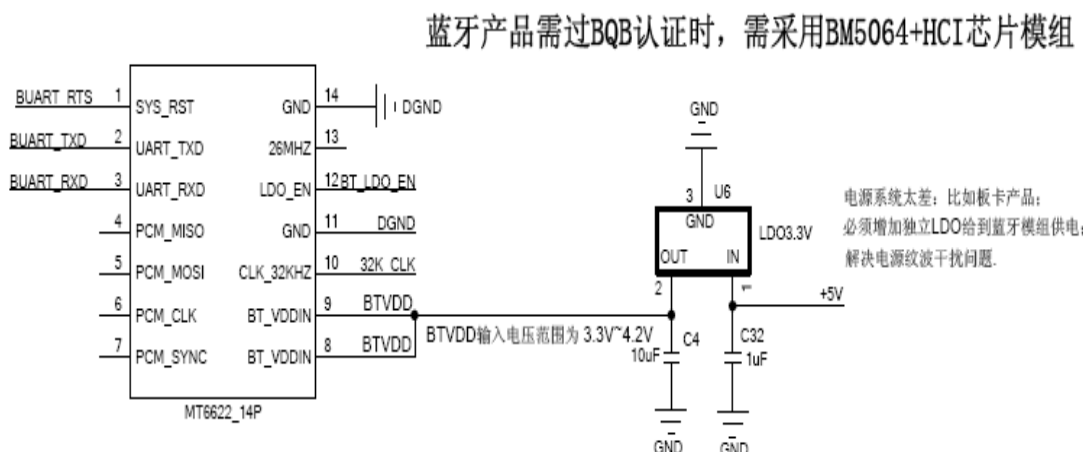
3.9. 车机 Reset 电路

车机应用设计，如需要做 Reset 功能；请参考附图直接控制芯片 LD0IN 电源做复位用。



3.10. HCI 蓝牙接口电路

如图所示：

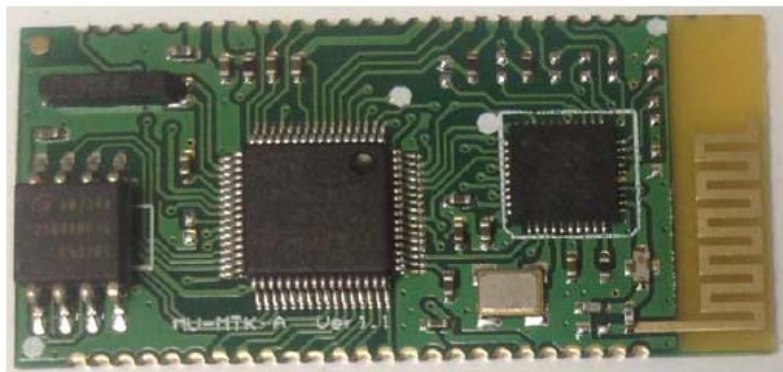


蓝牙不带通话功能时，可以取消 PCM_MISO/MOSI/CLK/SYNC 四根数据线；

PCB Layout 注意事项及原则：

元器件布局，设计 PCB 之前就需考虑好结构件和主要元器件的布局，例如数字 I/O，模拟电路，电源电路，功放电路，蓝牙电路&蓝牙天线部分；因为不同电路模块之间会存在相互影响：射频干扰及电源噪声干扰等；

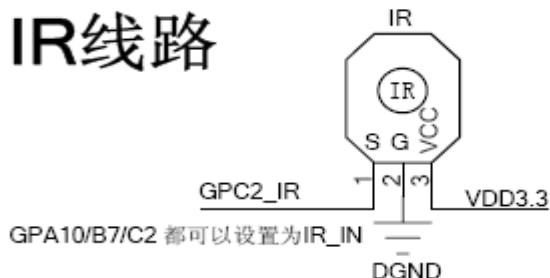
AP80 系列最小蓝牙系统合理设计布局摆放建议如下图：



为了保证蓝牙的连接质量及信号强度，设计要求必须参考如下：金属会减弱 2.4G 天线强度，蓝牙天线端位置下面不能铺铜和走线，最佳是将天线位置下的 PCB 挖空；蓝牙模组摆放位置下面需要全部铺铜，不能走任何数据线；蓝牙模组地线面积设计上是越多越好，并且需要尽量多的地孔回路；蓝牙各种数据线在 PCB 设计时，最合理走线是采用地线三面包围屏蔽，不能与音频信号线及 FM 天线等电路靠近设计。

3.11. 红外遥控头电路

所有 GPIO 的输入电压 $V_{in}(Max) < 3.6V$ ；所以遥控头需采用 3.3V 电源供电；



IR只能接3.3V电源，如果接5V电源，需要在IR_IN端增加分压电阻。

3.12. RADIO Receiver 电路

RADIO 电路的供电请采用单独的 LDO33 供电，降低待机时的功耗及电源噪声。

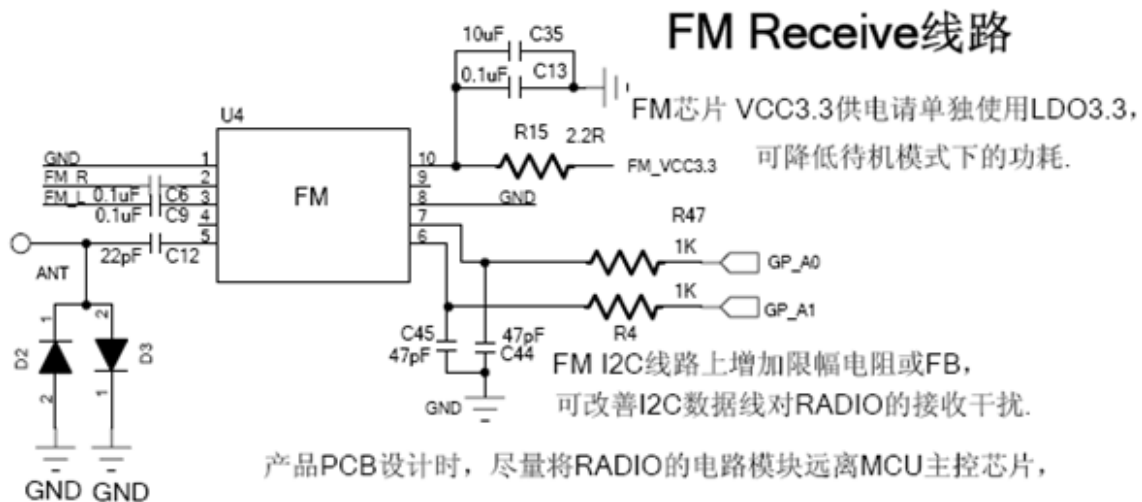
FM ANT 输入端，需要增加抗干扰保护二极管，车机产品一定要增加。

I2C 通讯口，需要增加消噪电阻。

FM 模式下，需要关闭其他功能模块的时钟信号干扰源。

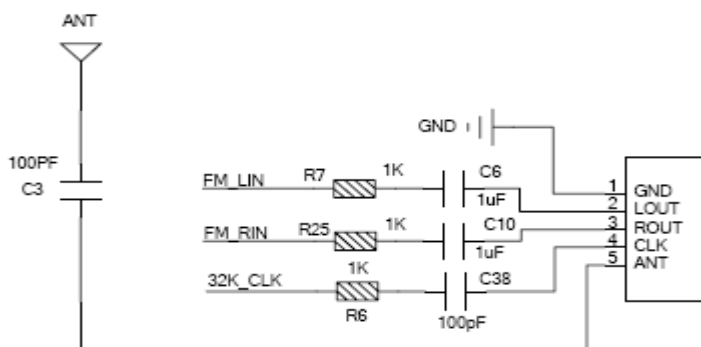
产品 PCB 设计时，收音电路模块位置摆放尽量远离主芯片及其他干扰源，防止主频时钟对收音接收灵敏度的干扰。

天线输入回路的 PCB 走线，周围避开其它干扰源。



如果需从 AP80 芯片提供时钟信号给 FM 芯片，必须在 FM 时钟线上串联限幅电阻；可以减少对 FM 接收的干扰。

如图：



4. 电源设计

4.1. 数字和模拟电源电路

产品 PCB 设计时，对于数字与模拟电源及地线设计有以下设计要求；

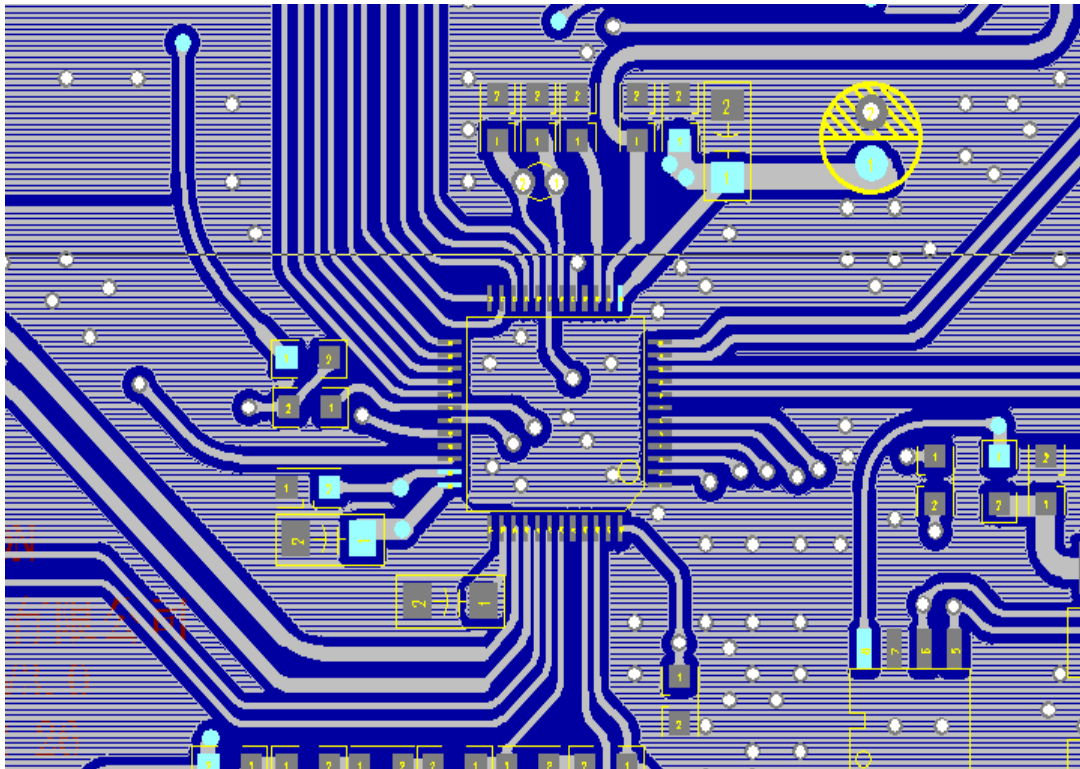
LD0330 滤波电容正输出端，分两路独立走线，一路供模拟 DAC 的 3V3 电源使用，另一路供系统的所有数字线路使用；

LD033 输出的走线必须加粗 $>0.3\text{mm}$ ；

地线的分割(DGND 和 AGND)，从系统地的接入点开始，即从 LDO 的接地端开始分割。尽量做到铺地面积越大越好，尤其是数字地部分。需要保证芯片的 VSS 管脚多点接地。

注意事项：关于地线 DGND & AGND & PGND 的分割，如 2.1 有源音箱、移动拖箱、Boombox 产品必须要求严格分地；

如图示：芯片的铺地面积越多，可提高芯片的 ESD 抗干扰能力，及降低 EMI 辐射干扰；



4.1.1. 蓝牙电源

HCI 蓝牙模块的电源纹波很大，这是蓝牙模块自身功耗以及工作方式决定的。

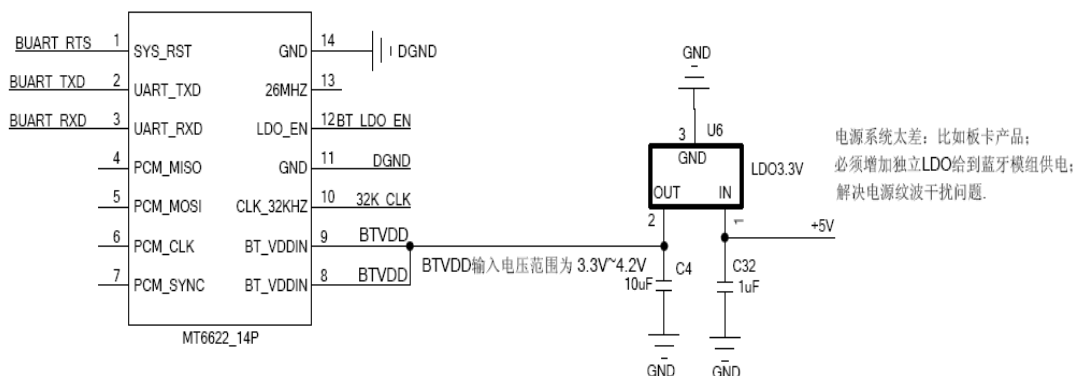
当蓝牙模块的 3.3V 电源采用 AP80 处理器的 LD03.3V OUT 供电时，蓝牙模块的电源纹波会影响 AP80 处理器自身的 3.3V 电源质量；进而影响芯片的模拟性能：

1. 模拟 ADC 的质量下降，比如：LINE-IN，MIC 等，可能引入噪声；

2. 模拟 DAC 质量下降, S/NR 变差, 噪声变大等;

从综合成本和性能考虑, 蓝牙电源设计要求如下:

1. 严格的 3.3V 电源布线设计优化;
2. 蓝牙模块 3.3V 电源采用单独的 LDO 供电; 如图示:



3. 地平面的优化分割, 蓝牙地线需要大面积铺地。

4.1.2. RTCVDD 管脚外部供电应用

芯片内部集成低功耗 RTC 模块电路;

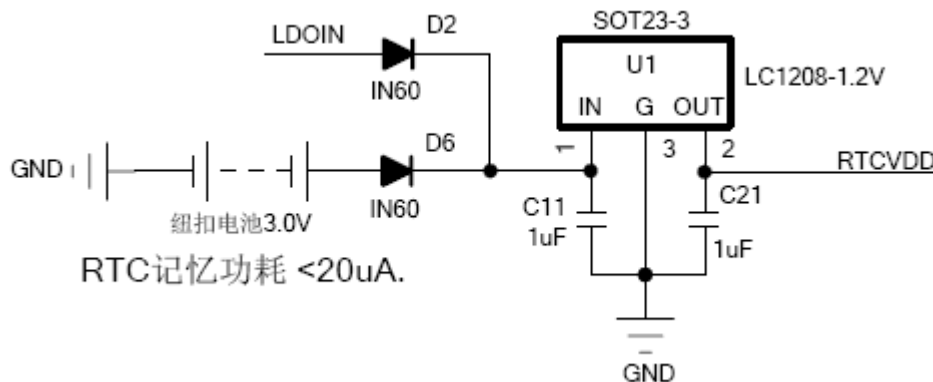
RTCVDD 管脚上的电压 $> 0.16V$ 以上, 可以保留 NVM 数据记忆;

保留 RTC 正常工作模式; RTCVDD 管脚上的工作电压必须为: $0.7V \sim 1.2V$ 范围;

LDOIN $> 2.0V$ 时, LDOIN 会给 VDD12_LP RTCVDD 管脚供电, 并对 VDD12_LP RTCVDD 管脚外接电容充电;

LDOIN $< 2.0V$ 时, LDOIN 停止给 VDD12_LP RTCVDD 管脚供电, 并对 VDD12_LP RTCVDD 管脚外接电容逐渐放电;

RTC 带纽扣电池应用设计 (此应用设计芯片 LDOIN 管脚不供电也可以保留 RTC 正常工作), 如图示:



5. PCB Layout 整体设计规范

目的：提高 PCB 设计性能质量及设计效率；

基本原则：

1. 遵守“先大后小，先难后易”的布置原则，即重要单元电路、核心元件应优先布局；
2. 布局需参考原理图，根据板子的主信号流向规律摆放主器件；应适当考虑使用同一种电源的器件尽量放在一起，减低电源的噪声；
3. 数据连线尽可能短，关键信号线最短，高电压、大电流信号与小电流、低电压的弱信号完全分开；模拟信号与数字信号分开；高频信号与低频信号分开；高频元器件的间隔需要有一定距离；
4. 相同电路结构部分，尽可能采用“对称式”标准布局；
5. 按照均匀分布、版面美观的标准优化布局；
6. 同类型元件在 X 或 Y 方向上应朝一个方向放置；利于生产及调试；
7. 发热元件要均匀分布，以利于单板和整机的散热，除温度检测元件以外的温度敏感器件都应远离发热量大的元器件；
8. 焊接面的贴装元件采用波峰焊接生产工艺时，阻、容件轴向要与波峰焊传送方向垂直，阻排及 SOP 封装（pin 间距 $\geq 1.27\text{mm}$ ）元器件轴向与传送方向平行；pin 间距 $< 1.27\text{mm}$ 的 IC 等有源元件避免用波峰焊焊接；
9. IC 去耦电容布局要尽量靠近 IC 的电源管脚，并使之与电源和地之间形成的回路最短；
10. 用于阻抗匹配目的的阻容器件布局，要根据其属性合理摆放，串联匹配电阻的布局要靠近该信号的驱动端，对于多负载的终端匹配一定要在信号的最远端匹配；
11. 在高速数字电路设计中，电源与地层应尽量靠在一起，中间不安排布线；所有布线层都尽量靠近一平面层，优选地平面为走线隔离层；
12. 为减少层间信号的电磁干扰，相邻布线层的信号线走向应去垂直方向；
13. 定义和分割平面层，平面层一般用于电路的电源和地层（参考层），由于电路中可能用到不同的电源和地层，需要对电源层和地层进行分割；其分割宽度要考虑不同电源之间的电位差，电位差 $> 12\text{V}$ 时，分隔宽度为 50mil，反之可选为 20mil~25mil；平面分隔要考虑高速信号回流路径的完整性；
14. 布线优先次序：关键信号线优先：电源、模拟小信号、高速信号、时钟信号等关键信号优先布线；密度优先原则：从单板上连接关系最复杂的器件着手布线；
15. 线宽与线距的设置，信号的电流强度，当信号的平均电流较大时，应考虑布线宽度所能承载的电流，线宽可参看以下数据：PCB 设计时铜箔厚度，走线宽度和电流的关系来决定；
16. 地线回路规则，环路最小规则，即信号线与其回路构成的环面积要尽可能小，环面积越小，对外的辐射越小；接收外界的干扰也越小。
17. 串扰控制，串扰是指 PCB 上不同网络之间因较长的平行布线引起的相互干扰，主要是由于平行线间的分布电容及分布电感作用；设计上需要注意：加大平行布线的间距，遵循 3W 规则，在平行线间插入地线隔离线，减少布线层与地平面的距离；
18. 器件去耦规则：每级电路上增加去耦电容，滤除电源上的干扰信号，保证电源信号稳定；