

SYL : LABORATOIRE ALU

Rappel

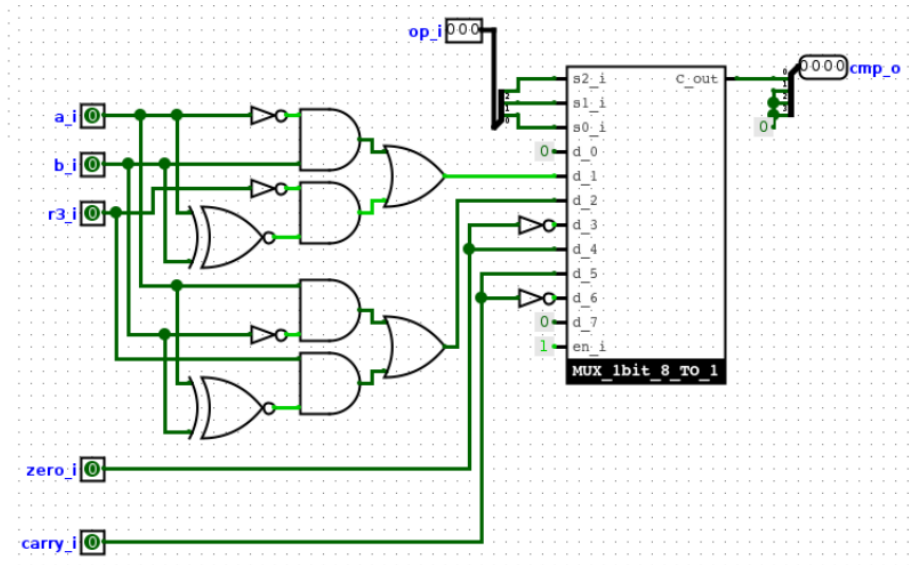
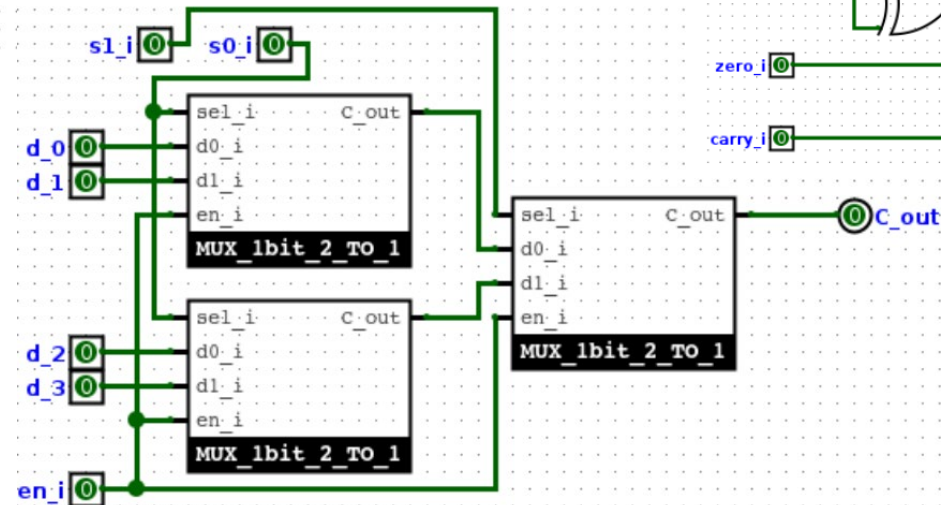
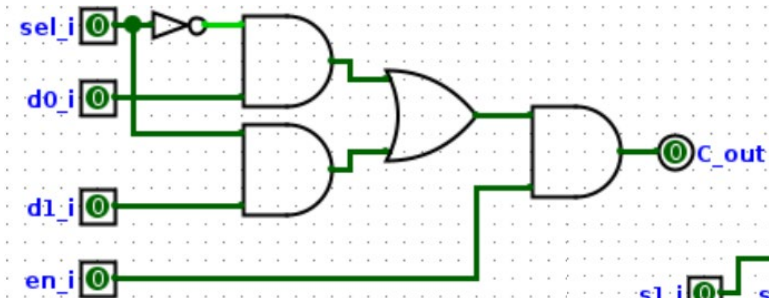
NOTE 1 : Afin de ne pas avoir de pénalité pensez à respecter les points suivants

- Toutes les entrées d'un composant doivent être connectées. (-0.1 sur la note par entrée non-connectée)
- Lors de l'ouverture de Logisim, bien préciser votre nom en tant que User
- Ne pas modifier (enlever/ajouter/renommer) les entrées/sorties déjà placées
- Ne pas modifier le nom des composants déjà présents

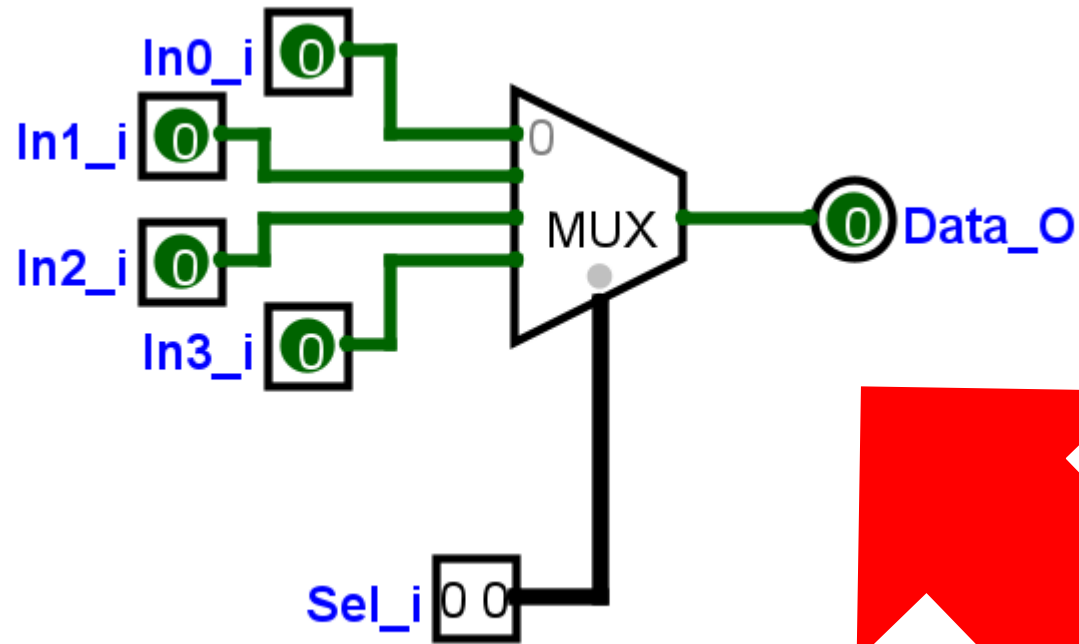
NOTE 2 : Lors de la création de votre circuit, tenez compte des points suivants afin d'éviter des erreurs pendant la programmation de la carte FPGA :

- Nom d'un circuit \neq Label d'un circuit
- Nom d'un signal (Pin) \neq Label et/ou Nom d'un circuit, toutes les entrées/sorties doivent être nommées
- Les composants doivent avoir des labels différents

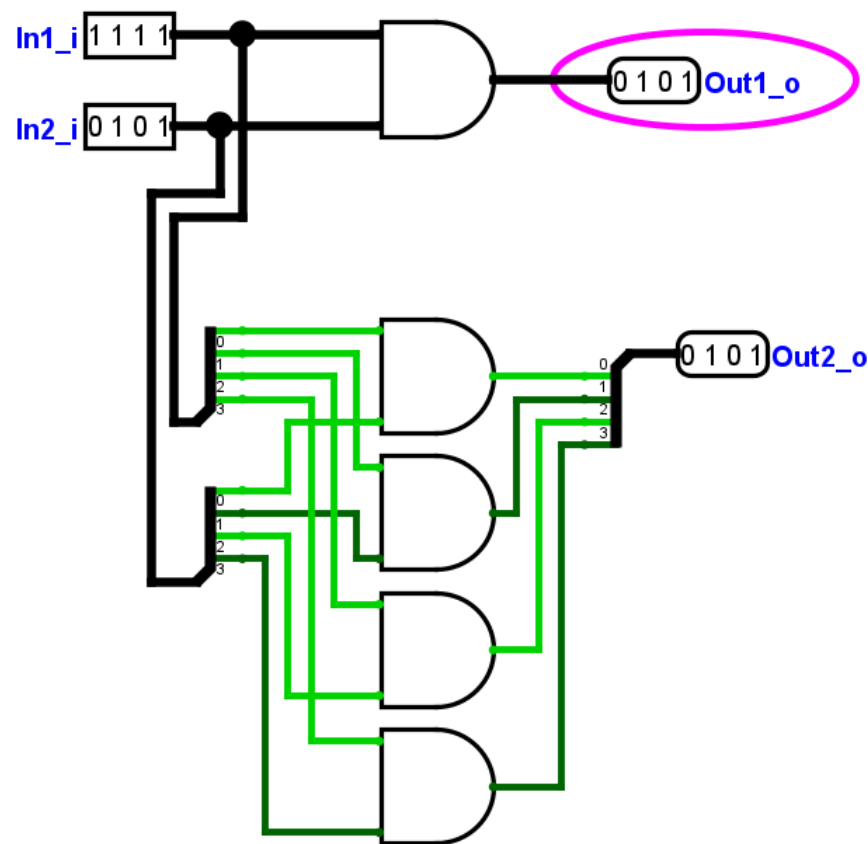
Ne pas refaire les multiplexeurs



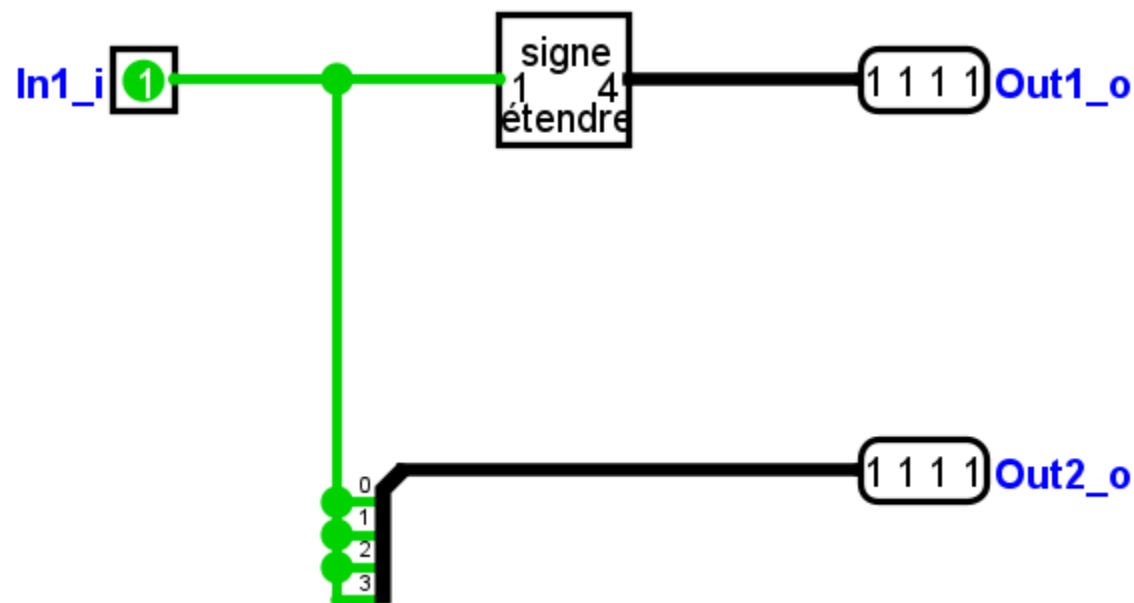
Utilisez ça !



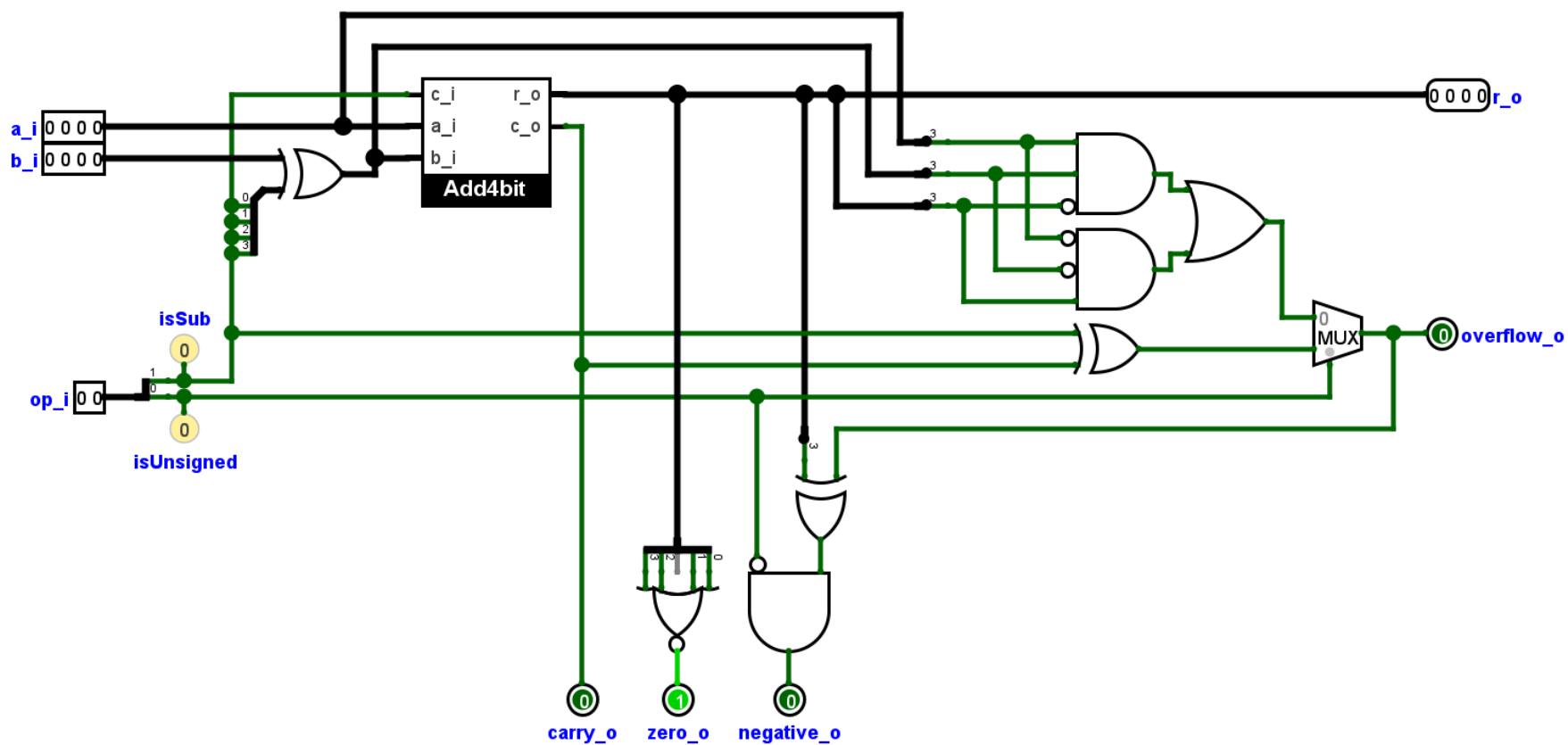
Porte ET sur 4 bits = 4 x porte ET sur 1 bit



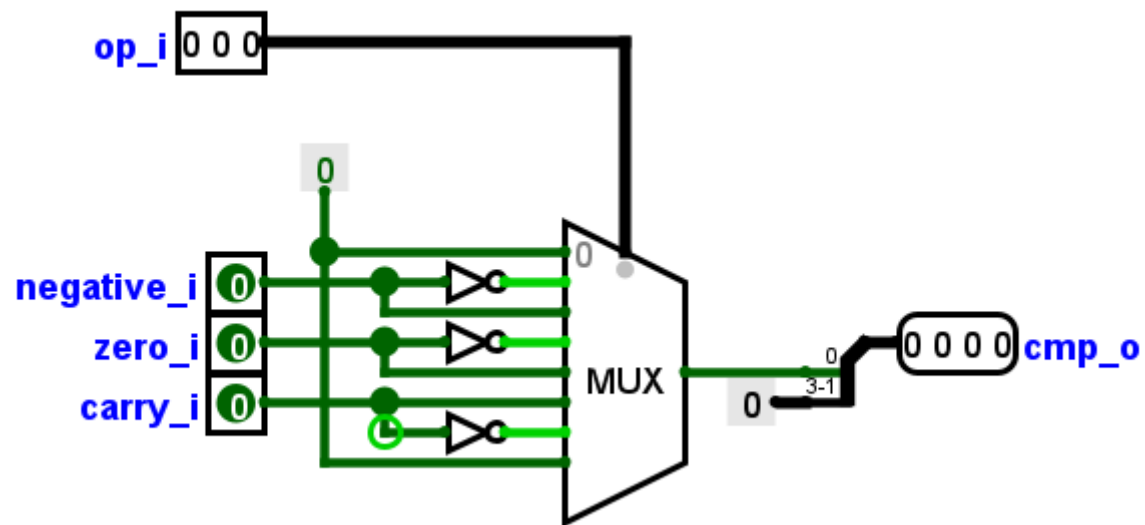
Bit extender c'est NON : Utilisez des splitters



ALU:Add/Sub



ALU: Comparateur



ALU: Custom

