



HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



BÀI GIẢNG MÔN

KỸ THUẬT VI XỬ LÝ

**CHƯƠNG 5 – CÁC PHƯƠNG PHÁP
VÀO RA DỮ LIỆU**

Giảng viên:

Điện thoại/E-mail:

Bộ môn:

TS. PHẠM HOÀNG DUY

phamhduy@gmail.com

An toàn thông tin - Khoa CNTT1

NỘI DUNG

1. Giới thiệu các phương pháp vào ra dữ liệu
2. Vào ra bằng thăm dò
3. Ngắt và xử lý ngắt
 - ❖ Ngắt và phân loại ngắt
 - ❖ Chu trình xử lý ngắt
4. Vào ra bằng ngắt
 - ❖ Vào ra bằng ngắt
 - ❖ Giới thiệu mạch điều khiển ngắt 8259
5. Vào ra bằng DMA
 - ❖ Vào ra bằng DMA
 - ❖ Giới thiệu mạch điều khiển DMA 8237

5.1. Giới thiệu các phương pháp vào ra dữ liệu

❖ Vai trò của vào ra dữ liệu:

- Là phương tiện giúp CPU giao tiếp với thế giới bên ngoài
- Cung cấp dữ liệu đầu vào cho CPU xử lý
- Cung cấp phương tiện để CPU kết xuất dữ liệu đầu ra

❖ Các phương pháp vào ra chính:

- Thăm dò (polling)
- Ngắt (Interrupt)
- Truy nhập trực tiếp bộ nhớ (DMA-Direct Memory Access)

5.1. Giới thiệu các phương pháp vào ra dữ liệu

❖ Các cổng vào ra của máy tính

- PS/2: cổng ghép nối với bàn phím và chuột
- COM: các cổng ghép nối nối tiếp
- LPT: các cổng ghép nối song song
- IDE, SATA, SCSI: các cổng ghép nối ổ đĩa
- LAN: cổng ghép nối mạng cục bộ
- Audio: cổng ghép nối âm thanh (speaker, mic và line-in)
- Video: Cổng ghép nối với màn hình (tương tự)
- DVI : Cổng ghép nối với màn hình (số)
- USB: Cổng ghép nối theo chuẩn USB
 - USB 1.0: 12Mb/s
 - USB 2.0: 480Mb/s
 - USB 3.0: 1.5Gb/s (tương lai)

5.2. Vào ra bằng thăm dò

❖ Cơ chế vào ra bằng thăm dò:

- CPU quản lý danh sách các thiết bị vào ra kèm theo địa chỉ các cổng giao tiếp;
- Các thiết bị vào ra định kỳ cập nhật trạng thái sẵn sàng làm việc của mình lên các bit cờ trạng thái vào ra của mình;
- CPU định kỳ lần lượt “quét” các thiết bị vào ra để “đọc” các bit cờ trạng thái vào ra;
 - Nếu gặp một thiết bị sẵn sàng làm việc, 2 bên tiến hành trao đổi dữ liệu;
 - Trao đổi dữ liệu xong, CPU tiếp tục quét thiết bị khác.
- CPU là bên chủ động trong quá trình trao đổi dữ liệu

5.2. Vào ra bằng thăm dò

❖ Ưu điểm:

- Đơn giản, dễ cài đặt
- Có thể được cài đặt bằng phần mềm

❖ Nhược điểm:

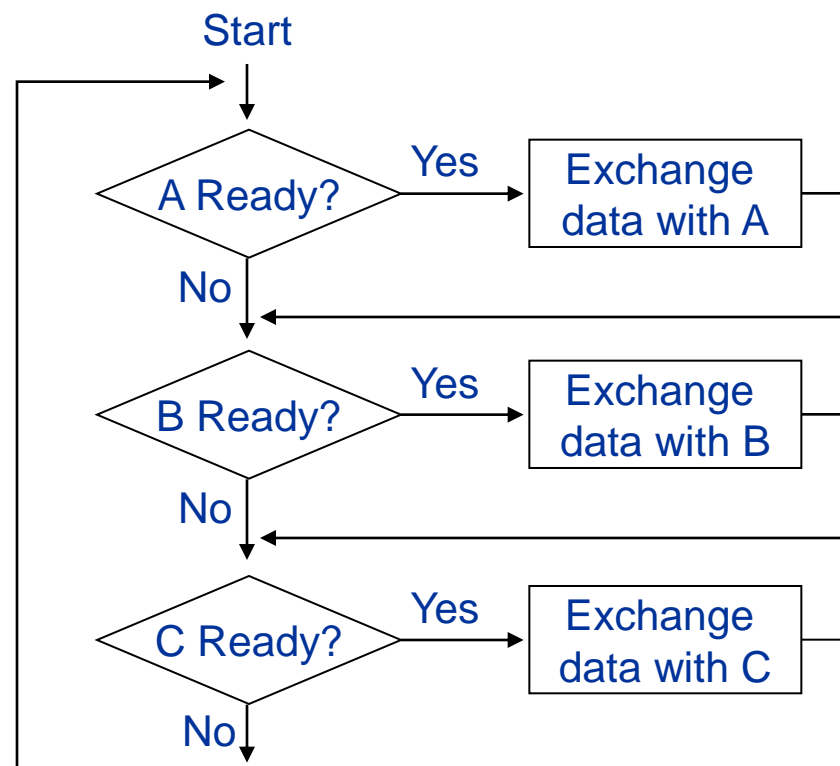
- Hiệu quả thấp do CPU tốn nhiều thời gian để thăm dò các thiết bị
- Không thực sự khả thi khi có nhiều thiết bị trong danh sách thăm dò

❖ Ứng dụng của vào ra bằng thăm dò:

- Thăm dò thường được sử dụng khi hệ thống khởi động: CPU thăm dò hầu hết các thiết bị để xác lập cấu hình
- Thăm dò được sử dụng trong quá trình hoạt động với các thiết bị rời (removable) như ổ đĩa CD/DVD, ổ mềm, ...

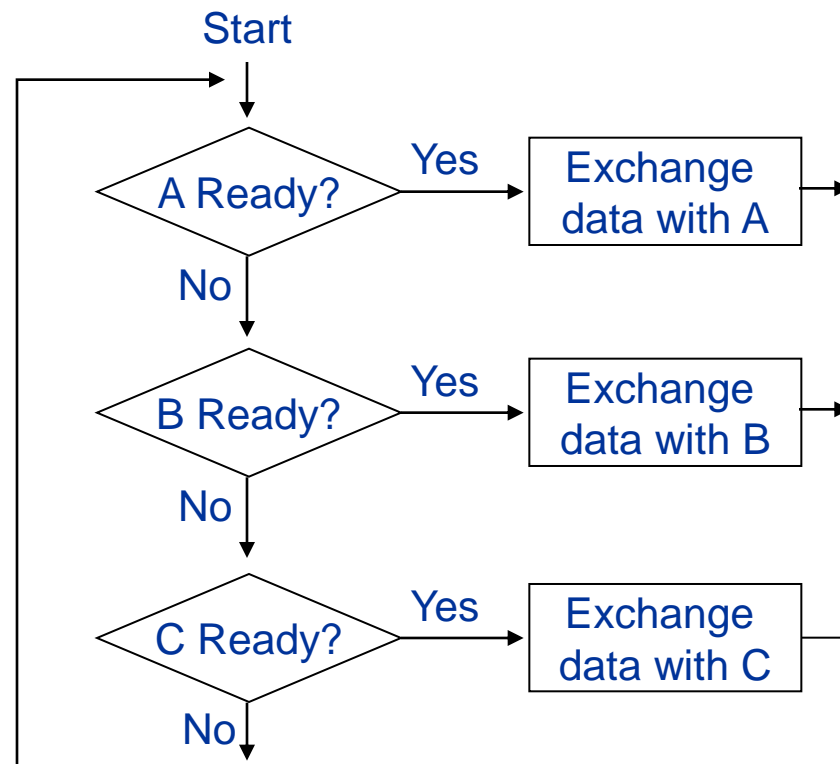
5.2. Vào ra bằng thăm dò – không ưu tiên

- ❖ Ba thiết bị A, B, C được thăm dò không ưu tiên
- ❖ CPU quét tất cả các thiết bị trong một chu trình thăm dò
- ❖ CPU có thể trao đổi dữ liệu với nhiều hơn 1 thiết bị trong một chu trình thăm dò
- ❖ Các thiết bị được “thăm” lần lượt, không phụ thuộc vào thiết bị đứng trước chu trình.
- ❖ CPU bắt đầu 1 chu trình thăm dò mới sau khi đã quét qua tất cả các thiết bị.



5.2. Vào ra bằng thăm dò – có ưu tiên

- ❖ Ba thiết bị A, B, C được thăm dò có ưu tiên theo thứ tự: A, B, C;
- ❖ CPU có thể quét tất cả các thiết bị trong một chu trình thăm dò
- ❖ CPU chỉ trao đổi dữ liệu với tối đa 1 thiết bị trong một chu trình thăm dò
- ❖ Các thiết bị có mức ưu tiên cao luôn được thăm trước;
- ❖ Các thiết bị có mức ưu tiên thấp chỉ được thăm nếu các thiết bị đứng trước nó không sẵn sàng.
- ❖ CPU bắt đầu 1 chu trình thăm dò mới ngay sau khi trao đổi dữ liệu với một thiết bị.



5.3.1 Ngắt và xử lý ngắt

❖ Ngắt là gì?

- Ngắt (Interrupt) là một sự kiện mà CPU tạm dừng thực hiện một chương trình để thực hiện một đoạn chương trình khác theo yêu cầu từ bên ngoài;
- Thông thường các yêu cầu từ bên ngoài thường xuất phát từ các thiết bị vào ra. Các yêu cầu này gọi là các yêu cầu ngắt;
- Đoạn chương trình CPU thực hiện trong thời gian ngắt được gọi là chương trình con phục vụ ngắt (CTCPVN).

❖ Các CTCPVN là các đoạn chương trình:

- Được viết sẵn và lưu trong ROM;
- Mỗi CTCPVN có nhiệm vụ riêng và thường là đảm nhiệm việc trao đổi dữ liệu với thiết bị vào ra.

❖ Khi nào CPU kiểm tra và xử lý ngắt: CPU kiểm tra yêu cầu ngắt tại chu kỳ đồng hồ cuối cùng của chu kỳ lệnh.

5.3.1 Ngắt và xử lý ngắt

❖ Phân loại ngắt

- Ngắt cứng: là các ngắt được kích hoạt bởi các bộ phận phần cứng gửi đến chân NMI và INTR của CPU; gồm:
 - Ngắt không che được NMI (Non-Maskable Interrupt): ngắt gửi đến chân NMI của CPU, không chịu sự ảnh hưởng của cờ ngắt; VD: ngắt Reset;
 - Ngắt che được INTR (Maskable Interrupt): ngắt gửi đến chân INTR của CPU, chịu sự chi phối của cờ ngắt; Cờ $IF=1 \rightarrow$ cho phép ngắt, $IF=0 \rightarrow$ cấm ngắt.
- Ngắt mềm: là các ngắt được kích hoạt bởi các chương trình thông qua lệnh gọi ngắt $INT <N>$. N là số hiệu ngắt, $N=0-255$.
- Các ngắt ngoại lệ: là các ngắt do các lỗi xảy sinh trong quá trình hoạt động của CPU:
 - Ngắt chia cho 0 (divide by zero)
 - Ngắt do tràn (overflow)

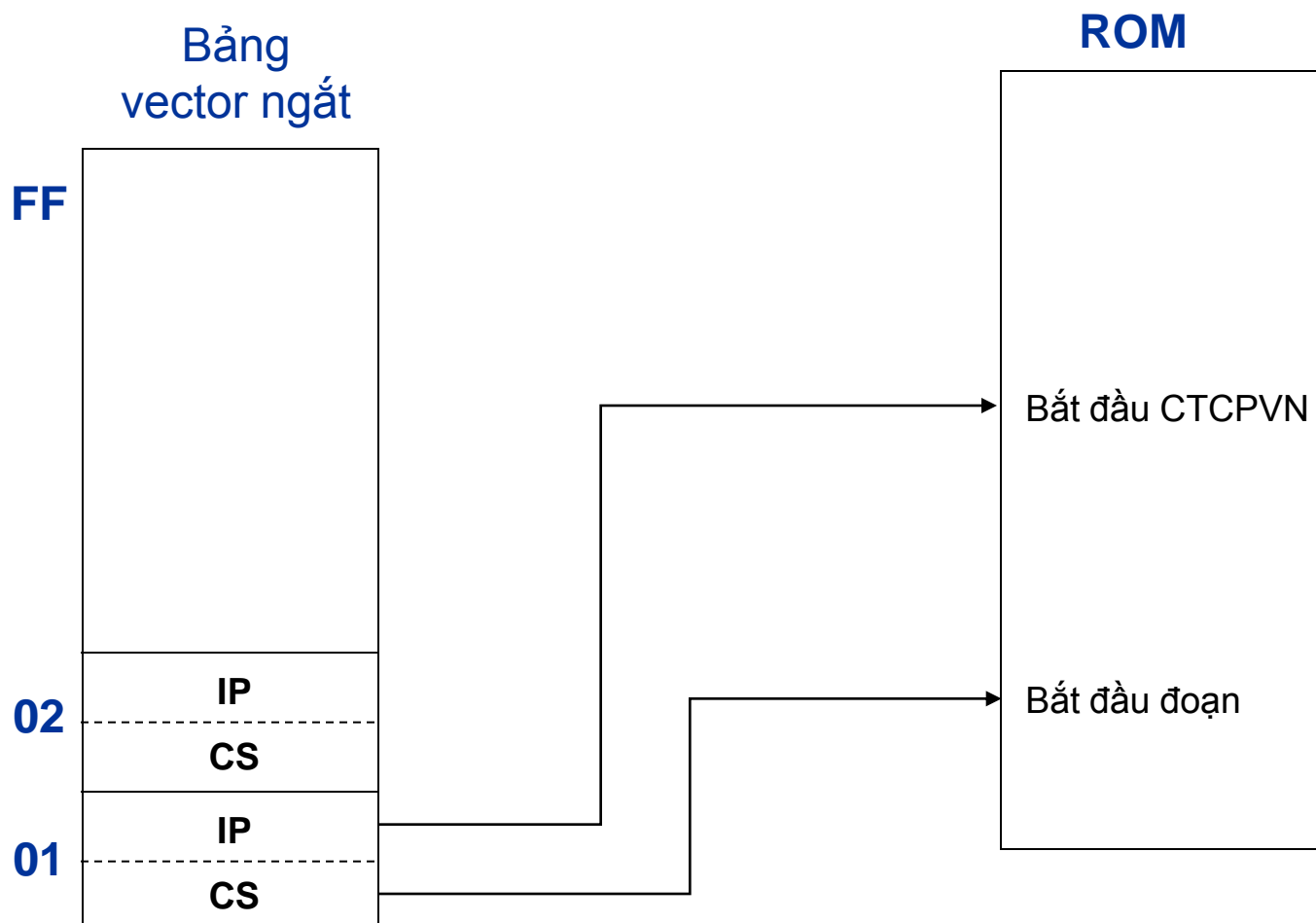
5.3.1 Ngắt và xử lý ngắt

- ❖ Trật tự ưu tiên trong xử lý các yêu cầu ngắt
 - Các yêu cầu ngắt được gán một mức ưu tiên
 - Khi nhận được nhiều yêu cầu ngắt đồng thời, CPU sẽ xử lý chúng theo mức ưu tiên định trước
- ❖ Mức ưu tiên các yêu cầu ngắt (từ cao nhất đến thấp nhất)
 1. Ngắt nội bộ: INT 0 (chia cho 0), INT N ($N \neq 0$)
 2. Ngắt không che được NMI
 3. Ngắt che được INTR
 4. Ngắt chạy từng lệnh: INT 1

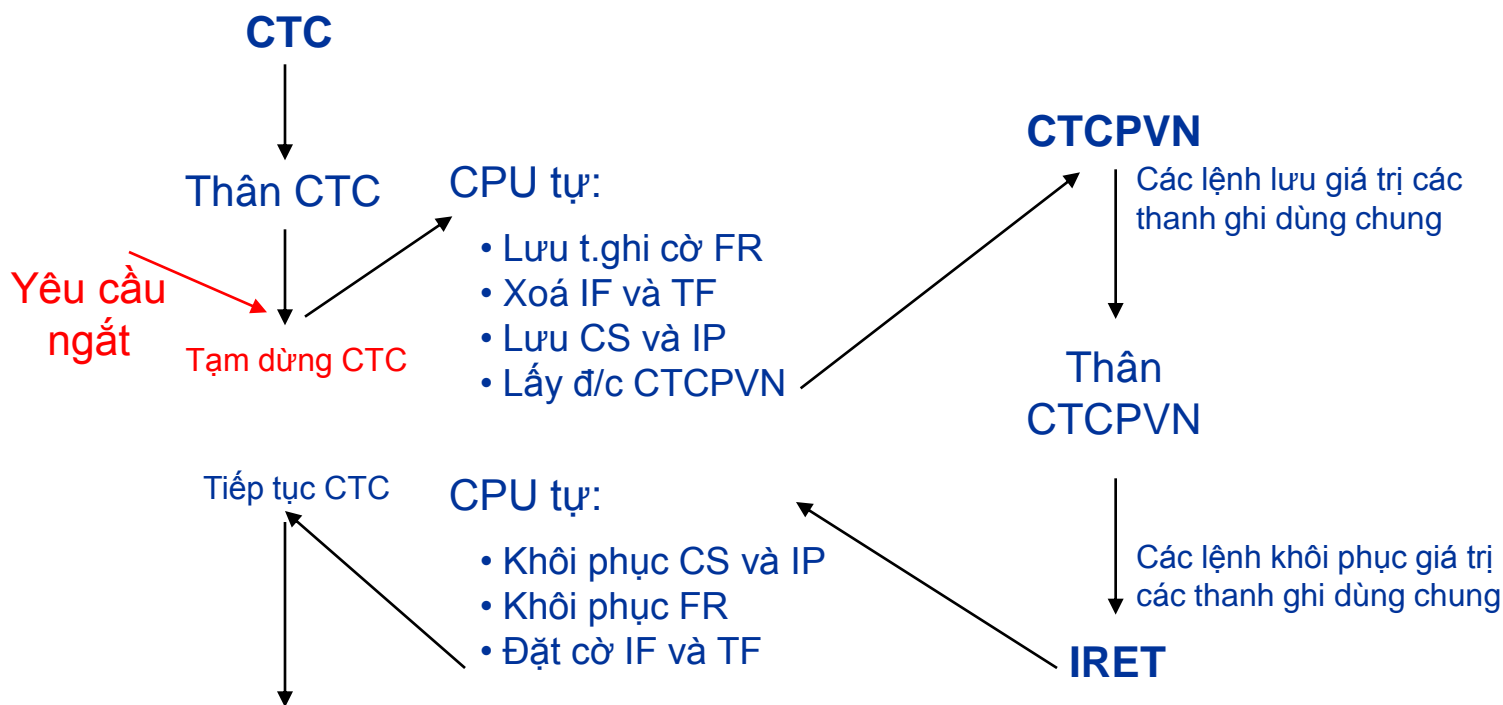
5.3.1 Ngắt và xử lý ngắt – Bảng vector ngắt

- ❖ Vi xử lý 8086/8088 có 256 ngắt được đánh số từ 0-255
- ❖ Một vector ngắt gồm các thông tin:
 - Số hiệu ngắt N, N=0-255 hoặc 00-FFH
 - Địa chỉ đầy đủ chương trình con phục vụ ngắt (CTCPVN) lưu trong bộ nhớ ROM. Địa chỉ đầy đủ gồm:
 - Địa chỉ đoạn (CS)
 - Địa chỉ lệch (IP)
- ❖ Bảng vector ngắt lưu thông tin về 256 vector ngắt. Mỗi bản ghi của bảng gồm các thông tin:
 - Số hiệu ngắt
 - Địa chỉ đoạn và địa chỉ lệch của CTCPVN.

5.3.1 Ngắt và xử lý ngắt – Bảng vector ngắt



5.3.1 Ngắt và xử lý ngắt – Chu trình xử lý ngắt



5.3.1 Ngắt và xử lý ngắt – Chu trình xử lý ngắt

1. **Khi nhận được yêu cầu ngắt, CPU thực hiện các việc:**
 - a. Hoàn tất lệnh đang thực hiện của chương trình chính (CTC)
 - b. Lưu giá trị của thanh ghi cờ FR vào ngăn xếp
 - c. Xoá cờ ngắt IF và cờ bẫy TF
 - d. Lưu giá trị của các t.ghi CS và IP vào ngăn xếp
 - e. Từ số hiệu ngắt N, lấy địa chỉ của CTCPVN từ bảng vector ngắt
2. **Nạp địa chỉ của CTCPVN vào CS và IP, CPU thực hiện CPCPVN, gồm:**
 - a. Lưu giá trị các thanh ghi dùng chung vào ngăn xếp
 - b. Thực hiện mã chính của CTCPVN
 - c. Khôi phục giá trị các thanh ghi dùng chung
3. **Gặp lệnh IRET kết thúc CTCPVN, CPU thực hiện các việc:**
 - a. Khôi phục giá trị của CS và IP
 - b. Khôi phục giá trị của thanh ghi cờ FR
 - c. Đặt cờ ngắt IF và cờ bẫy TF
4. **CPU tiếp tục thực hiện lệnh tiếp theo của CTC (nằm sau lệnh xảy ra ngắt).**

5.4.1 Vào ra bằng ngắt – Chu trình vào ra bằng ngắt

1. Thiết bị vào ra có nhu cầu trao đổi dữ liệu, gửi yêu cầu ngắt đến chân tín hiệu INTR của CPU;
2. Khi nhận được yêu cầu ngắt, CPU thực hiện các việc:
 - a. Hoàn tất lệnh đang thực hiện của chương trình chính (CTC)
 - b. Lưu giá trị của thanh ghi cờ FR vào ngăn xếp
 - c. Xóa cờ ngắt IF và cờ bẫy TF
 - d. Lưu giá trị của các t.ghi CS và IP vào ngăn xếp
 - e. Gửi tín hiệu xác nhận ngắt đến thiết bị vào ra qua chân tín hiệu INTA
3. Nhận được hiệu xác nhận ngắt của CPU, thiết bị vào ra gửi số hiệu ngắt N đến CPU
4. Nhận được số hiệu ngắt N, CPU lấy địa chỉ của CTCPVN tương ứng từ bảng vector ngắt

5.4.1 Vào ra bằng ngắt – Chu trình vào ra bằng ngắt

5. Nạp địa chỉ của CTCPVN vào CS và IP, CPU thực hiện CPCPVN, gồm:
 - a. Lưu giá trị các thanh ghi dùng chung vào ngăn xếp
 - b. Thực hiện mã chính của CTCPVN: đồng thời thực hiện việc trao đổi dữ liệu với thiết bị vào ra
 - c. Khôi phục giá trị các thanh ghi dùng chung
6. Gặp lệnh IRET kết thúc CTCPVN, CPU thực hiện các việc:
 - a. Khôi phục giá trị của CS và IP
 - b. Khôi phục giá trị của thanh ghi cờ FR
 - c. Đặt cờ ngắt IF và cờ bắt TF
7. CPU tiếp tục thực hiện lệnh tiếp theo của CTC (nằm ngay sau lệnh xảy ra ngắt).

5.4.1 Vào ra bằng ngắt – Ưu và nhược điểm

❖ Ưu điểm

- Hiệu quả hơn vào ra bằng thăm dò, do CPU không phải thăm dò từng thiết bị

❖ Nhược điểm

- Phức tạp hơn vào ra bằng thăm dò
- Cần mạch phần cứng để điều khiển ngắt

❖ Bên chủ động trong vào ra bằng ngắt:

- Thiết bị vào ra

5.4.2 Mạch điều khiển ngắt 8259A

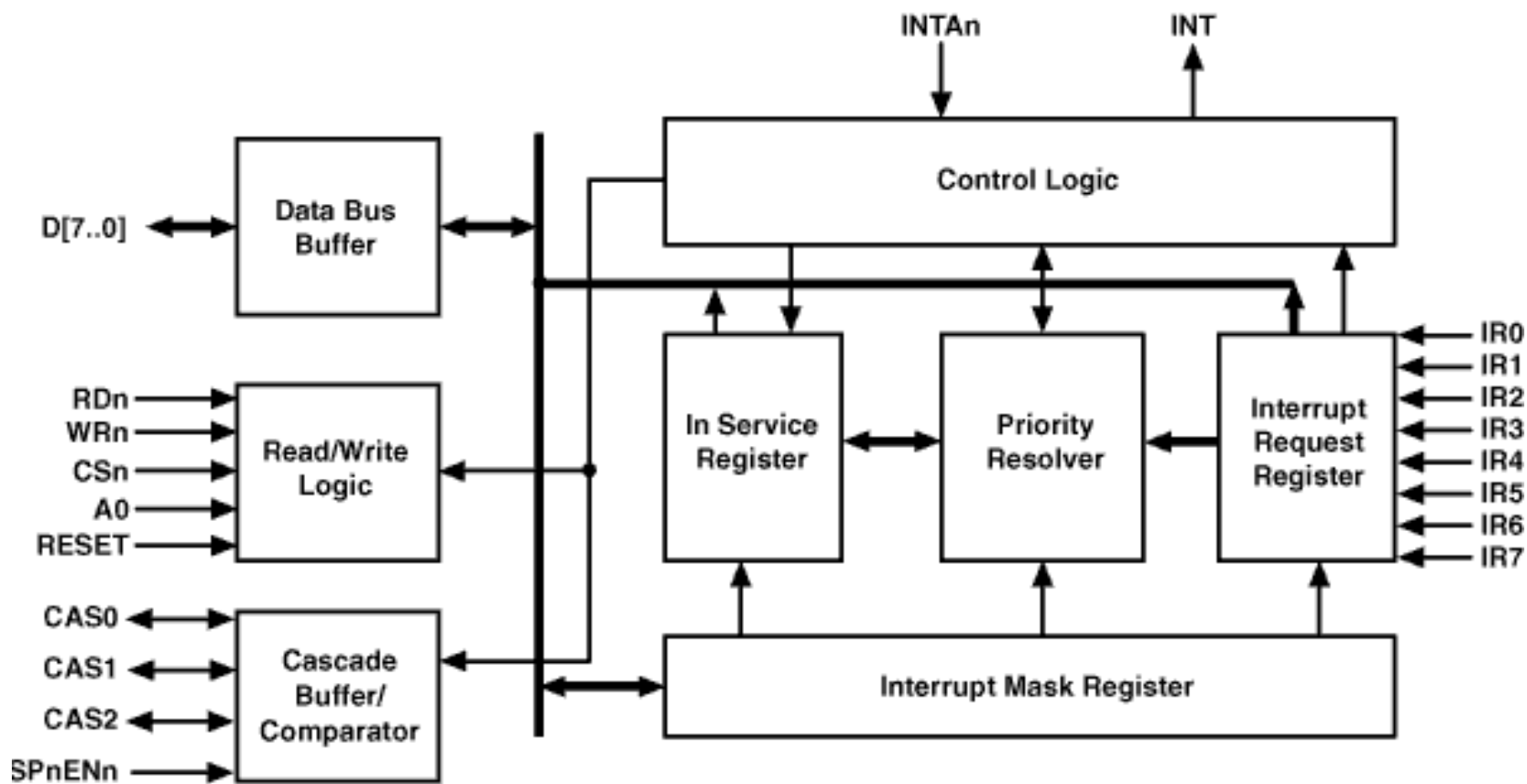
- ❖ Trường hợp có nhiều yêu cầu ngắt che được (ngắt gửi đến chân INTR), mạch điều khiển ngắt 8259A thường được sử dụng để giải quyết vấn đề ưu tiên xử lý các yêu cầu ngắt.
- ❖ Vi mạch 8259A được gọi là mạch điều khiển ngắt lập trình được (Programmable Interrupt Controller - PIC).
 - Là một vi mạch cỡ lớn có thể xử lý trước được 8 yêu cầu ngắt với các mức ưu tiên khác nhau để tạo ra một yêu cầu ngắt đưa đến đầu vào INTR của CPU 8086.
 - Nếu nối tầng 1 mạch 8259A chủ với 8 mạch 8259A thợ ta có thể nâng tổng số các yêu cầu ngắt với các mức ưu tiên khác nhau lên thành 64.

5.4.2 PIC 8259A – Sơ đồ chân và các tín hiệu

\overline{CS}	1	28	Vcc
\overline{WR}	2	27	A0
\overline{RD}	3	26	\overline{INTA}
D7	4	25	IR7
D6	5	24	IR6
D5	6	23	IR5
D4	7	22	IR4
D3	8	21	IR3
D2	9	20	IR2
D1	10	19	IR1
D0	11	18	IR0
CAS0	12	17	INT
CAS1	13	16	$\overline{SP/EN}$
gnd	14	15	CAS2

D0-D7	Dữ liệu
RD, WR	Đọc, Ghi (mức thấp)
A0	Địa chỉ thanh ghi
CS	Chọn chip
CAS0-2	Ghép tầng với PIC khác
SP	Xác định PIC chủ (master SP=1) thợ (slave SP=0)
EN	Mở đệm dữ liệu
INT	Yêu cầu ngắt ghép với INTR của CPU
INTA	Xác nhận ngắt ghép với INTA của CPU
D0-D7	Tín hiệu dữ liệu ghép với bus dữ liệu của CPU

5.4.2 PIC 8259A – Sơ đồ khối



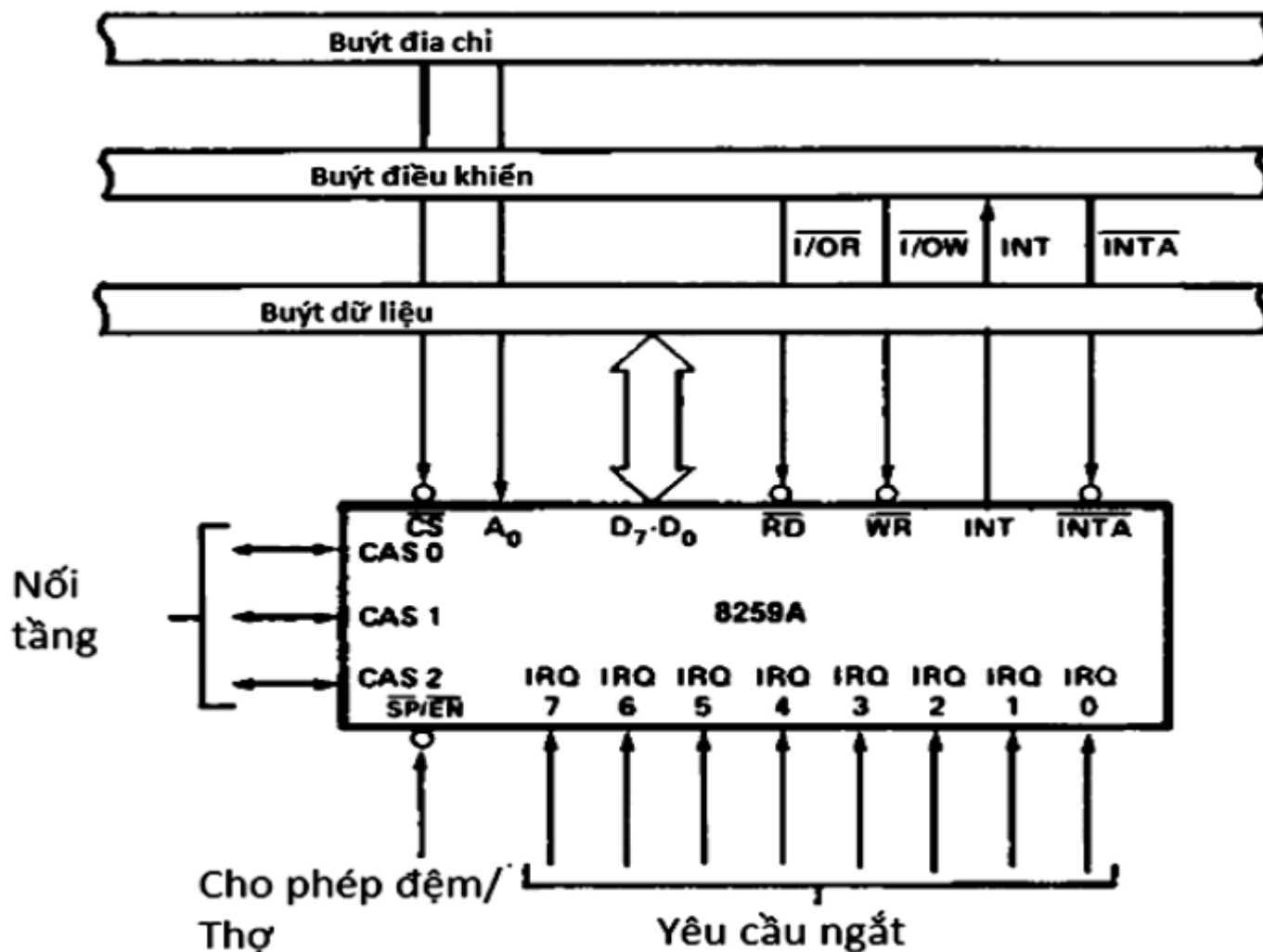
5.4.2 PIC 8259A – Sơ đồ khối

- ❖ Thanh ghi Interrupt Request Register (IRR): ghi nhớ các yêu cầu ngắt có tại đầu vào IRI.
- ❖ Khối Priority resolver: xác định thứ tự ưu tiên của các yêu cầu ngắt.
- ❖ Thanh ghi Interrupt Service Register (ISR): ghi nhớ các yêu cầu ngắt đang được phục vụ trong số các yêu cầu ngắt IRI.
- ❖ Thanh ghi Interrupt Mask Register (IMR): ghi nhớ mặt nạ ngắt đối với các yêu cầu ngắt IRI.

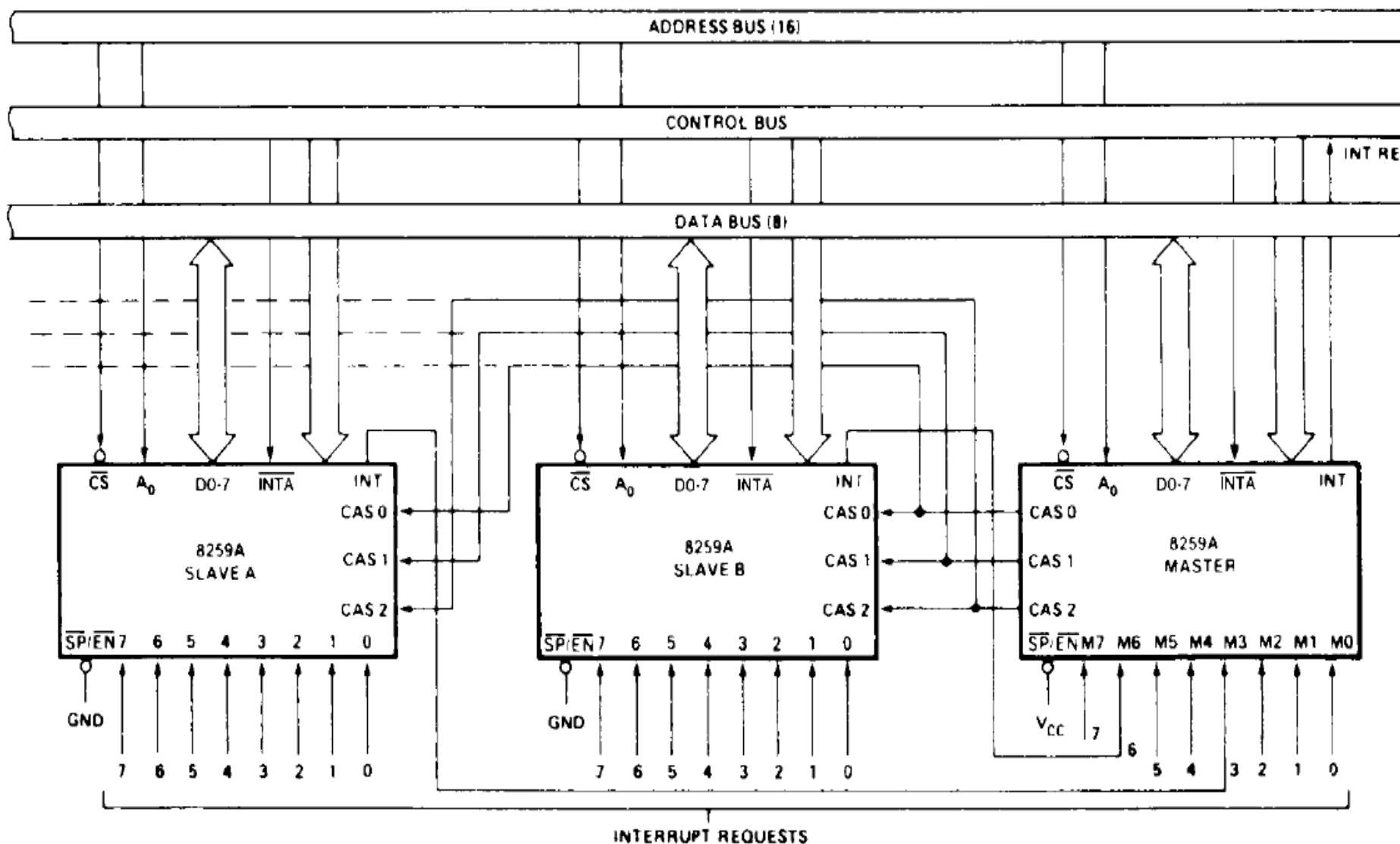
5.4.2 PIC 8259A – Sơ đồ khối

- ❖ Logic điều khiển (Control Logic): khối này có nhiệm vụ gửi yêu cầu ngắt tới INTR của 8086 khi có tín hiệu tại các chân IRI và nhận trả lời chấp nhận yêu cầu ngắt INTA từ CPU để rồi điều khiển việc đưa ra kiểu ngắt trên buýt dữ liệu.
- ❖ Đệm buýt dữ liệu (Data Bus Buffer): dùng để phối ghép 8259A với bus dữ liệu của CPU.
- ❖ Logic điều khiển ghi/đọc (Read/Write Logic): điều khiển việc ghi các từ điều khiển và đọc các từ trạng thái của 8259A.
- ❖ Khối đệm nối tầng và so sánh (Cascade buffer/ comparator): ghi nhớ và so sánh số hiệu của các mạch 8259A có mặt trong hệ vi xử lý.

5.4.2 PIC 8259A – Ghép nối với CPU



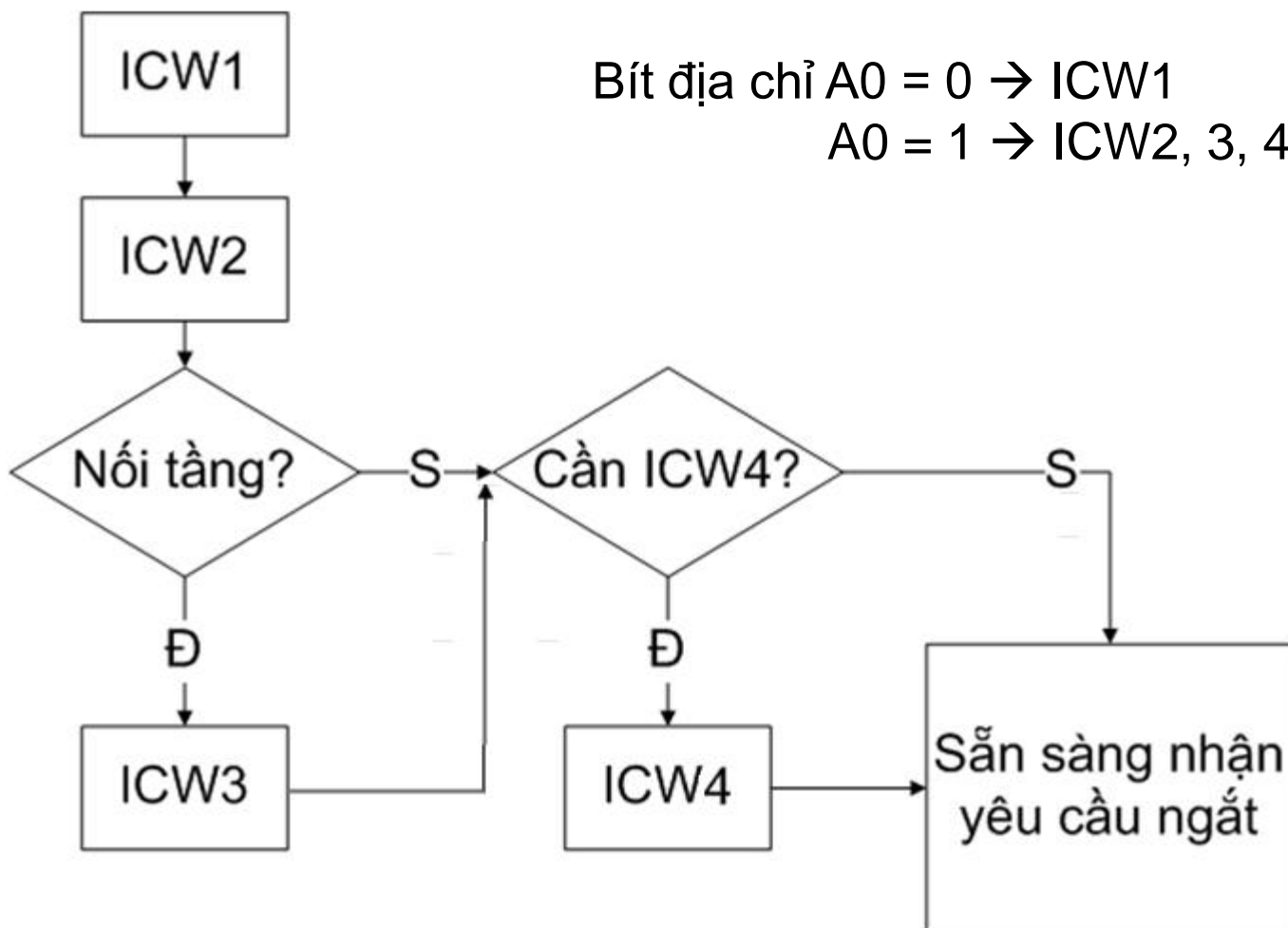
5.4.2 PIC 8259A – Ghép nối nhiều tầng với CPU



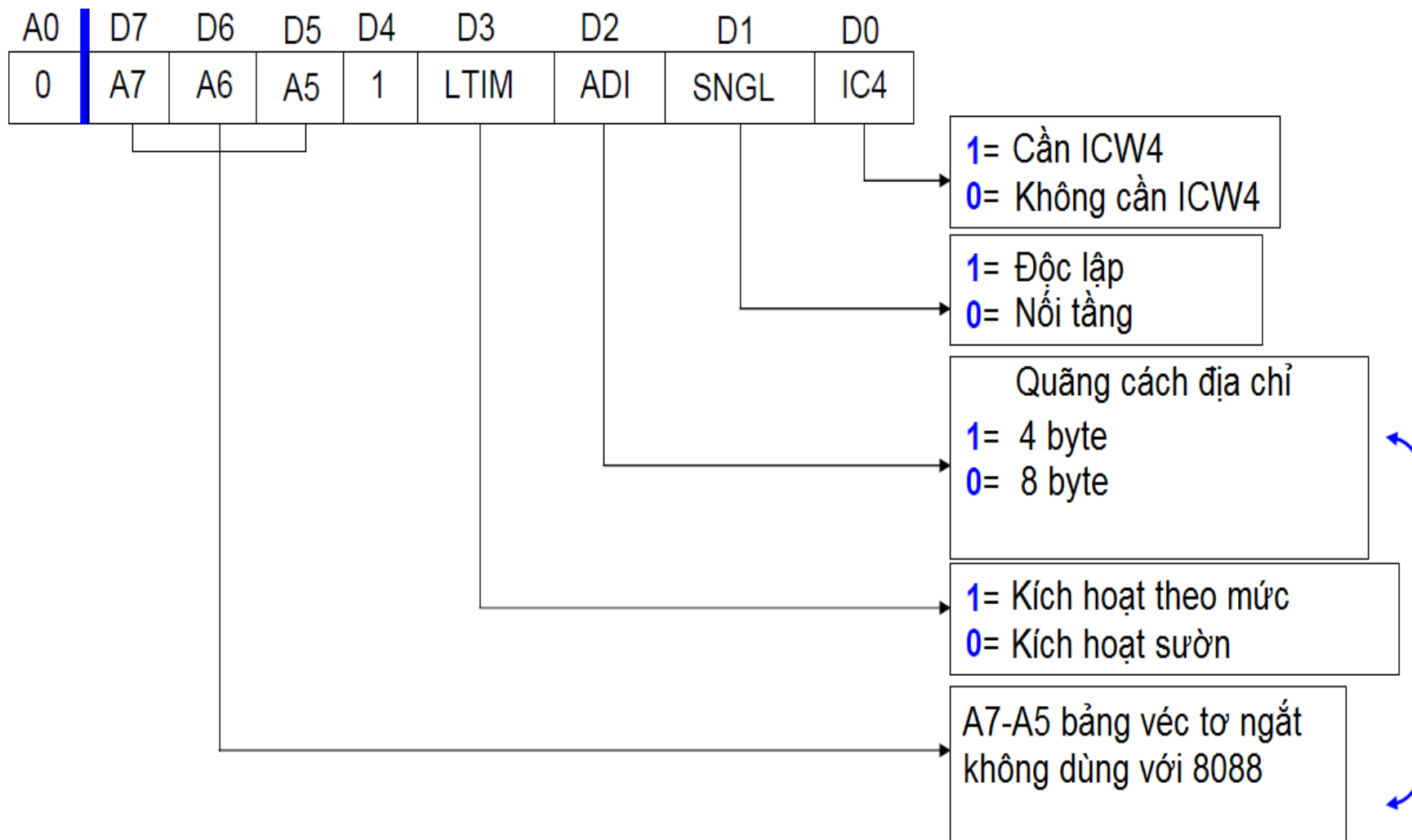
5.4.3 Lập trình cho PIC 8259A

- ❖ PIC được lập trình thông qua việc nạp các giá trị thích hợp cho 7 thanh ghi của 8259A:
 - 4 từ khởi tạo ICW (Initialization Control Word)
 - 3 từ điều khiển hoạt động OCW (Operation Control Word)
- ❖ ICW xác lập chế độ hoạt động cho PIC-8259A
- ❖ OCW điều khiển 8259A hoạt động ở các chế độ khác nhau

5.4.3 L. trình PIC 8259A – Xác lập chế độ làm việc

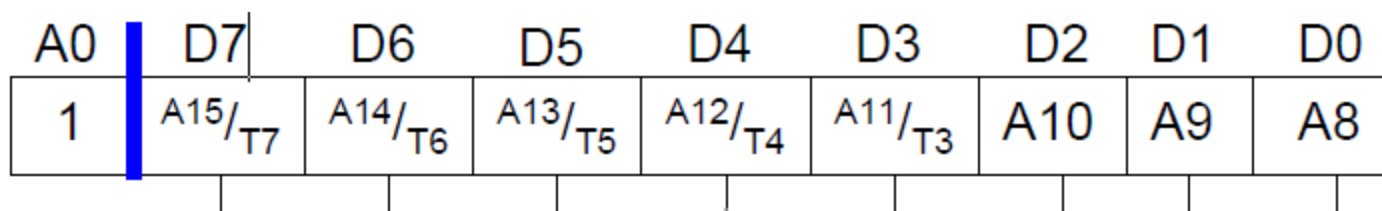


5.4.3 Lập trình PIC 8259A – ICW1



5.4.3 Lập trình PIC 8259A – ICW2

❖ Xác định số hiệu ngắt



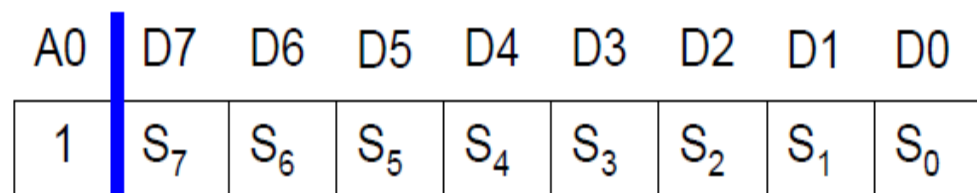
A8-A15: 8085
T3-T7: Số hiệu véc tơ
ngắt 8088/8086
A8-A10: Số yêu cầu
ngắt

5.4.3 Lập trình PIC 8259A – ICW2

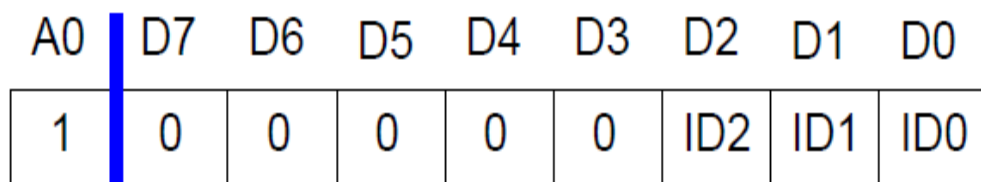
❖ ICW2 với 8088/8086

	D7	D6	D5	D4	D3	D2	D1	D0
IR7	T7	T6	T5	T4	T3	1	1	1
IR6	T7	T6	T5	T4	T3	1	1	0
IR5	T7	T6	T5	T4	T3	1	0	1
IR4	T7	T6	T5	T4	T3	1	0	0
IR3	T7	T6	T5	T4	T3	0	1	1
IR2	T7	T6	T5	T4	T3	0	1	0
IR1	T7	T6	T5	T4	T3	0	0	1
IR0	T7	T6	T5	T4	T3	0	0	0

5.4.3 Lập trình PIC 8259A – ICW3



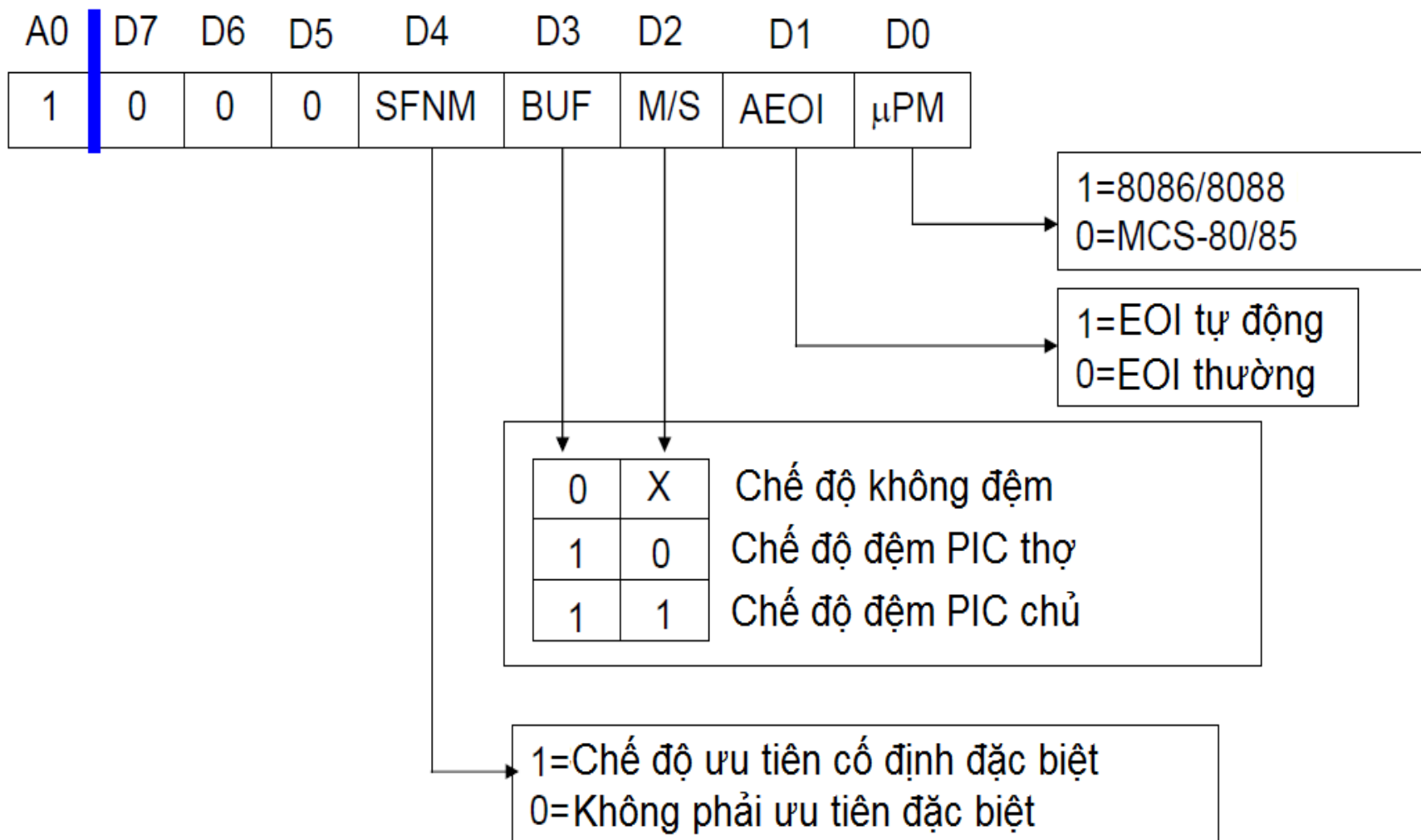
1= IR nối với PIC thợ
0= IR không nối với PIC thợ



Mã hóa số hiệu PIC thợ

0	1	2	3	4	5	6	7
0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1
0	0	0	0	1	1	1	1

5.4.3 Lập trình PIC 8259A – ICW4

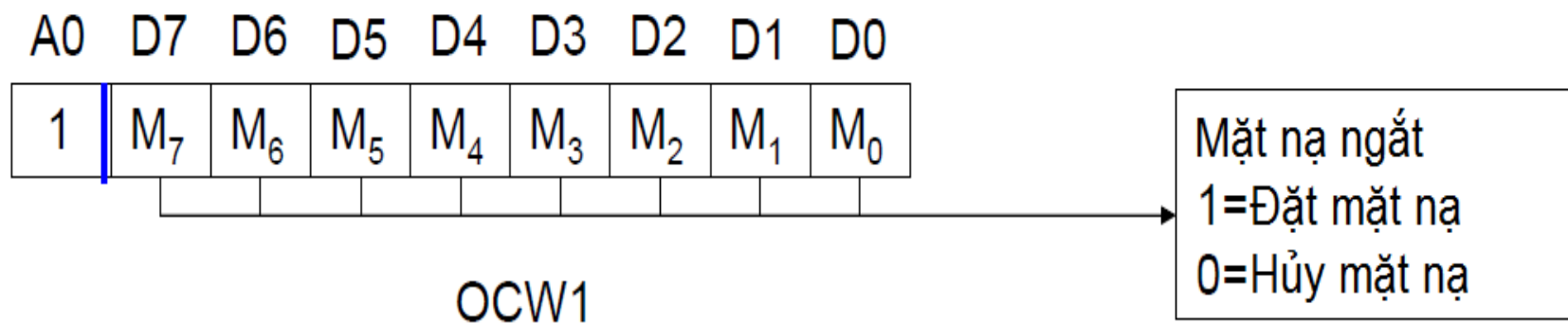


5.4.3 Lập trình PIC 8259A – Ví dụ

- ❖ Xác định các từ khởi tạo cho 8259 ghép nối với 8086 ở chế độ độc lập, trong hệ có đệm bus, chế độ ưu tiên cố định và với EOI thường, IR kích hoạt theo mức, tín hiệu IR được gán số hiệu ngắt 50H.

5.4.3 Lập trình PIC 8259A – OCW1

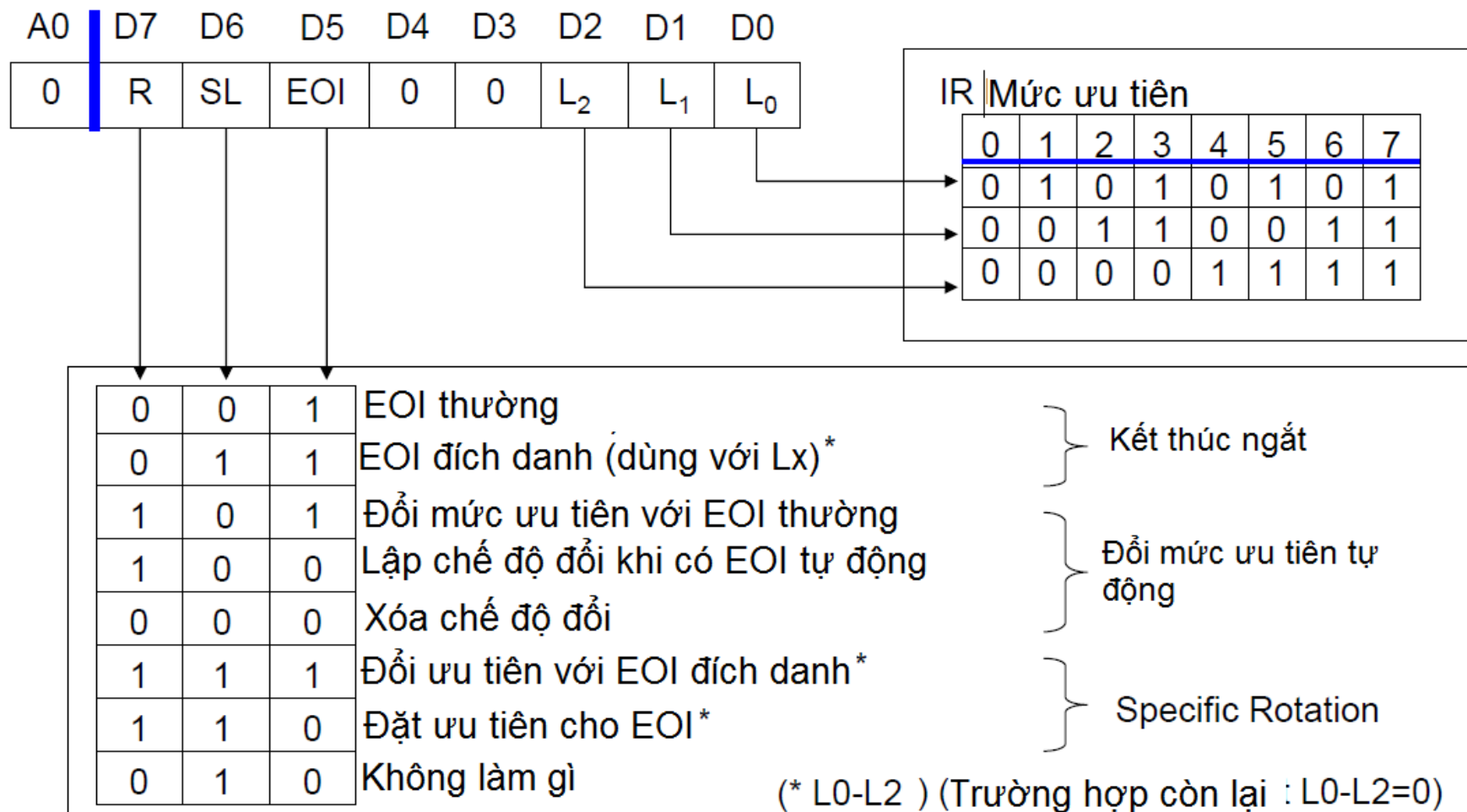
OCW1: Thiết lập và đọc trạng thái yêu cầu ngắt



VD: Nếu chỉ dùng IR0 IR1: 11111100

5.4.3 Lập trình PIC 8259A – OCW2

OCW2: Xác định việc xử lý các yêu cầu ngắt của PIC



5.4.3 Lập trình PIC 8259A – OCW2

- ❖ Xác định cách PIC xử lý yêu cầu ngắt
 - Chế độ ưu tiên cố định:
 - $IR0 > \dots > IR7$
 - Đổi mức ưu tiên tự động:
 - Quay vòng
 - Ưu tiên đích danh
 - Gán mức độ ưu tiên cho từng yêu cầu ngắt

5.4.3 Lập trình PIC 8259A – OCW2

Trước khi quay

Giả sử IR4 có mức ưu tiên cao

Trạng thái ngắt ^(ISR)

IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
0	1	0	1	0	0	0	0

Mức ưu tiên

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

Thấp nhất

Cao nhất

Sau khi quay

Trạng thái ngắt

IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
0	1	0	0	0	0	0	0

Mức ưu tiên

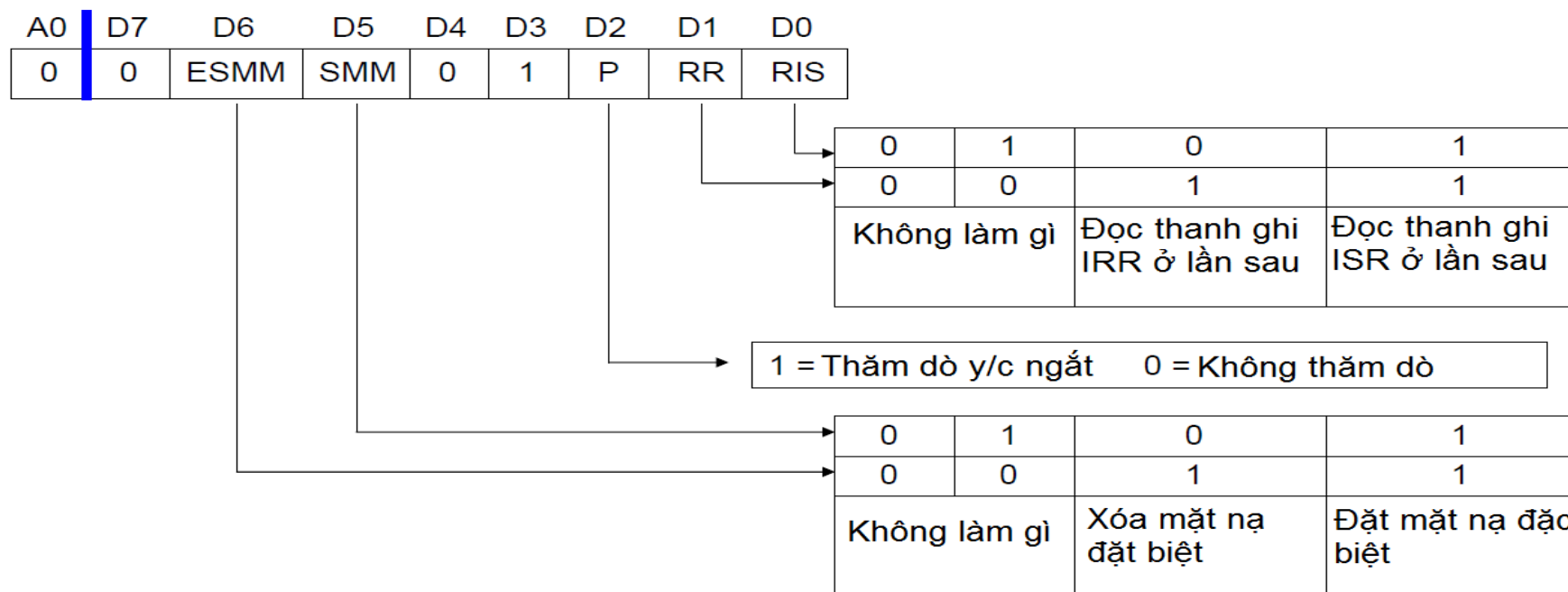
2	1	0	7	6	5	4	3
---	---	---	---	---	---	---	---

Cao nhất

Thấp nhất

5.4.3 Lập trình PIC 8259A – OCW3

- ❖ Chọn các thanh ghi để đọc
- ❖ Thăm dò trạng thái yêu cầu ngắt
- ❖ Thao tác với thanh ghi mặt nạ



5.4.3 Lập trình PIC 8259A – IRR và ISR

IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
D7	D6	D5	D4	D3	D2	D1	D0

- ▶ 0 = Có yêu cầu ngắt
- ▶ 1 = Không có yêu cầu ngắt

IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
D7	D6	D5	D4	D3	D2	D1	D0

- ❖ 0 = Yêu cầu ngắt IR_i không được phục vụ
- ❖ 1 = Yêu cầu ngắt IR_i đang được phục vụ

5.4.3 8259A – Đọc từ thăm dò tr. thái yêu cầu ngắt

- ❖ Đặt bit P=1 cho OCW3 → đọc từ thăm dò trạng thái yêu cầu ngắt trên bus dữ liệu ở lần đọc ngay tiếp sau:

D7	D6	D5	D4	D3	D2	D1	D0
1: có ngắt	X	x	X	x	Số hiệu yêu cầu ngắt		

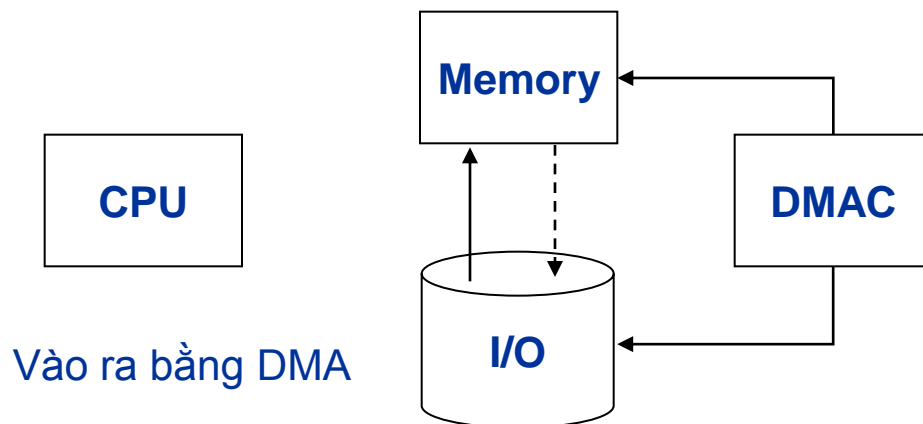
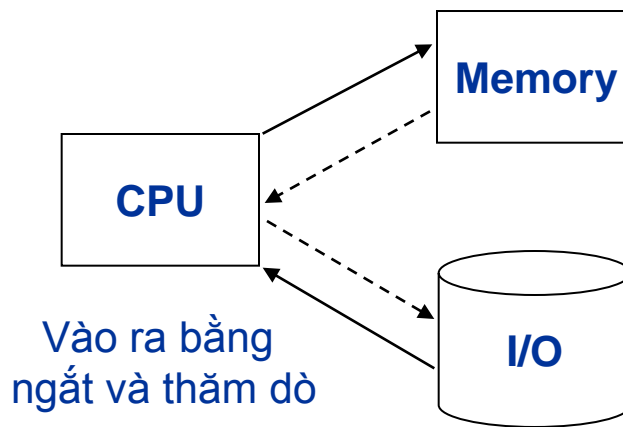
Dạng thức của từ thăm dò trạng thái yêu cầu ngắt

5.4.4 PIC 8259 – Trình tự xử lý các sự kiện

- ❖ Các tín hiệu yêu cầu ngắt do thiết bị vào/ra gửi tới PIC làm cho các bit tương ứng trong IRR được bật lên
- ❖ PIC xem xét các yêu cầu ngắt và báo hiệu cho CPU khi cần (INTR)
- ❖ CPU xác nhận ngắt bằng cách đưa ra INTA
- ❖ Khi nhận được INTA, PIC xóa bit tương ứng trong IRR và bit ưu tiên cao nhất của ISR được bật
- ❖ CPU đưa ra INTA thứ 2, PIC đưa ra 1 byte dữ liệu về số hiệu ngắt
- ❖ Kết thúc chu kỳ ngắt. Nếu dùng AEIOI thì bit ISR bị xóa vào cuối xung INTA thứ 2. Nếu không, bit ISR giữ nguyên cho đến khi có câu lệnh EOI.

5.5.1 Vào ra bằng DMA – Giới thiệu

- ❖ Trong các phương pháp vào ra bằng thăm dò và ngắt thiết bị vào ra trao đổi dữ liệu với bộ nhớ thông qua CPU.
- ❖ Phương pháp vào ra bằng DMA (Direct Memory Access) cho phép thiết bị vào ra trao đổi dữ liệu trực tiếp với bộ nhớ theo khối, không thông qua CPU;
- ❖ DMA thích hợp khi cần trao đổi dữ liệu với khối lượng lớn trong khoảng thời gian ngắn.

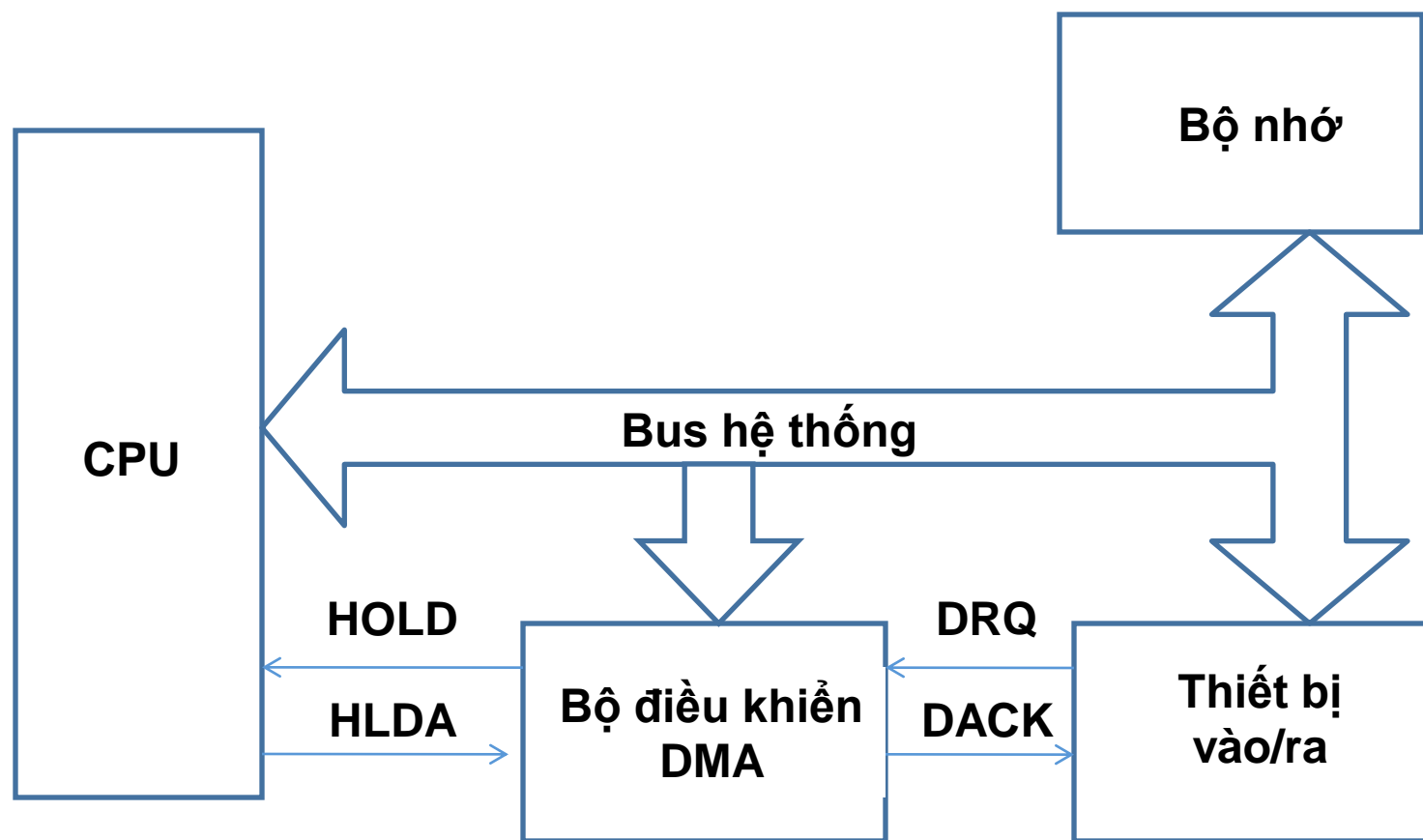


5.5.1 Vào ra bằng DMA – Giới thiệu

- ❖ DMAC (DMA Controller) thay mặt CPU điều khiển quá trình trao đổi dữ liệu trực tiếp giữa thiết bị vào ra và bộ nhớ;
- ❖ DMA có tốc độ cao hơn nhiều lần so với vào ra bằng thăm dò và ngắt. Ví dụ, với VXL 8088:
 - Vào ra bằng DMA mất 4 chu kỳ đồng hồ để chuyển 1 byte thiết bị ngoại vi vào bộ nhớ;
 - Vào ra thông qua CPU mất 39 chu kỳ đồng hồ để chuyển 1 byte thiết bị ngoại vi vào bộ nhớ:

		;Số chu kỳ đồng hồ
LAP:	MOV AL, [SI];	10
	OUT PORT, AL;	10
	INC SI;	2
	LOOP LAP;	17
		; Cộng: 39 chu kỳ

5.5.2 Vào ra bằng DMA – Hệ VXL với DMAC



5.5.2 Vào ra bằng DMA – Chu trình vào ra bằng DMA

1. Thiết bị vào ra có yêu cầu trao đổi dữ liệu gửi yêu cầu DRQ đến CPU thông qua DMAC;
2. DMAC chuyển yêu cầu DRQ thành HRQ và gửi đến chân tín hiệu HOLD của CPU;
3. Nhận được yêu cầu sử dụng bus HRQ, CPU:
 - a. Gửi các tham số điều khiển trao đổi dữ liệu và tín hiệu xác nhận yêu cầu sử dụng bus HACK cho DMAC qua chân tín hiệu HLDA;
 - b. Tự tách ra khỏi bus hệ thống (100% các tín hiệu của bus A và D và một số tín hiệu của bus C)
4. Nhận được HACK, DMAC chiếm quyền điều khiển bus hệ thống và gửi tín hiệu xác nhận DACK cho thiết bị vào ra;
5. DMAC điều khiển quá trình trao đổi dữ liệu trực tiếp giữa thiết bị vào ra và bộ nhớ;
6. Kết thúc quá trình DMA, DMAC trả quyền điều khiển bus cho CPU.

5.5.3 Vào ra bằng DMA – Ưu và nhược điểm

❖ Ưu điểm:

- Hiệu suất rất cao do dữ liệu được trao đổi trực tiếp theo khối giữa thiết bị vào ra và bộ nhớ không thông qua CPU

❖ Nhược điểm:

- Phức tạp hơn vào ra bằng thăm dò và ngắt
- Cần mạch phần cứng để điều khiển quá trình DMA

❖ Bên chủ động trong vào ra bằng DMA:

- Thiết bị vào ra

5.5.4 Mạch điều khiển DMA 8237

- ❖ Hỗ trợ 4 kênh DMA độc lập
- ❖ Tự động khởi tạo độc lập cho tất cả các kênh
- ❖ Điều khiển cho phép hoặc cấm từng yêu cầu DMA riêng lẻ
- ❖ Truyền từ bộ nhớ tới bộ nhớ
- ❖ Khởi tạo các khối bộ nhớ
- ❖ Tự động tăng/giảm địa chỉ
- ❖ Tốc độ truyền dữ liệu tới 1.6MB/s với 8237A ở 5MHz

5.5.4 Các tín hiệu của 8237

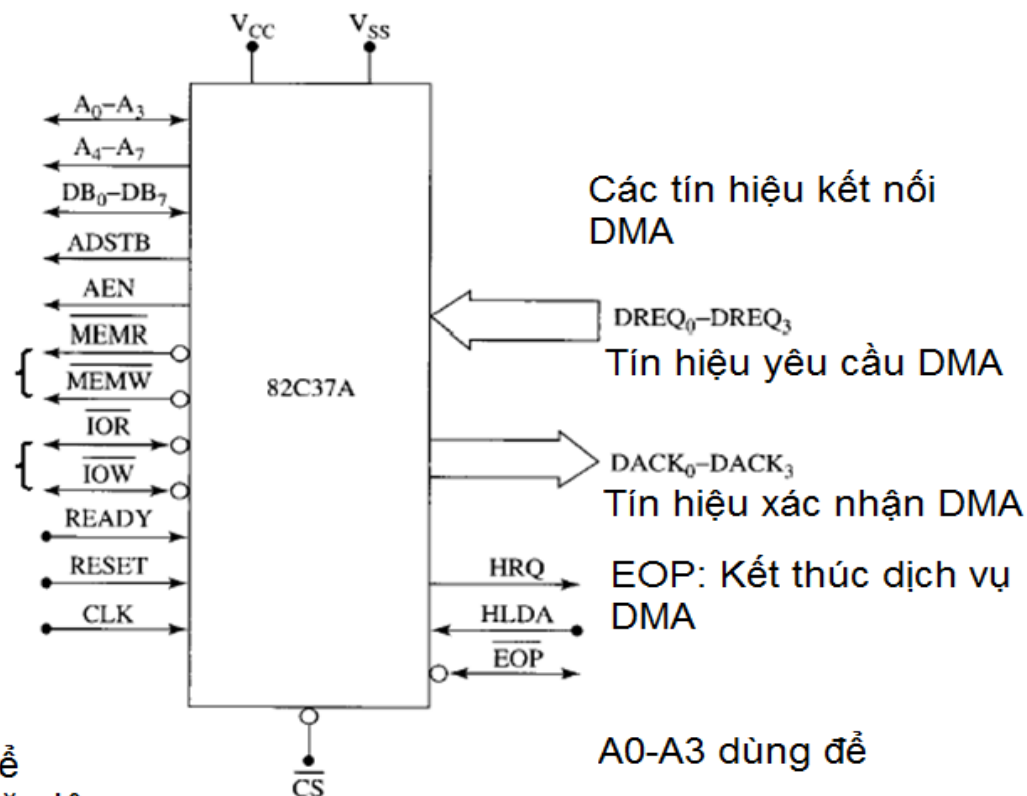
ADSTB: Tín hiệu địa chỉ (byte cao) sẵn sàng

AEN: Cho phép địa chỉ

Tín hiệu điều khiển bộ nhớ

Tín hiệu điều khiển thiết bị

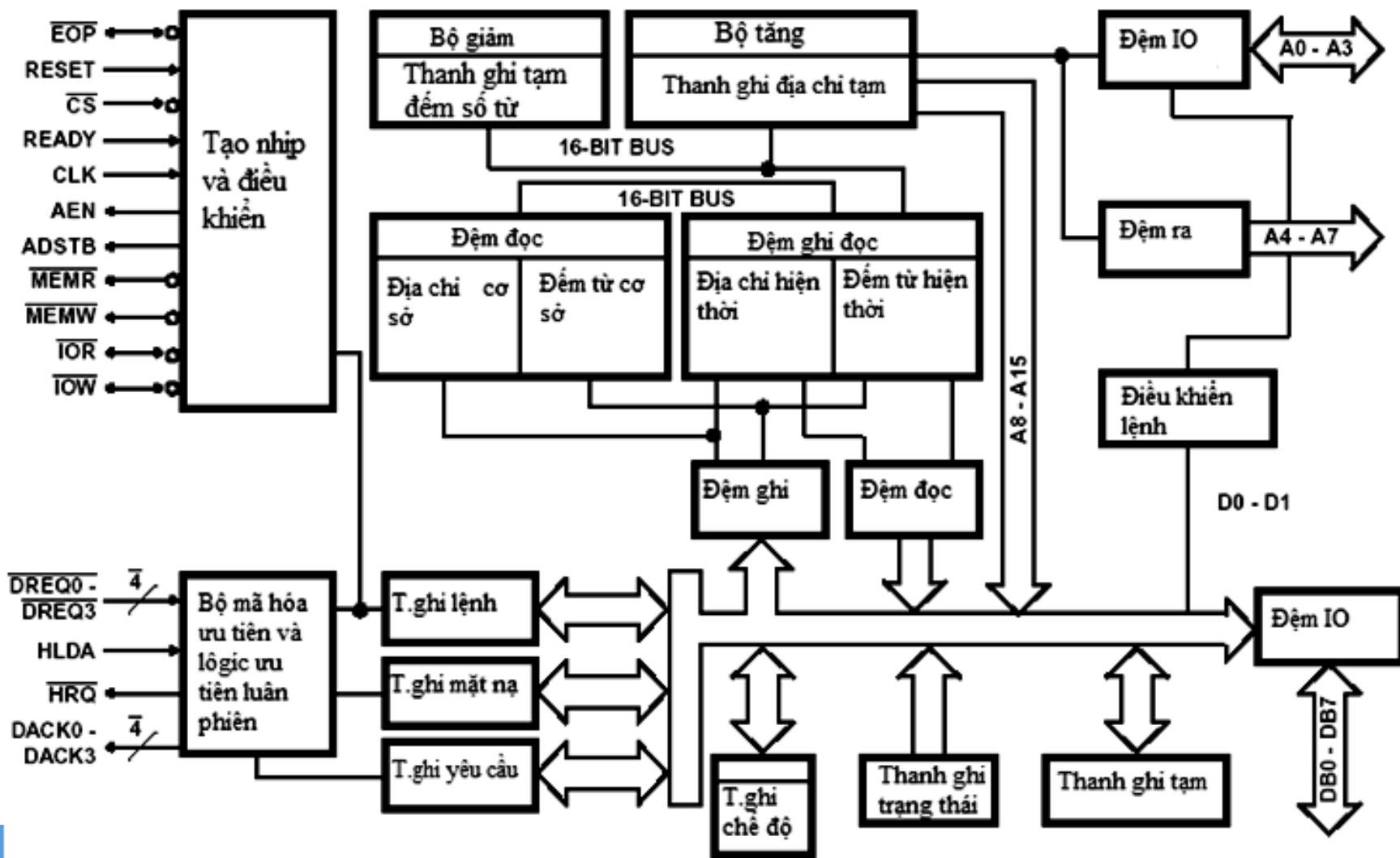
DB0-DB7 dùng để truyền dữ liệu hoặc lập trình 8237



A0-A3 dùng để

- 1) Truy nhập các thanh ghi bên trong
- 2) Chứa 4 bit địa chỉ thấp trong khi truyền dữ liệu

5.5.4 Sơ đồ khối 8237



5.5.4 Sơ đồ khối 8237

❖ Tạo nhịp và điều khiển (Timing Control)

- Sinh ra các tín hiệu định thời bên trong và tín hiệu điều khiển bên ngoài cho 8237

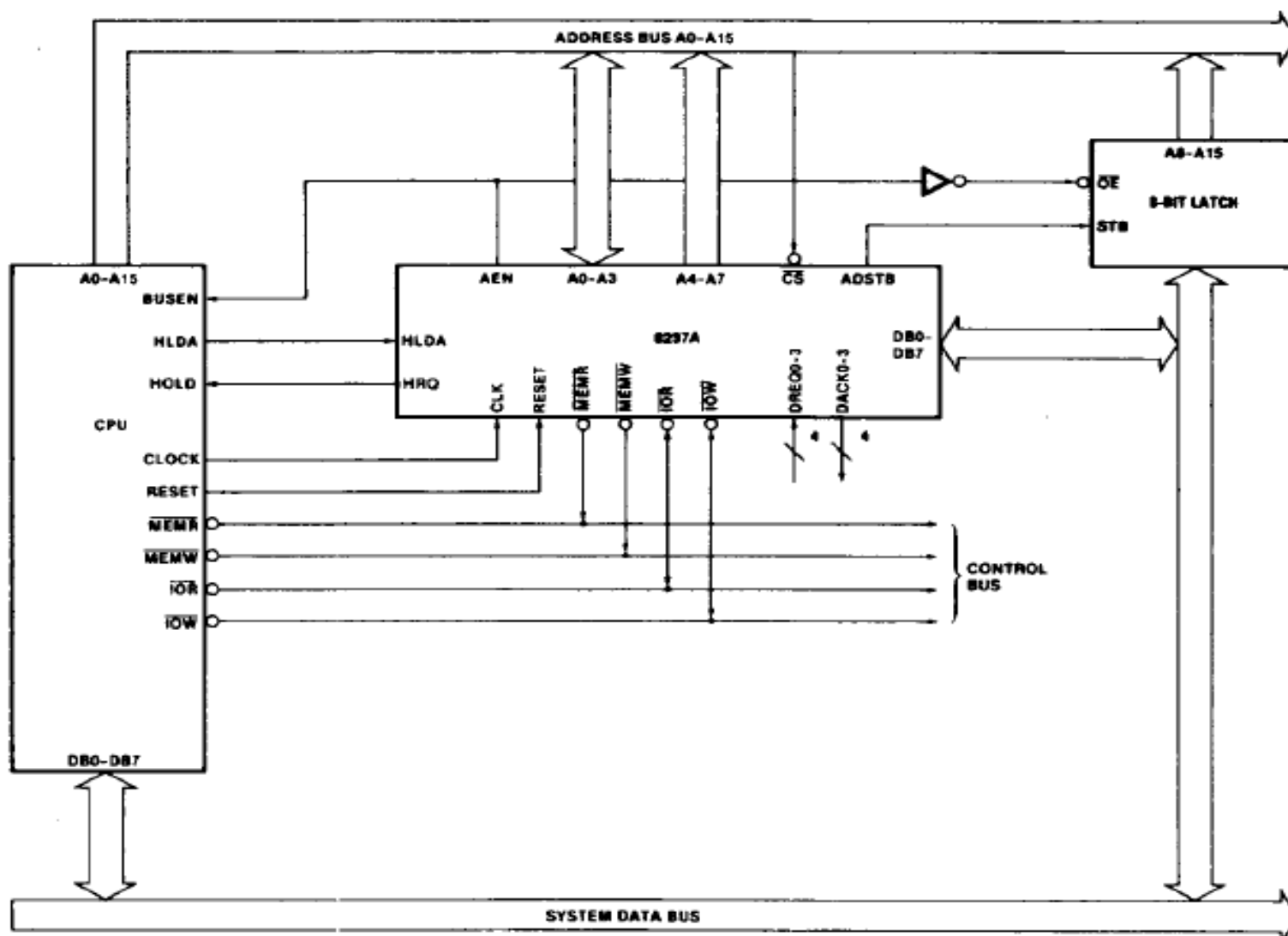
❖ Điều khiển lệnh chương trình (Program Command Control)

- Giải mã các câu lệnh gửi tới 8237 trước khi phục vụ yêu cầu DMA
- Giải mã từ điều khiển chế độ xác định kiểu DMA trong khi phục vụ yêu cầu DMA

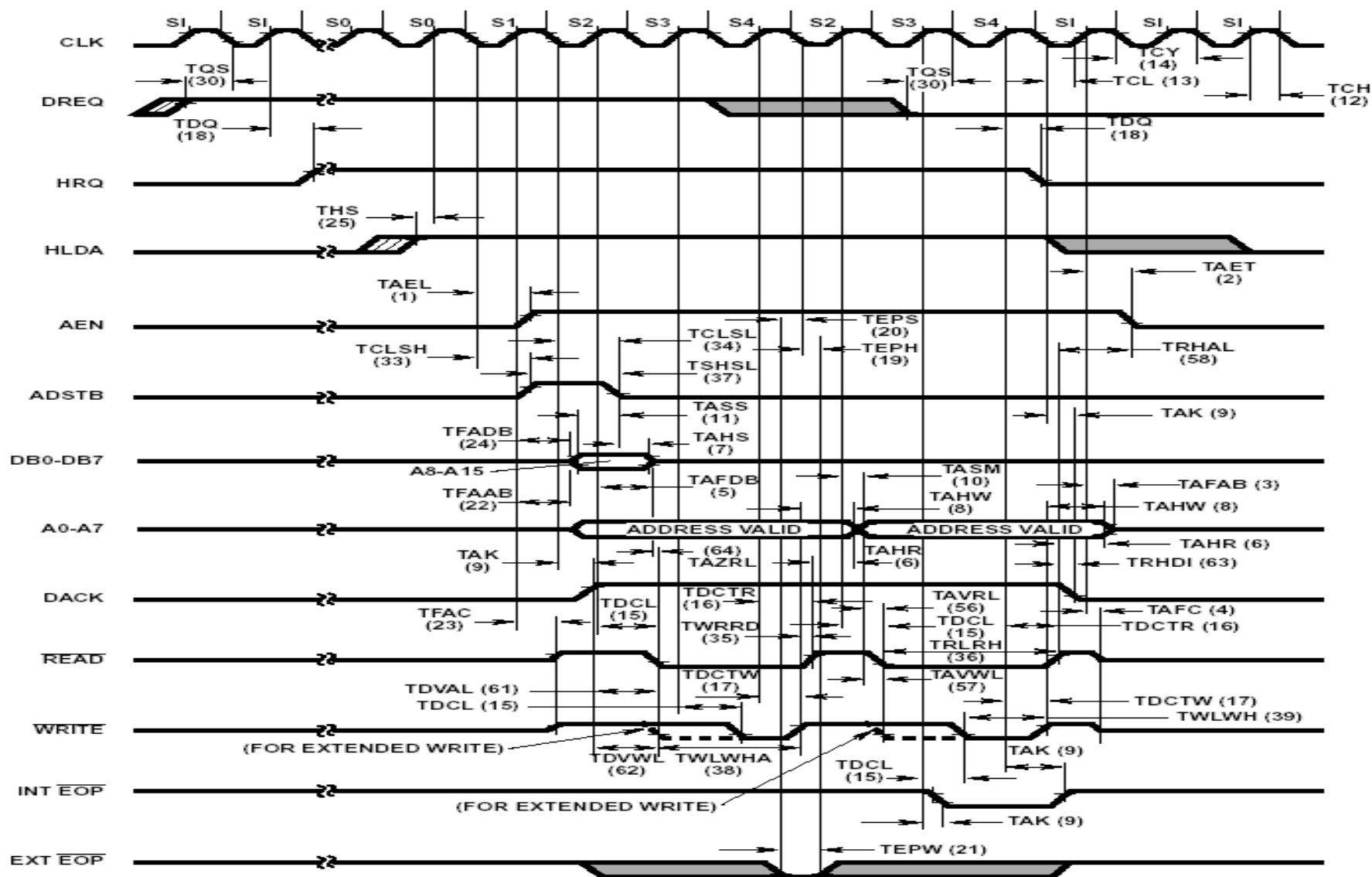
❖ Bộ mã hóa ưu tiên (Priority Encoder)

- Giải quyết xung đột yêu cầu DMA đồng thời

5.5.5 Ghép nối 8237 với CPU



5.5.5 Biểu đồ thời gian



5.5.6 Hoạt động của 8237

- ❖ Bao gồm 2 chu kỳ: rỗi và hoạt động
- ❖ Chu kỳ rỗi
 - Kiểm tra các tín hiệu DREQ xem có thiết bị nào yêu cầu DMA
 - Kiểm tra CS nếu CPU có yêu cầu đọc/ghi các thanh ghi bên trong
- ❖ Chu kỳ hoạt động
 - Diễn ra khi có yêu cầu DREQ từ thiết bị
 - Gửi tín hiệu HRQ tới CPU
 - Hoạt động ở 1 trong 4 chế độ

5.5.6 Các chế độ hoạt động của 8237

- ❖ Chế độ truyền đơn
- ❖ Chế độ truyền theo khối
- ❖ Chế độ truyền theo yêu cầu
- ❖ Chế độ xếp tầng

5.5.6 Chế độ truyền đơn

- ❖ Thiết bị được lập trình để chỉ thực hiện 1 thao tác truyền.
 - Từ đếm giảm dần, địa chỉ giảm dần (hoặc tăng) sau mỗi thao tác truyền.
 - Khi từ đếm giảm từ 0 sang FFFFH, quá trình truyền kết thúc.
- ❖ DREQ phải giữ ở mức tích cực cho đến khi DACK được xác nhận.
 - Nếu DREQ giữ ở mức tích cực trong suốt quá trình truyền đơn thì HRQ sẽ chuyển sang mức thụ động và giải phóng buýt cho hệ thống.
 - Quá trình tiếp tục cho đến nhận được tín hiệu HLDA mới và, thao tác truyền được tiếp tục.

5.5.6 Chế độ truyền theo khối

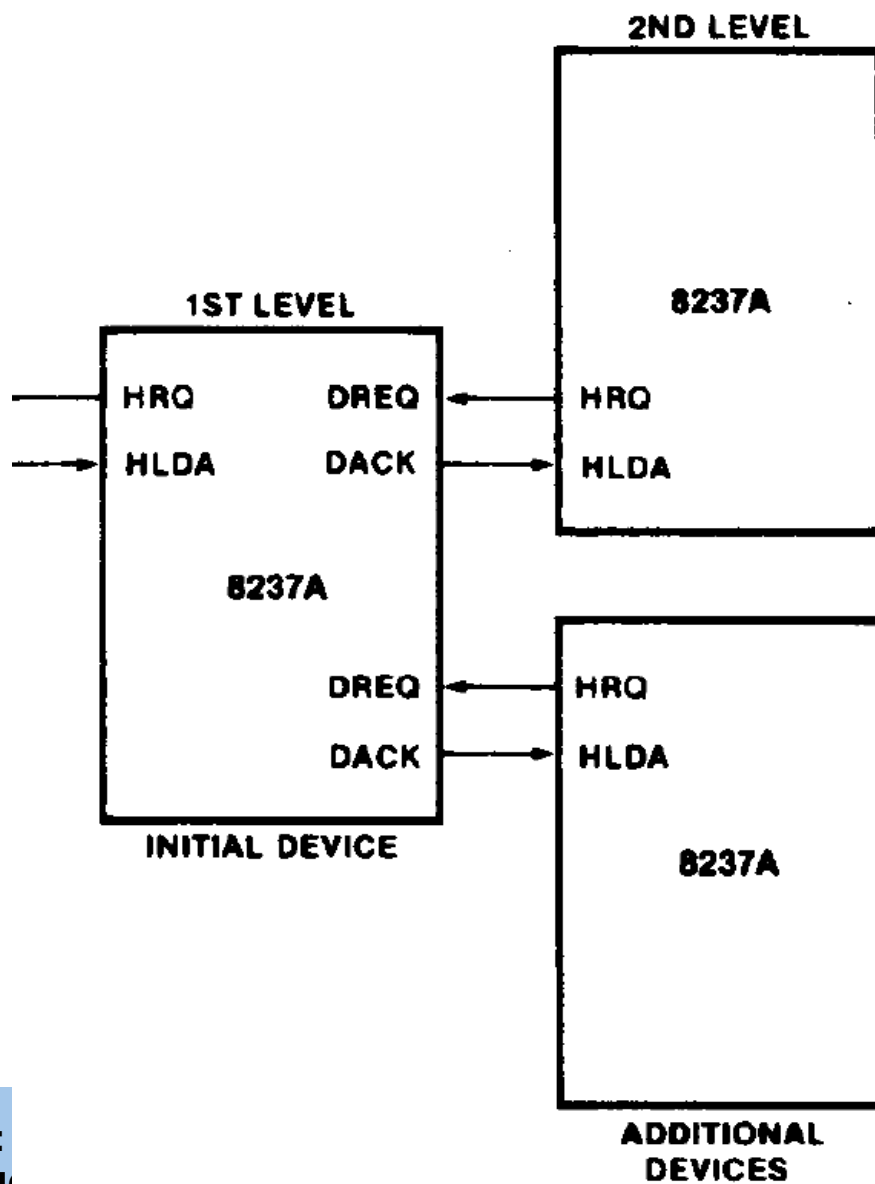
- ❖ Bộ điều khiển DMA được kích hoạt bởi DREQ và liên tục truyền trong quá trình phục vụ yêu cầu cho đến khi kết thúc do bộ đếm từ chuyển từ 0 về FFFFH hoặc do tín hiệu EOP từ bên ngoài.
- ❖ DREQ chỉ cần giữ tích cực cho đến khi nhận được DACK.

5.5.6 Chế độ truyền theo yêu cầu

- ❖ Thực hiện việc truyền liên tục cho đến khi bộ đếm chuyển sang FFFFH hoặc nhận được EOP hoặc DREQ chuyển sang thụ động.

5.5.6 Chế độ xếp tầng

❖ Dùng để mở rộng hệ thống



5.5.7 Các kiểu truyền dữ liệu

- ❖ Từ bộ nhớ tới bộ nhớ
- ❖ Tự động khởi tạo
- ❖ Ưu tiên

5.5.7 Truyền từ bộ nhớ tới bộ nhớ

- ❖ Cho phép tiết kiệm thời gian truyền dữ liệu từ không gian nhớ này sang không gian nhớ khác.
- ❖ Sử dụng 2 kênh của bộ điều khiển DMA.
- ❖ Quá trình truyền được khởi xướng bằng cách đặt DREQ cho kênh 0. Sau khi nhận được HLDA, bộ điều khiển thực hiện việc truyền theo khối.
 - Thanh ghi địa chỉ hiện thời trên kênh 0 gán vào địa chỉ bắt đầu của không gian nhớ cần đọc;
 - Dữ liệu được đọc vào thanh ghi tạm;
 - Kênh 1 truyền dữ liệu từ thanh ghi tạm vào bộ nhớ. Địa chỉ được xác định bằng thanh ghi địa chỉ hiện thời của kênh 1.

5.5.7 Tự động khởi tạo

- ❖ Trong quá trình xác lập, các giá trị của thanh ghi địa chỉ hiện thời và đếm từ hiện thời được khôi phục từ giá trị của thanh ghi địa chỉ cơ sở và đếm từ cơ sở của kênh khi có tín hiệu EOP

5.5.7 Truyền ưu tiên

❖ Ưu tiên cố định

- Kênh 0 > .. > Kênh 3
- Khi có nhiều yêu cầu DMA, kênh nào có độ ưu tiên cao hơn được đáp ứng trước

❖ Ưu tiên quay vòng

- Kênh nào được phục vụ thì sẽ chuyển xuống độ ưu tiên thấp nhất

5.5.8 Địa chỉ các thanh ghi 8237A

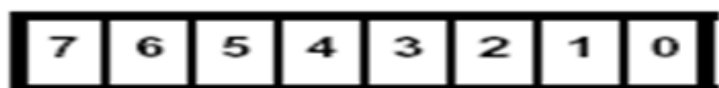
Bit địa chỉ				Địa chỉ	Chọn chức năng	R/W?
A3	A2	A1	A0			
0	0	0	0	X0	Thanh ghi địa chỉ bộ nhớ kênh 0	R/W
0	0	0	1	X1	Thanh ghi đếm từ kênh 0	R/W
0	0	1	0	X2	Thanh ghi địa chỉ bộ nhớ kênh 1	R/W
0	0	1	1	X3	Thanh ghi đếm từ kênh 1	R/W
0	1	0	0	X4	Thanh ghi địa chỉ bộ nhớ kênh 2	R/W
0	1	0	1	X5	Thanh ghi đếm từ kênh 2	R/W
0	1	1	0	X6	Thanh ghi địa chỉ bộ nhớ kênh 3	R/W
0	1	1	1	X7	Thanh ghi đếm từ kênh 3	R/W
1	0	0	0	X8	Thanh ghi trạng thái / lệnh	R/W
1	0	0	1	X9	Thanh ghi yêu cầu	W
1	0	1	0	XA	Thanh ghi mặt nạ cho một kênh	W
1	0	1	1	XB	Thanh ghi chế độ	W
1	1	0	0	XC	Xóa flip-flop đầu/cuối	W
1	1	0	1	XD	Xóa toàn bộ các thanh ghi / đọc thanh ghi tạm	W/R
1	1	1	0	XE	Xóa thanh ghi mặt nạ	W
1	1	1	1	XF	Thanh ghi mặt nạ	W

5.5.8 Các từ điều khiển và trạng thái

$\overline{\text{IOR}}$	$\overline{\text{IOW}}$	A3	A2	A1	A0	Thanh ghi
1	0	1	0	0	0	Ghi thanh ghi lệnh
0	1	1	0	0	0	Đọc thanh ghi trạng thái
1	0	1	0	0	1	Ghi thanh ghi yêu cầu
1	0	1	0	1	0	Ghi thanh ghi mặt nạ
1	0	1	0	1	1	Ghi thanh ghi chế độ
1	0	1	1	0	0	Xóa flip-flop đầu/cuối
1	0	1	1	0	1	Xóa tất cả các thanh ghi nội
0	1	1	1	0	1	
1	0	1	1	1	0	Địa chỉ cơ sở và địa chỉ hiện hành
0	1	1	1	1	0	Địa chỉ hiện hành
1	0	1	1	1	1	Bộ đếm cơ sở và bộ đếm hiện hành
0	1	1	1	1	1	Bộ đếm hiện hành

5.5.8 Cấu trúc các thanh ghi điều khiển

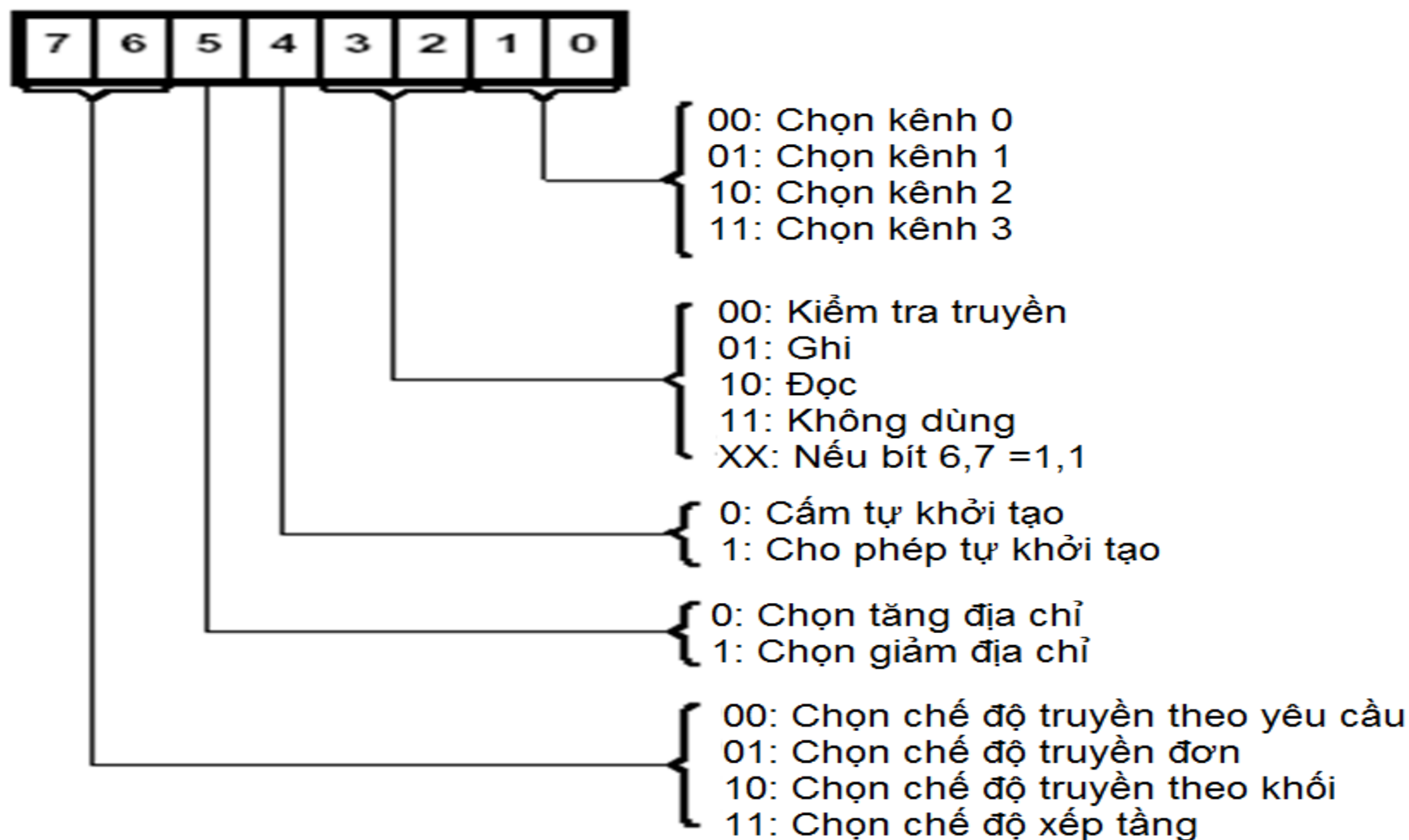
Thanh ghi lệnh



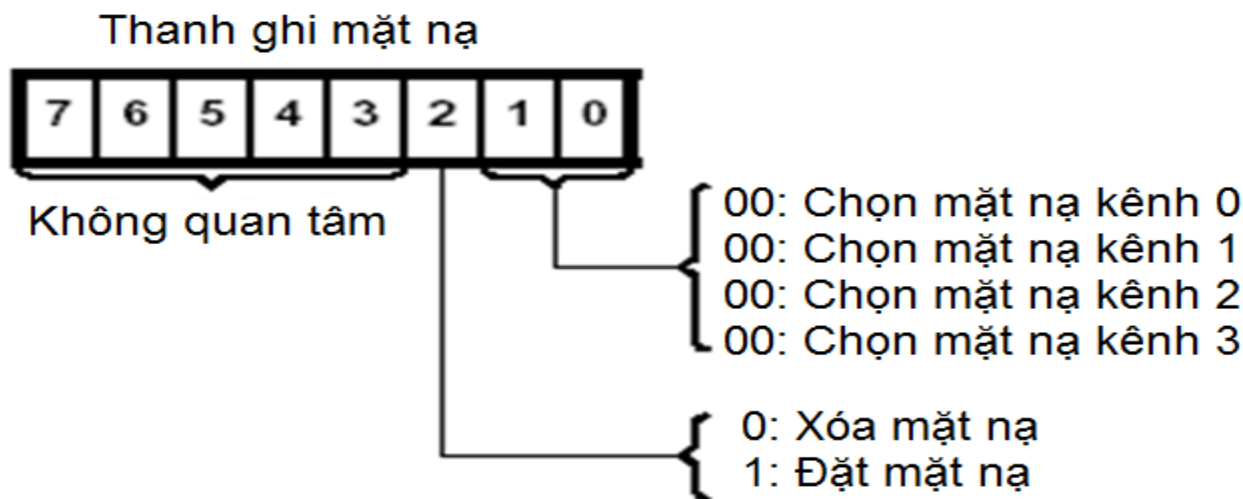
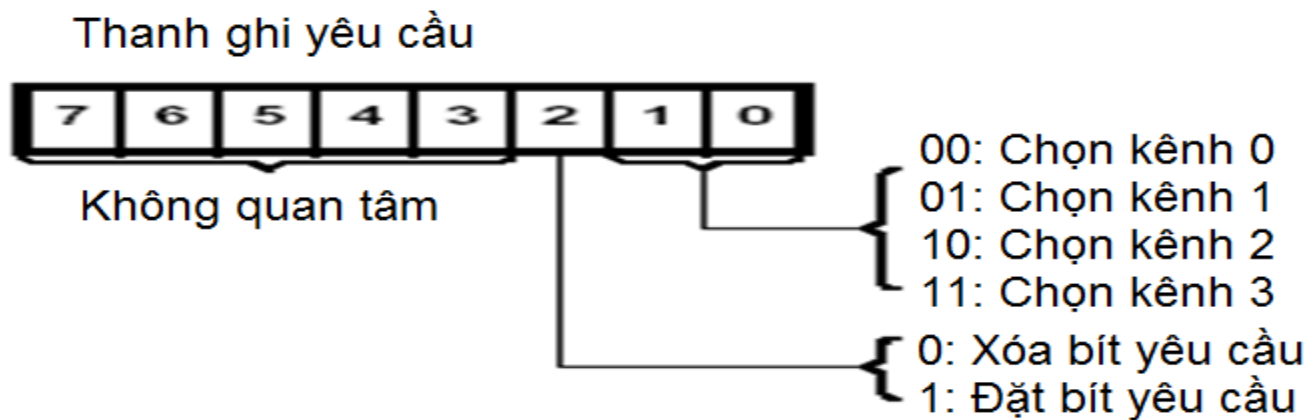
- { 0: Cấm truyền từ bộ nhớ tới bộ nhớ
1: Cho phép truyền từ bộ nhớ tới bộ nhớ
- { 0: Cấm giữ địa chỉ kênh 0
1: Cho phép giữ địa chỉ kênh 0
X: Nếu bit 0 = 0
- { 0: Cho phép bộ điều khiển
1: Cấm bộ điều khiển
- { 0: Định thời bình thường
1: Nén thời gian
X: nếu bit 0 = 1
- { 0: Ưu tiên cố định
1: Ưu tiên quay vòng
- { 0: Chọn ghi chậm
1: Chọn ghi mở rộng
X: nếu bit 3 = 1
- { 0: DREQ mức tích cực cao
1: DREQ mức tích cực thấp
- { 0: DACK mức tích cực thấp
1: DACK mức tích cực cao

5.5.8 Cấu trúc các thanh ghi điều khiển

Thanh ghi chế độ



5.5.8 Cấu trúc các thanh ghi điều khiển



5.5.9 Lập trình cho 8237

- ❖ Lập trình cho 8237 được thực hiện thông qua việc lập trình cho các thanh ghi địa chỉ và thanh ghi số đếm;
- ❖ Các bước sau đây để lập trình cho DMAC 8237A:
 - Xóa mạch lật F/L
 - Cắm các yêu cầu của các kênh
 - Đặt địa chỉ thấp (LSB), địa chỉ cao (MSB)
 - Đặt từ đếm thấp, từ đếm cao
 - Có thể đặt thêm chế độ hoạt động
 - Kiểm tra trạng thái kết thúc

8237A có địa chỉ cơ sở 70H và được ghép với vi xử lý 8088

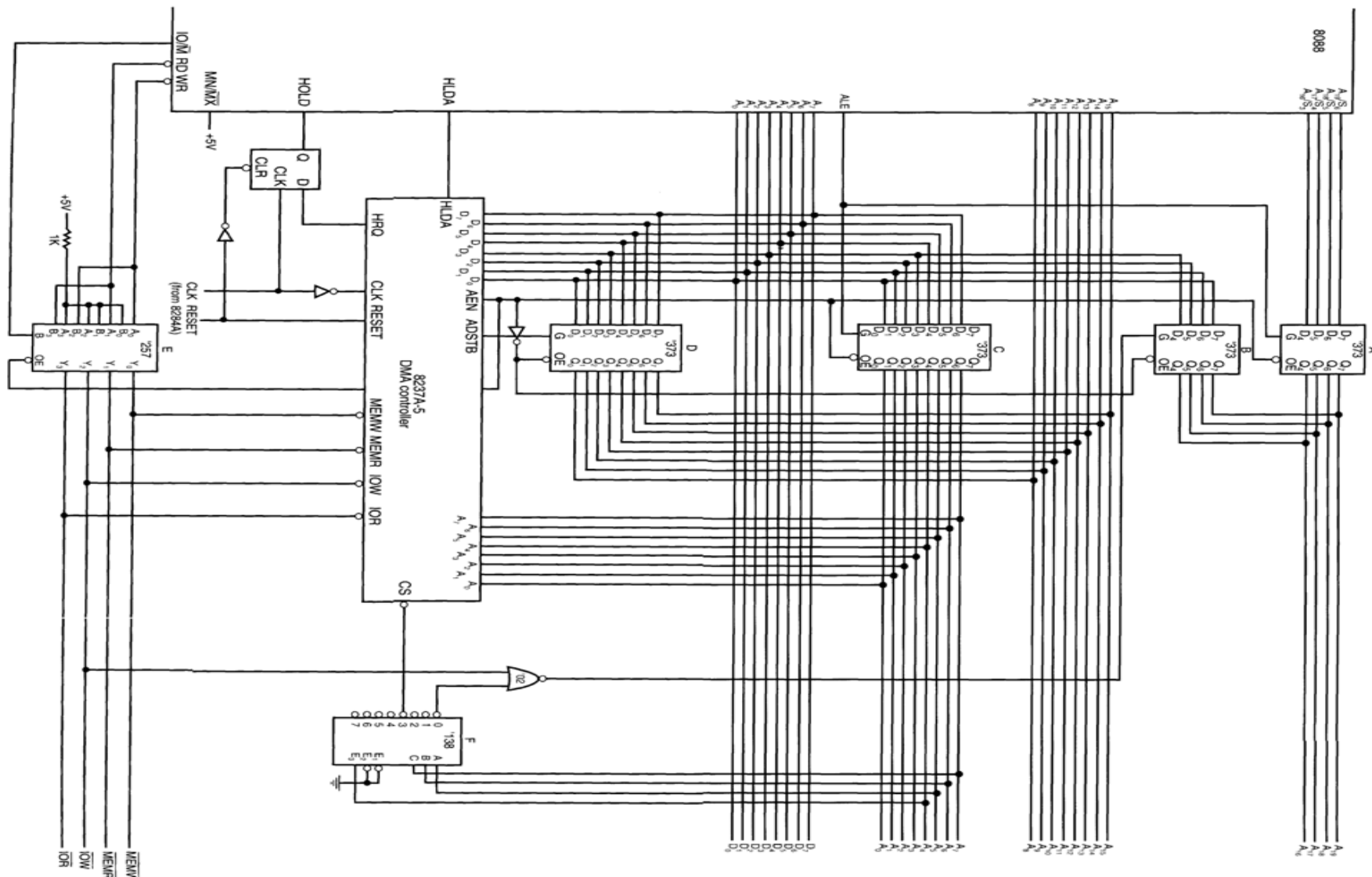


FIGURE 12-12 Complete 8088 minimum mode DMA system (pp. 476-477)

Lập trình 8237A có địa chỉ cơ sở 70H và được ghép với vi xử lý 8088

ChotB	EQU 010H	; Địa chỉ mạch chốt B
FL	EQU 07CH	; Địa chỉ mạch lật
C0	EQU 070H	; Địa chỉ kênh 0
C1	EQU 072H	; Địa chỉ kênh 1
Dem_C1	EQU 073H	; Địa chỉ kênh 0
CheDo	EQU 07BH	; Địa chỉ thanh ghi chế độ
Lenh	EQU 078H	; Địa chỉ thanh ghi lệnh
MatNa	EQU 07FH	; Địa chỉ thanh ghi mặt nạ
YeuCau	EQU 079H	; Địa chỉ thanh ghi yêu cầu
TThai	EQU 078H	; Địa chỉ thanh ghi trạng thái
SoByte	DW 0100H	; Số byte cần chuyển
A16_19	DB 01H;	4 bit địa chỉ cao

Lập trình 8237A có địa chỉ cơ sở 70H và được ghép với vi xử lý 8088

```
Ngon DW 00000H      ; Địa chỉ nguồn
Dich  DW 04000H      ; Địa chỉ đích
MOV   AL,A16_19
OUT   ChotB, AL       ; Gửi địa chỉ cao ra mạch chốt
OUT   FL, AL          ; Xóa mạch lật
MOV   AX, Ngon        ;Địa chỉ nguồn ra kênh 0
OUT   C0,AL
MOV   AL, AH
OUT   C0, AL
MOV   AX, Dich        ; Địa chỉ đích ra kênh 1
OUT   C1, AL
MOV   AL, AH
OUT   C1, AL
```

Lập trình 8237A có địa chỉ cơ sở 70H và được ghép với vi xử lý 8088

```
DEC    SoByte
MOV    AX, SoByte
OUT    Dem_C1, AL    ;số byte cần chuyển vào bộ đếm kênh 1
MOV    AL, AH
OUT    Dem_C1, AL
MOV    AL, 088H      ; Chế độ kênh 0
OUT    CheDo, AL
MOV    AL, 085H      ; Chế độ kênh 1
OUT    CheDo, AL
MOV    AL, 1          ; Chuyển mảng
OUT    Lenh, AL
```


Lập trình 8237A có địa chỉ cơ sở 70H và được ghép với vi xử lý 8088

```
MOV    AL, 0CH          ; Bỏ mặt nạ kênh 0,1
OUT    MatNa, AL
MOV    AL,4              ; Kênh 0 yêu cầu DMA
OUT    YeuCau, AL
LAP:   IN    AL,TThai
TEST   AL,2              ; Kiểm tra bộ đếm kênh 1 xong?
JZ     LAP
```