

# LAB IVERILOG 2

## Basic Gates

Version: Oct 28<sup>th</sup> 2016

### I. AND gate

```
/* A simple AND gate
File: and.v */
module andgate (a, b, y);
input a, b;
output y;
assign y = a & b;
endmodule
```

•

Dịch đoạn code trên bằng lệnh:

**C:\WORK>iverilog -o and\_gate and\_gate.v**

- File and\_gate.v đặt trong thư mục WORK.

Nếu biên dịch thành công, trong thư mục WORK sẽ có thêm obj and\_gate

File test bench

```
/* testbench for AND gate
File: and_gate_tb.v */

module andgate_tb;
wire t_y;
reg t_a, t_b;

andgate my_gate( .a(t_a), .b(t_b),
.y(t_y) );

initial
begin

$monitor(t_a, t_b, t_y);

t_a = 1'b0;
t_b = 1'b0;

#5
t_a = 1'b0;
t_b = 1'b1;

#5
t_a = 1'b1;
t_b = 1'b0;

#5
t_a = 1'b1;
```

Luôn luôn thay đổi tín hiệu clock sau mỗi 5 giây,  
thay đổi nghịch đảo

Kết nối đến test bench

```
t_b = 1'b1;
```

```
end
```

```
endmodule
```

## II. Practice

1. Thực hiện các cổng cơ bản có 3 input: AND, OR, XOR, NOR, NAND.