

ĐẠI HỌC ĐÀ NẴNG
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN TỬ - VIỄN THÔNG



PBL 4: BÁO CÁO LÝ THUYẾT CHƯƠNG 8

Nhóm 6

Sinh viên thực hiện

Đinh Văn Quang 20DT1

Nguyễn Anh Tuấn 20DT1

Giảng viên hướng dẫn

TS. Võ Duy Phúc

Đà Nẵng, 5/2024

CHƯƠNG 8: BỘ ĐIỀU CHẾ ADC

1. Phần lý thuyết

1.1 Khái niệm về bộ ADC:

- Bộ ADC là một hệ thống mạch thực hiện chuyển đổi một tín hiệu tương tự sang tín hiệu số. Một hệ thống ADC có thể bao gồm một bộ phận phần cứng (như một bộ tính toán độc lập) làm nhiệm vụ chuyển đổi tín hiệu analog (dưới dạng điện áp hay dòng điện) thành các giá trị số (digital) đại diện cho cường độ điện áp hay tín hiệu đó.

1.2 Các tính chất của bộ ADC:

Là khối cơ bản trong hệ thống điện tử, ADC được đặc trưng bởi bốn tham số: tốc độ, độ chính xác, mức tiêu thụ điện năng và hiệu quả sử dụng năng lượng.

- Tốc độ ADC xác định tốc độ ADC có thể chuyển đổi tín hiệu đầu vào tương tự của nó thành tín hiệu tín hiệu số tương ứng.

+ Băng thông (BW): Đối với tín hiệu thông thấp (hoặc băng tần cơ sở), tín hiệu BW là tần số cao nhất của nó; các BW của tín hiệu thông dải (hoặc băng thông) là tần số cao nhất trừ đi tần số thấp nhất của nó. BW của ADC là BW tối đa của đầu vào tương tự vượt quá hiện tượng răng cưa tần số xảy ra.

+ Băng thông phân giải hiệu quả (ERBW): Thông thường độ chính xác của ADC là cao nhất đối với tần số tín hiệu đầu vào thấp và nó giảm dần khi tăng tần số đầu vào. ADC ERBW là tần số phạm vi trong đó độ chính xác chuyển đổi ADC thấp hơn 3dB so với giá trị tần số thấp của nó.

+ Tần số Nyquist F_N : ADC F_N là tốc độ lấy mẫu tối thiểu cần thiết để ngăn chặn hiện tượng răng cưa tần số. Nó gấp đôi ADC BW.

+ Tần số lấy mẫu F_s : F_s là tần số mà tại đó ADC chuyển đổi tín hiệu tương tự thành giá trị tín hiệu số. Nó không liên quan trực tiếp đến thông số kỹ thuật băng thông ADC. Dựa theo định lý Nyquist, F_s không được nhỏ hơn F_N . Trong ADC Nyquist, F_s bằng F_N ; trong khi ở các ADC lấy mẫu quá mức, F_s lớn hơn

nhiều so với F_N . Trong trường hợp đó, tỷ lệ lấy mẫu quá mức (OSR) được định nghĩa là tỷ lệ của F_S và F_N :

$$OSR = \frac{F_S}{F_N} = \frac{F_S}{2 \cdot BW}$$

- Độ chính xác ADC: Các thông số kỹ thuật về độ chính xác của ADC đo lường mức độ khác biệt giữa đầu vào tương tự ADC và đầu ra kỹ thuật số. Chúng được phân loại thành các tham số tĩnh và động, tùy thuộc vào tần số tín hiệu đầu vào tương tự ADC. ADC tĩnh thông số kỹ thuật về độ chính xác thu được trong mô phỏng hoặc phép đo cho tín hiệu dòng điện một chiều (DC). Chúng luôn được biểu thị liên quan đến bit ít quan trọng nhất (LSB).

+ Lỗi khuếch đại: Lỗi khuếch đại của ADC mô tả độ chính xác của độ dốc của hàm truyền thực khớp với độ dốc của hàm truyền ADC lý tưởng như thế nào.

+ Offset: Do tính không lý tưởng của ADC, khi đầu vào bằng 0, đầu ra ADC không luôn bằng không. Nếu cần có điện áp đầu vào khác 0 để làm cho đầu ra ADC bằng 0, đầu vào khác 0 này được gọi là độ lệch ADC.

+ Lỗi phi tuyến vi sai (DNL): Lý tưởng nhất là sự khác biệt giữa điện áp tương tự của hai bước kỹ thuật số liên tiếp phải là 1 LSB, điều này không xảy ra trong các mạch thực. ADC DNL là lớn nhất chênh lệch giữa hai bước điện áp tương tự liên tiếp trừ đi 1 bước LSB.

+ Sai số phi tuyến tích phân (INL): ADC INL là độ lệch tương tự tối đa của hàm truyền thực từ hàm truyền ADC lý tưởng (sau khi hiệu chỉnh độ lệch và độ lợi lỗi).

Khi đầu vào tương tự ADC là tín hiệu dòng điện xoay chiều (AC), độ chính xác của nó là được đặc trưng bởi các thông số kỹ thuật động. Tất cả các thông số kỹ thuật này được tính toán trong miền tần số và được biểu thị bằng dB (ngoại trừ ENOB).

+ Tỷ số tín hiệu trên nhiễu (SNR): ADC SNR là tỷ số giữa công suất tín hiệu và công suất nhiễu tích hợp tổng thể toàn bộ băng thông tín hiệu.

+ Tỷ lệ tín hiệu trên tạp âm (SNDR): SNDR là tỷ số giữa công suất tín hiệu và công suất của nhiễu tích hợp và các thành phần méo hài trong băng thông tín hiệu.

+ Số bit hiệu quả (ENOB): Một ADC thực có thể được thay thế bằng một ADC lý tưởng chỉ có nhiễu lượng tử hóa, có SNR giống với SNDR của ADC thực. Số bit lý tưởng ADC là ENOB của ADC được đánh giá, nó là một hàm của SNDR của nó:

$$ENOB = \frac{SNDR - 1.76}{6.02}$$

+ Tổng độ méo hài (THD): THD là tỷ lệ giữa công suất tín hiệu ADC và bình phương trung bình gốc (RMS) tổng công suất của tất cả các thành phần méo hài trong băng thông tín hiệu.

+ Dải động (DR): ADC DR được xác định bằng tỷ lệ giữa công suất tín hiệu đầu vào lớn nhất của ADC và công suất tín hiệu đầu vào nhỏ nhất.

+ Dải động không chứa hài (SFDR): SFDR là tỷ số giữa công suất tín hiệu cơ bản và công suất tín hiệu lớn nhất tiếp theo thành phần hài trong băng thông tín hiệu, ngoại trừ phần bù DC.

+ Biến dạng xuyên điều chế bậc 2/thứ 3 (IM2/IM3)

- ADC FoM: ADC khác nhau có kiến trúc khác nhau và phạm vi thông số kỹ thuật khác nhau. So sánh toàn diện và công bằng giữa ADC này, một số thông số kết hợp tốc độ ADC, độ chính xác và mức tiêu thụ điện năng của nó thành một cái gọi là hệ số chất lượng (FoM). Trong thiết kế và ứng dụng ADC, hai FoM [2, 3] được sử dụng rộng rãi:

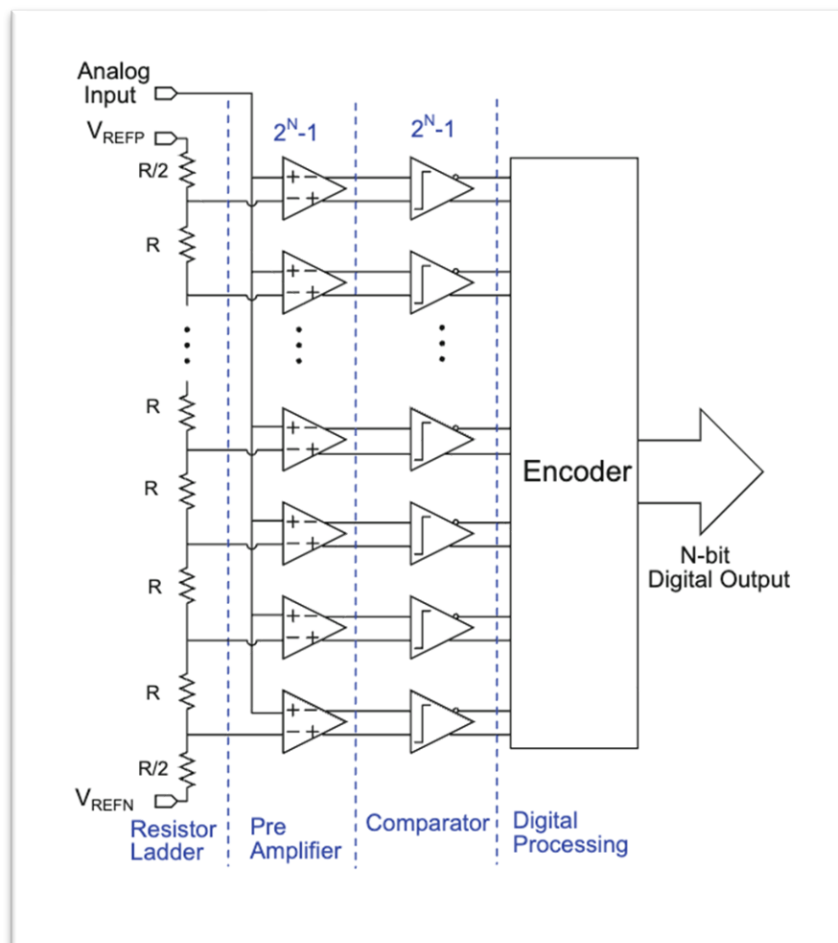
$$FoM_1 = \frac{P}{2 \cdot BW \cdot 2^{ENOB}} = \frac{P}{2 \cdot BW \cdot 2^{\frac{SNDR-1.76}{6.02}}}$$

$$FoM_2 = SNDR + 10 \cdot \log_{10}\left(\frac{BW}{P}\right)$$

trong đó P là mức tiêu thụ điện năng của ADC. Hai FoMs này được thể hiện trong pJ/Conversion (hoặc pJ/Step) và dB tương ứng.

1.3. Các mô hình được sử dụng để chuyển đổi ADC:

1.3.1 Flash ADC



Hình 1. Kiến trúc ADC flash N-bit

Kiến trúc của ADC flash N-bit được minh họa trong hình 1. Nó bao gồm một thang điện trở, mảng tiền khuếch đại, mảng so sánh và bộ phận xử lý kỹ thuật số. Thang điện trở được sử dụng để tạo ra một chuỗi điện áp tham chiếu có kích thước bước giống hệt nhau để phân cực đầu vào âm của bộ tiền khuếch đại. Bộ tiền khuếch đại khuếch đại sự khác biệt giữa điện áp đầu vào tương tự và điện áp tham chiếu, trước khi điều khiển các bộ so sánh tiếp theo. Trong một số ADC flash tốc độ cao, nhiều tầng tiền khuếch đại được sử dụng để tăng tốc độ chuyển đổi. Bộ so sánh đưa ra quyết định logic (0 và 1) dựa trên đầu ra của bộ tiền khuếch đại. Trong phần kỹ thuật số, các hoạt động NAND được giới thiệu để loại bỏ các bong bóng mã và ROM được sử dụng cho bất kỳ mã hóa nhiệt kế sang nhị phân nào.

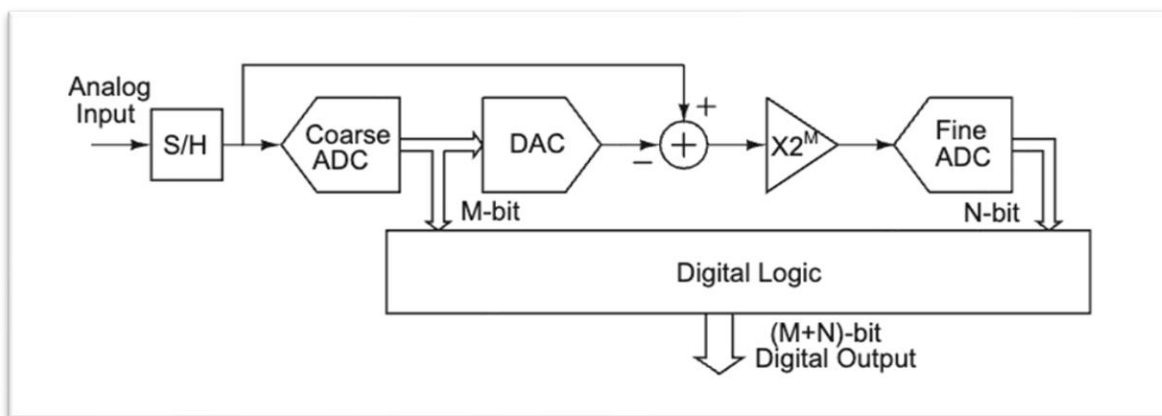
Tốc độ lấy mẫu ADC flash được giới hạn bởi tốc độ của bộ tiền khuếch đại và thời gian xử lý của bộ so sánh. Đây là cấu trúc liên kết ADC có băng thông tín hiệu cao nhất. Một ADC flash có tần số lấy mẫu lên tới 40 GS/s trong công nghệ SiGe 0,12 μ m; SNDR là 18,6 dB và công suất khoảng 3,8W. Để có độ chính xác, ADC flash phụ thuộc rất nhiều vào việc kết hợp bóng bán dẫn, điều này được xác định bởi các thông số công nghệ và diện tích bóng bán dẫn. Kết quả là diện tích chip, mức tiêu thụ điện năng và điện dung đầu vào của nó tỷ lệ theo cấp số nhân với số lượng của các bit. Nếu độ phân giải tăng thêm 1 bit, số lượng bộ tiền khuếch đại và bộ so sánh sẽ tăng gấp đôi, đồng thời diện tích của mỗi bóng bán dẫn đầu vào analog cũng cần tăng gấp đôi để cải thiện khả năng khớp. Vậy diện tích chip và mức tiêu thụ điện năng sẽ là x4. Hơn nữa, điện dung đầu vào lớn cùng với trở kháng đầu ra của giai đoạn trước sẽ làm giảm băng thông ADC flash tối đa. Kết quả là độ phân giải ADC của flash thường dưới 6 bit. Cho đến nay, đã có báo cáo về một ADC flash 550 MHz-BW với SNDR lên tới 35,8 dB [5], tiêu tán công suất khoảng 300 mW. Trong các ADC flash, do thông lượng cao nên phần lớn điện năng tiêu thụ đến từ bộ phận kỹ thuật số.

Để giải quyết các vấn đề nêu trên, một số kỹ thuật đã được đề xuất và một số kiến trúc mới đã được phát minh. Nội suy tương tự được áp dụng để giảm số lượng bộ tiền khuếch đại và việc gấp lại được sử dụng để giảm số lượng bộ so sánh chốt. Hai kỹ thuật này luôn có thể được áp dụng cùng lúc để tăng độ

phân giải ADC và/hoặc để tiết kiệm mức tiêu thụ điện năng của ADC flash. Ví dụ: SNR của ADC gấp lưỡng cực đạt 75 dB đối với BW tín hiệu 50 MHz với mức tiêu thụ điện năng 1,25W. Bị giới hạn bởi mạch gấp, tần số lấy mẫu tối đa của ADC gấp cho đến nay là khoảng 2,2 GS/s, với 37,4 dB SNDR. FoM của ADC gấp này chỉ là 205,7fJ/Bước, tốt hơn nhiều so với giá trị thông thường của ADC flash (khoảng 1pJ/Bước).

Tính trung bình là một cải tiến quan trọng khác đối với ADC flash [8], được sử dụng để giảm bớt yêu cầu kết hợp bóng bán dẫn, giảm diện tích chip và tăng băng thông ADC.

1. 3.2 Two-Step ADC



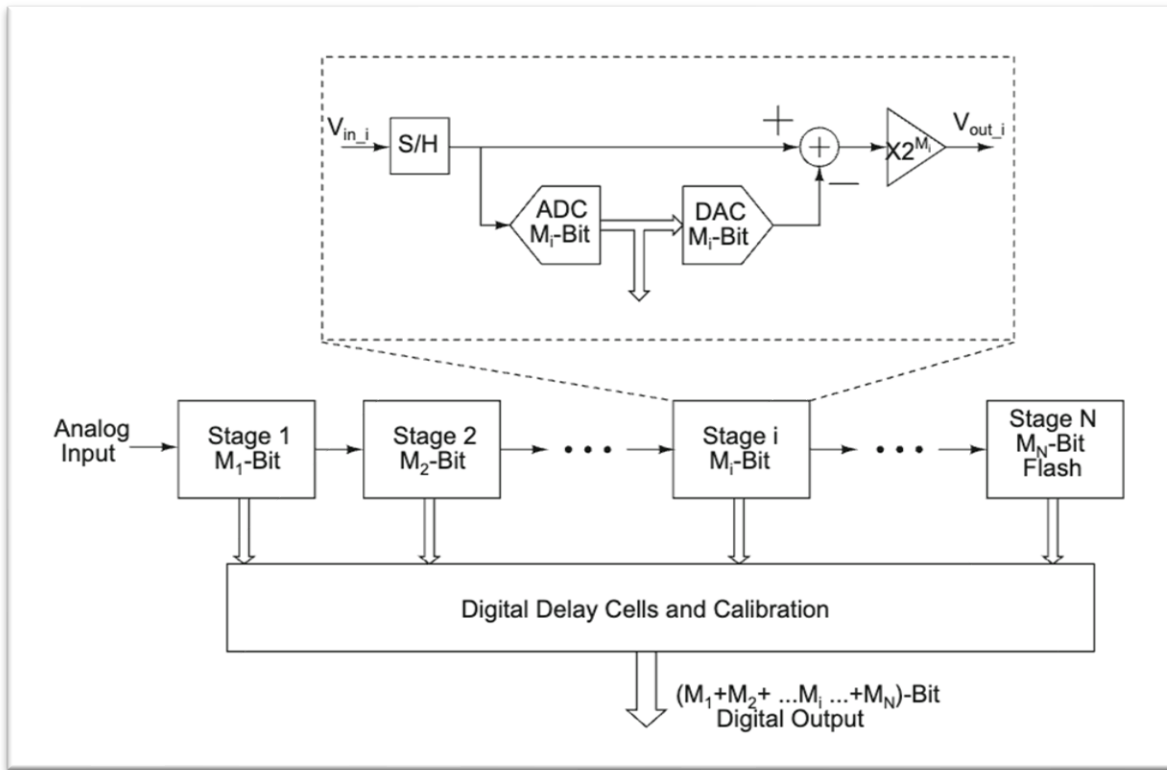
Hình 2. Sơ đồ khối của ADC hai bước bit ($M + N$)

Vì diện tích chip và mức tiêu thụ điện năng của ADC flash sẽ tăng $\times 4$ nếu độ phân giải của nó tăng thêm 1 bit. Một giải pháp cho chi phí tăng nhanh này là thực hiện chuyển đổi theo hai bước thay vì một bước, dẫn đến kiến trúc ADC hai bước, như được trình bày trong Hình 2. Do chuyển đổi hai bước, độ trễ của nó lớn hơn độ trễ của ADC flash, do đó cần có S/H để giữ cho điện áp đầu vào analog không đổi trong một khoảng thời gian chuyển đổi. Sau khi được lấy mẫu và giữ, nó hoạt động như sau: Điện áp đầu vào trước tiên được chuyển đổi bằng ADC thô M-bit; DAC M-bit chuyển đổi các bit kỹ thuật số trở lại miền tương tự.

Sau đó, lỗi dư được tạo ra bằng cách trừ toàn bộ đầu vào ADC khỏi đầu ra DAC; phần dư được khuếch đại thêm $2M$ theo độ phân giải của ADC thô và được xử lý thêm bằng ADC min N -bit. Đầu ra kỹ thuật số của ADC thô và ADC tỉnh lần lượt là bộ MSB và LSB của toàn bộ đầu ra kỹ thuật số ADC bit $(M + N)$. Bằng cách thực hiện phân tách, chi phí phần cứng của ADC hai bước (bao gồm cả phần cứng bổ sung) nhỏ hơn nhiều so với ADC flash có cùng độ phân giải.

Tốc độ của ADC hai bước được xác định bởi độ trễ của đường tới hạn, bao gồm S/H, ADC thô, DAC, bộ trừ, bộ khuếch đại và ADC tỉnh. Cho đến nay, ADC hai bước 1 GS/s với SNDR $33,8\text{ dB}$ đã được giới thiệu, với mức tiêu thụ điện năng khoảng 55 mW [9]. Do sự khuếch đại trước đó nên yêu cầu về độ chính xác của ADC được nới lỏng. Tuy nhiên, yêu cầu về độ chính xác của S/H, ADC thô, DAC, bộ trừ và bộ khuếch đại giống như toàn bộ thông số kỹ thuật của ADC, điều này giới hạn độ phân giải ADC hai bước ở khoảng 10 bit . Ngoài ra, sự phù hợp giữa phạm vi của ADC thô và ADC tỉnh cũng rất quan trọng đối với hiệu suất tổng thể của ADC. Một giải pháp là gán “vượt quá phạm vi” cho ADC tốt. Bằng cách giải quyết các tắc nghẽn này, ADC hai bước SNDR $58,7\text{ dB}$ với 20 MS/s và 55 mW đã được báo cáo trong.

1.3.3 ADC dạng đường ống



Hình 3. Kiến trúc đơn giản hóa của ADC đường ống

Trong ADC hai bước, nếu S/H bổ sung được chèn vào giữa bộ khuếch đại và ADC tốt và số lượng giai đoạn được mở rộng thì cấu trúc ADC theo đường ống sẽ được tạo ra, như trong Hình 3 (không có bộ đệm đầu vào tương tự). Phần tương tự của ADC theo đường ống là N giai đoạn chuyển đổi xếp tầng; tất cả các giai đoạn ngoại trừ giai đoạn cuối cùng (thường là ADC flash) đều là các DAC nhân lên (MDAC), như được minh họa trong hộp nét đứt. Mỗi MDAC trước tiên lấy mẫu điện áp đầu vào, lượng tử hóa điện áp được lấy mẫu, sau đó trích xuất lỗi lượng tử hóa bằng cách sử dụng DAC và bộ trừ. Cuối cùng, lỗi lượng tử hóa dự được khuếch đại và chuyển tiếp đến giai đoạn MDAC tiếp theo. Tất cả các hoạt động của giai đoạn MDAC có thể được hợp nhất và thực hiện bởi một số mạch SC với một pha lấy mẫu và một pha khuếch đại. Do cấu trúc xếp tầng, yêu cầu về độ chính xác của từng giai đoạn có thể được điều chỉnh theo tỷ lệ và chỉ yêu cầu độ chính xác hoàn toàn trong giai đoạn đầu tiên. Mặc dù ADC theo đường ống có thể xử lý một mẫu mới trong

mỗi chu kỳ xung nhịp, nhưng độ trễ của đầu ra kỹ thuật số hoàn chỉnh là N chu kỳ xung nhịp, điều này hạn chế việc sử dụng ADC theo đường ống trong các vòng điều khiển.

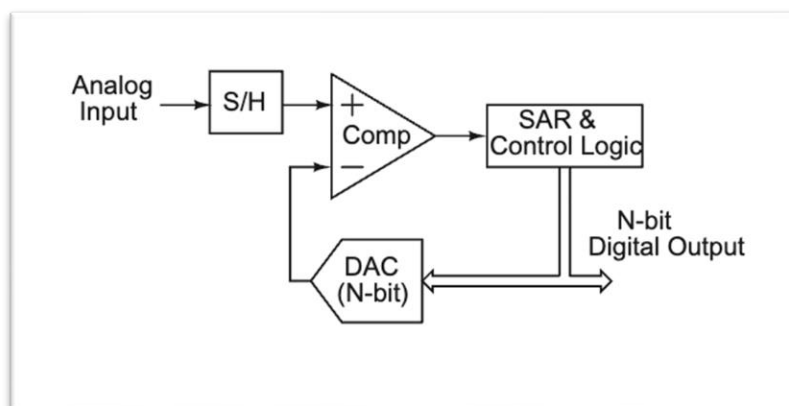
Kiến trúc ADC theo đường ống đơn giản nhất chuyển đổi một bit trên mỗi giai đoạn. Tuy nhiên, lỗi khuếch đại và độ lệch của giai đoạn MDAC ảnh hưởng trực tiếp đến hiệu suất ADC.

Một giải pháp cho vấn đề này là sử dụng cấu trúc 1,5 bit để bù đắp cho phạm vi không khớp. Nói chung, băng thông và hiệu suất của ADC theo đường ống chủ yếu được xác định bởi bộ đệm đầu vào và các OTA MDAC mặt trước và các khối xây dựng này tiêu thụ phần lớn năng lượng của toàn bộ ADC. Đối với ADC đường ống đơn kênh, tần số lấy mẫu tối đa có thể đạt tới 1 GS/s, với SNDR 69dB và mức tiêu thụ điện 1,2W; với thời gian xen kẽ, đã đạt được tới 20 GS/s, với SNDR là 29,5 dB và công suất 10W.

Để đạt được độ phân giải cao ($>12\text{bit}$), luôn cần phải hiệu chỉnh kỹ thuật số. Một ADC đường ống 130 mW với SNDR 84,9 dB cho băng thông 2,5 MHz đã được trình bày.

Để dễ dàng thiết kế ADC và tối ưu hóa mức tiêu thụ điện năng, các bộ khuếch đại đơn giản hoặc thậm chí cả bộ so sánh được sử dụng trong thiết kế MDAC và bất kỳ lỗi nào xảy ra đều có thể xảy ra. được giải quyết bằng hiệu chuẩn kỹ thuật số. Do không sử dụng OTA trong giai đoạn lấy mẫu nên nó có thể được chia sẻ giữa giai đoạn lấy mẫu và giai đoạn khuếch đại (của giai đoạn MDAC khác), làm giảm công suất tiêu tán ADC và diện tích chip.

1.3.4 SAR ADC



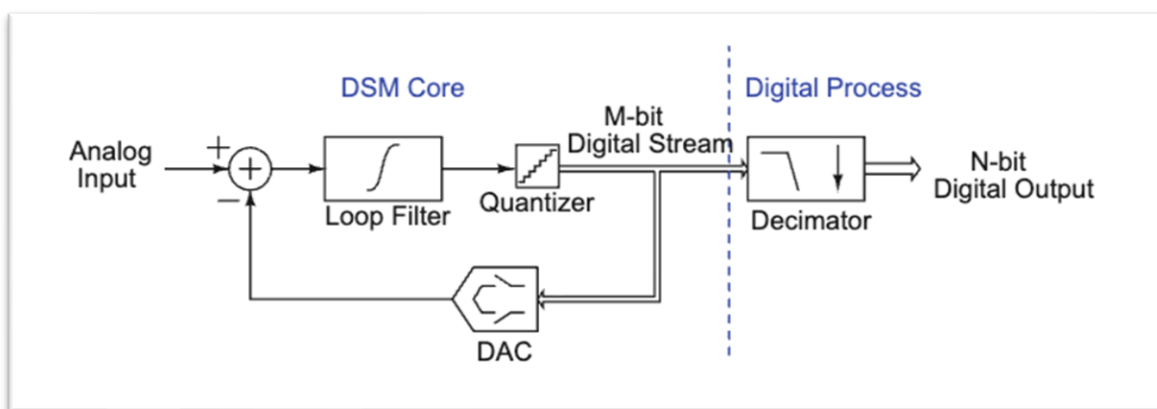
Hình 4. Cấu trúc của SAR ADC

Kiến trúc của ADC SAR N-bit được trình bày trong Hình 4. Nó bao gồm S/H, bộ so sánh, DAC N-bit, thanh ghi và một số logic điều khiển. Tần số xung nhịp bên trong (đối với bộ so sánh, DAC và thanh ghi) gấp N lần tần số ADC. Vào đầu mỗi chu kỳ xung nhịp ADC, các bit thanh ghi được đặt lại về 0 và điện áp đầu vào tương tự được lấy mẫu và giữ không đổi trong toàn bộ chu kỳ. Trong chu kỳ xung nhịp bên trong đầu tiên, MSB của các bit thanh ghi được đặt trước thành 1 và đầu ra DAC được cập nhật. Sau đó, điện áp đầu vào được lấy mẫu được so sánh với đầu ra DAC và thanh ghi MSB được giữ ở mức 1 hoặc đặt về 0, tùy thuộc vào kết quả so sánh. Trong chu kỳ bên trong tiếp theo, bit MSB-1 được đặt trước thành 1 và đầu ra DAC được cập nhật lại được so sánh với điện áp đầu vào được lấy mẫu. Kết quả so sánh quyết định giá trị bit MSB-1. Sau N chu kỳ “đặt trước-cập nhật-so sánh-xác định” trong N chu kỳ xung nhịp bên trong, LSB được xác định và quá trình chuyển đổi N-bit hoàn chỉnh được.

Bởi vì chỉ có một bộ so sánh và một DAC tương tự trong SAR ADC nên nó có thể đạt hiệu suất năng lượng rất cao: một thiết kế có FoM thấp tới 0,85fJ/Bước đã được báo cáo. Trong SAR ADC, hiệu suất phụ thuộc trực tiếp vào tính tuyến tính của DAC, có diện tích luôn chiếm ưu thế so với diện tích chip. Sự phi lý tưởng của xã hội bộ điều chỉnh, ví dụ như điện áp bù và tiếng ồn phản hồi cũng rất quan trọng đối với hiệu suất tổng thể. Cho đến nay, ENOB SAR 12 bit với mức tiêu tán năng lượng 35mW/s và 54,5 mW đã được

công bố. Tần số tối đa của SAR ADC được xác định bởi độ phân giải của nó và tổng độ trễ của bộ so sánh và DAC. Với một kênh duy nhất, SAR ADC có thể đạt tần số lấy mẫu tối đa 1,2 GS/s với khoảng 39,3 dB SNDR và công suất 3,1 mW. Với 80 kênh xen kẽ thời gian, tần số xung nhịp đạt tới 56 GS/s một cách ấn tượng, với ENOB 5,7 bit và công suất 2W ở 65 nm CMOS. Tuy nhiên, do có thêm năng lượng từ mạch tạo xung nhịp và ghép kênh, ADC FoM là 0,69pJ/Bước, lớn hơn nhiều so với các ADC SAR một kênh. Bằng cách sử dụng xen kẽ thời gian và lấy mẫu quá mức, độ phân giải của SAR ADC có thể đạt tới 14 bit.

1.3.5 Delta-Sigma ADC



Hình 5. Sơ đồ khối của DSM ADC

Cho đến nay tất cả các kiến trúc ADC được giới thiệu ở trên trong phần này đều là ADC Nyquist.

Về lý thuyết, tốc độ lấy mẫu của chúng có thể thấp bằng tần số Nyquist. Trái ngược với ADC Nyquist, tần số lấy mẫu của ADC Delta-Sigma (DSM) cao hơn nhiều so với tần số Nyquist của nó. Khi tăng gấp đôi tốc độ lấy mẫu của Nyquist ADC, SNR được cải thiện thêm 3 dB, do đó hiệu suất trao đổi tốc độ chính xác vẫn còn quá thấp.

Một giải pháp cho vấn đề này là kỹ thuật định hình tiếng ồn, luôn được thực hiện bằng phản hồi tiêu cực. Sự kết hợp giữa lấy mẫu quá mức và định hình nhiễu trong DSM ADC, được thể hiện trong Hình 2.7. Lỗi DSM là một vòng phản hồi âm với cả tín hiệu analog và tín hiệu số. Bộ lọc vòng lặp so sánh đầu vào analog và đầu ra của DAC phản hồi và khuếch đại/tích hợp sự

khác biệt. Đầu ra của bộ lọc đi vào bộ lượng tử hóa và thu được luồng đầu ra kỹ thuật số. Do phản hồi tiêu cực toàn cục và mức tăng cao của bộ lọc vòng lặp trong băng thông tín hiệu, luồng kỹ thuật số M-bit theo dõi trung bình đầu vào tương tự. Nhiều lượng tử hóa không chỉ bị lấy mẫu quá mức mà còn bị đẩy một phần từ dải quan tâm sang dải ngoài. Trong mạch thập phân kỹ thuật số, nhiều lượng tử hóa ngoài băng tần của luồng kỹ thuật số bị triệt tiêu và tốc độ dữ liệu sau đó được giảm xuống tốc độ Nyquist bằng bộ lọc chân thực.

Trong DSM ADC, hiệu suất được xác định bởi ba tham số: số lượng của các bit lượng tử hóa B, tỷ lệ lấy mẫu quá mức OSR và thứ tự định hình nhiễu N:

$$SNR = 6.02B + 1.76 + 10(2N + 1)\log(OSR) - 10\log\left(\frac{\pi^{2N}}{2N + 1}\right) \quad (2.14)$$

Nói chung, các ADC DSM có độ chính xác cao được triển khai bởi các DSM thời gian rời rạc (DT), được sử dụng rộng rãi trong các hệ thống âm thanh chất lượng cao. Hiệu suất của DT DSM bị giới hạn bởi độ chính xác giải quyết của các bộ tích hợp trong bộ lọc vòng lặp. Cho đến nay, một ADC 116 dB SNDR 1 kHz-BW đã được trình bày trong, với công suất 12,7 mW. Các BW cao nhất của DT DSM ADC là 20 MHz, với SNDR 64dB và công suất 27,9 mW tiêu dùng. Với các yêu cầu ổn định thoải mái trên bộ lọc vòng lặp, ADC DSM thời gian liên tục (CT) đã mở rộng băng thông lên hàng chục MHz (với tốc độ thấp hơn chính xác) và tìm thấy ứng dụng trong truyền thông. Trong các ADC như vậy, băng thông bị giới hạn bởi tốc độ của bộ lọc vòng lặp và bộ lượng tử hóa nhiều bit. Ví dụ, một Băng thông tín hiệu 465 MHz CT DSM ADC đã được báo cáo, với 64,7 dB SNDR và mức tiêu thụ điện năng là 930 mW. Với công suất 24 kHz và 280μW, CT DSM ADC đã đạt SNDR cao nhất là 98,5 dB.

So với các ADC Nyquist, một ưu điểm của ADC DSM là sự thoải mái (ví dụ: bộ lọc RC đơn giản) hoặc thậm chí loại bỏ bộ lọc khử răng cưa, đặc biệt đối với CT ADC-DSM.

Tuy nhiên, DSM ADC cần thêm một bộ lọc số thập phân kỹ thuật số thay vì bộ lọc tương tự lọc; nó mạnh mẽ và dễ thiết kế, hơn nữa diện tích và khả năng tiêu tán năng lượng của nó có thể được giảm bớt bằng cách mở rộng quy mô công nghệ CMOS.

1.4. Các tiêu chí đánh giá chất lượng bộ ADC:

- Hoạt động của một bộ ADC được đặc trưng bởi băng thông và tỉ số tín hiệu-nhiều (SNR signal-to-noise ratio). Băng thông của ADC được đặc trưng bởi tốc độ lấy mẫu (sampling rate). Tỉ số SNR của bộ ADC bị ảnh hưởng bởi nhiều yếu tố bao gồm: độ phân giải (resolution), độ tuyến tính (linearity) và độ chính xác (accuracy) (đánh giá tính hiệu quả của quá trình lượng tử hoá tín hiệu từ tính hiệu analog thực tế), aliasing và jitter.

- Tỉ số SNR của bộ ADC thể hiện số bit trung bình trả về trong mỗi tính toán mà không bị nhiễu, được gọi là số bit hiệu quả (ENOB effective number of bits). Một bộ ADC lý tưởng có số ENOB bằng với độ phân giải của nó.

Đặc trưng của bộ ADC:

- Băng thông: Khả năng xử lý tín hiệu có tần số cao. Băng thông được giới hạn bởi tốc độ lấy mẫu (sampling rate) - tốc độ chuyển đổi tín hiệu analog thành tín hiệu kỹ thuật số.

- Tỷ số tín hiệu trên nhiễu (SNR): Mức độ chênh lệch giữa tín hiệu mong muốn và nhiễu trong tín hiệu kỹ thuật số được chuyển đổi. SNR cao cho thấy chất lượng tín hiệu tốt hơn.

- Độ phân giải: Số bit được sử dụng để biểu diễn giá trị analog. Độ phân giải càng cao, độ chính xác của bộ chuyển đổi càng cao.

- Độ tuyến tính: Mức độ sai lệch giữa đường đặc tả lý tưởng và đường đặc tả thực tế của bộ chuyển đổi. Độ tuyến tính cao cho thấy độ chính xác cao hơn trong việc chuyển đổi tín hiệu.

- Độ chính xác: Mức độ sai lệch giữa giá trị analog đầu vào và giá trị kỹ thuật số được chuyển đổi. Độ chính xác cao cho thấy độ sai lệch nhỏ hơn.

Số bit hiệu quả (ENOB):

- Số bit hiệu quả (ENOB) thể hiện số bit trung bình thực sự được sử dụng để biểu diễn tín hiệu analog, mà không bị ảnh hưởng bởi nhiễu. Nó được tính toán dựa trên tỷ số SNR của bộ ADC.

- ENOB cao cho thấy bộ chuyển đổi có hiệu quả cao trong việc chuyển đổi tín hiệu analog sang tín hiệu kỹ thuật số.
- Trong một bộ ADC lý tưởng, ENOB bằng với độ phân giải của nó. Tuy nhiên, trong thực tế, ENOB luôn thấp hơn độ phân giải do ảnh hưởng của nhiễu, độ tuyến tính và độ chính xác.

2. Phần mô phỏng

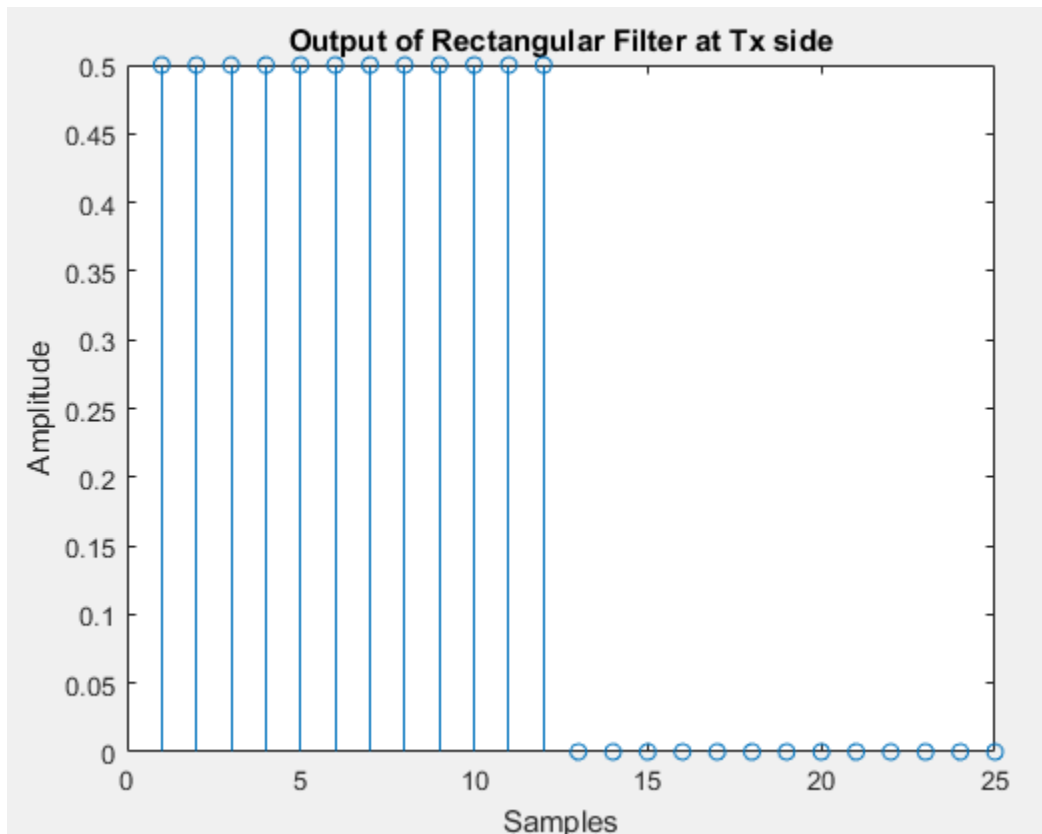
Bài 1. Sinh viên sử dụng đoạn ví dụ trên để xây dựng bộ chuyển đổi với tín hiệu đầu vào là [1110]

Code MatLab:

```
overSampling_Factor=4;
input_bit = [1 1 1 0];
input_bit_os =
upsample(input_bit,overSampling_Factor);
%oversampling by 4
%this is equivalent to performing digital to analog
conversion in Tx side
%The oversampled version of input is then passed
through a pulse shaping filter (it can be a
rectangular filter, root cosine filter, etc..). A
rectangular filter is implemented in the following
code snippet.
%normalizing the pulse shape to have unit energy
pt = [ones(1,overSampling_Factor) 0 0 0 0 0
0]/sqrt(overSampling_Factor);
%The output of the convolution operation will be in
the transmitter sideoutput_of_rect_filter =
conv(input_bit_os,pt);
output_of_rect_filter = conv(input_bit_os, pt);
stem(output_of_rect_filter);
```

```
title('Output of Rectangular Filter at Tx side')
xlabel('Samples')
ylabel('Amplitude')
```

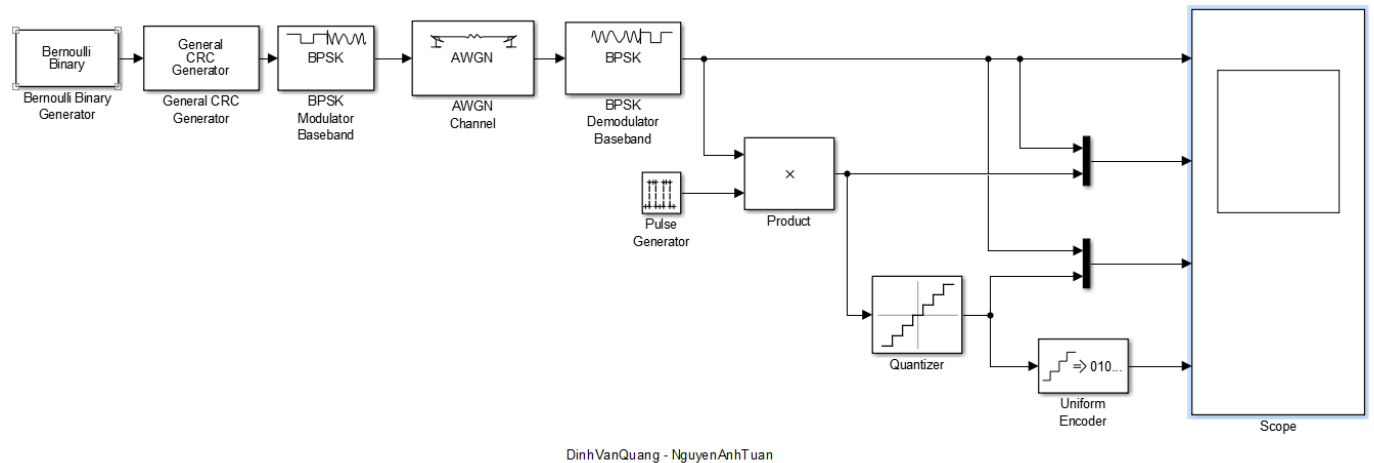
Kết quả:



Hình 6. Kết quả mô phỏng

Bài 2. Sinh viên xây dựng mô hình Simulink thể hiện vai trò của bộ chuyển đổi ADC trong hệ thống có sử dụng bộ điều chế BPSK và có nhiễu Gaussian (AWGN), yêu cầu tối thiểu có 10 khối tín hiệu. Sinh viên thực hiện đánh giá vai trò của bộ chuyển đổi ADC trong hệ thống viễn thông số.

Mô hình Simulink:



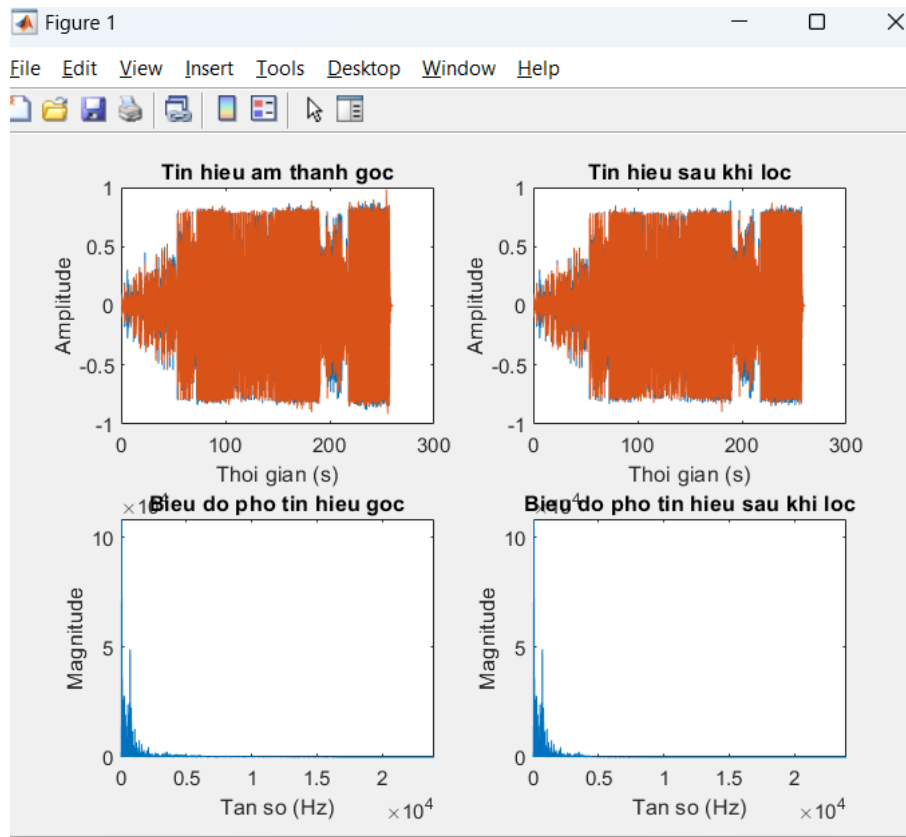
Hình 7. Mô hình Simulink

Bài 3: Sinh viên xây dựng mô hình chuyển đổi file âm thanh sang dạng tín hiệu digital và analog với các tần số cắt khác nhau. Yêu cầu sinh viên đưa ra kết quả tối thiểu 4 đồ thị biểu diễn đại lượng bất kỳ (trong đó có 2 đồ thị đối với tín hiệu analog và 2 đồ thị biểu diễn tín hiệu digital thu được từ quá trình chuyển đổi).

Code Matlab:

```
[audio, fs] = audioread('t.mp3');
fc = 4000;
[b, a] = butter(6, fc/(fs/2), 'low');
filtered_audio = filter(b, a, audio);
fft_original = abs(fft(audio));
fft_filtered = abs(fft(filtered_audio));
t = (0:length(audio)-1)/fs;
subplot(2,2,1);
plot(t, audio);
title('Tín hiệu âm thanh gốc');
xlabel('Thời gian (s)');
ylabel('Amplitude');
subplot(2,2,2);
plot(t, filtered_audio);
title('Tín hiệu sau khi lọc');
xlabel('Thời gian (s)');
ylabel('Amplitude');
frequencies = linspace(0, fs, length(audio));
subplot(2,2,3);
plot(frequencies(1:length(audio)/2), fft_original(1:length(audio)/2));
title('Biểu đồ phổ tín hiệu gốc');
xlabel('Tần số (Hz)');
ylabel('Magnitude');
subplot(2,2,4);
plot(frequencies(1:length(audio)/2), fft_filtered(1:length(audio)/2));
title('Biểu đồ phổ tín hiệu sau khi lọc');
xlabel('Tần số (Hz)');
ylabel('Magnitude');
```

Kết quả:



Hình 8. Kết quả