



Bộ ôn 2018 - gerwgretergergergrgeryery

Data Structure and Algorithm (HCMC University of Technology)

THI Kiến trúc máy tính và hợp ngữ (Thi Chung)

Bắt đầu vào lúc Monday, 28 May 2018, 1:10 PM

State Finished

Kết thúc lúc Monday, 28 May 2018, 2:14 PM

Thời gian thực hiện 1 giờ 4 phút

Câu hỏi 1

Hoàn thành

Đạt điểm 1,00

Consider the following assembly instruction sequence

```
CMP DL, 0
JB  x_label
CMP DL, 9
JA  a_label
ADD DL, 30h
JMP x_label

a_label:
CMP DL, 0Fh
JA  x_label
ADD DL, 31h

x_label:
MOV AL, DL
```

watch point:

...

Choose correct value of AL register at watch point for different value of DL?

DL=55h

DL=0FFh

DL=10

DL=8

Câu hỏi 2

Hoàn thành

Đạt điểm 1,00

Select correct match for AX (Decimal) at watch points:

```
MOV AX, 1BC
MOV CL, 2
SHL AX, CL
```

watch point #1:

```
ADD AX, 166
```

watch point #2:

```
SHR AX, CL
```

watch point #3:

```
SHR AX, CL
```

.....

watch point #1:

1776

watch point #2:

1942

watch point #3:

485

Câu hỏi 3

Hoàn thành

Đạt điểm 0,50

if the location to which the control is to be transferred lies in a segment other than the current one, then the jump instruction is called

Select one:

- ☐ intrasegment mode
- ☒ intersegment mode
- ☐ intrasegment indirect mode
- ☐ intrasegment direct mode

Câu hỏi 4

Hoàn thành

Đạt điểm 1,00

Structural components of computer include:

Select one or more:

- ☒ System interconnection
- ☐ Interrupt
- ☒ Central processing unit
- ☒ I/O
- ☒ Memory
- ☐ DMA

Câu hỏi 5

Hoàn thành

Đạt điểm 0,50

Which could be correct ones for the destination operand in a data movement instruction?

Select one or more:

- ☐ immediate data
- ☒ all choices are correct
- ☒ register
- ☒ memory location

Câu hỏi 6

Hoàn thành

Đạt điểm 0,50

the instruction, JMP C008:2000h is an example of

Select one or more:

- ☐ intrasegment mode
- ☒ near jump
- ☐ intersegment jump
- ☒ far jump

Câu hỏi 7

Hoàn thành

Đạt điểm 1,00

Given a row of memory image in debug

0AE8:0120 13 96 D0 E0 00 40 08 42 - 99 80 3E 20 99 00 75 24

SI = 120

The following instruction is executed:

MOV EAX, [SI+4]

Assume the value in EAX is a 32-bit floating-point binary, what is the value of EAX in decimal?

Answer: 4000

0899

Câu hỏi 8

Hoàn thành

Đạt điểm 1,00

Given a code snippet:

```
int n = 10;  
do {  
    n--;  
} while (n > 0);
```

Which ones are the equivalent logic sequence of instructions in Assembly

Select one or more:

- ☒ `mov cx, 10`
`a_label:`
`.....`
`loop a_label`
- ☐ `mov cx, 10`
`a_label:`
`.....`
`dec cx`
`cmp cx, 0`
`jz a_label`
- ☐ `mov cx, 10`
`a_label:`
`.....`
`dec cx`
`loop a_label`
- ☒ `mov cx, 10`
`a_label:`
`dec cx`
`cmp cx, 0`
`jz e_label`
`jmp a_label`
`e_label:`

Câu hỏi 9

Hoàn thành

Đạt điểm 1,00

The following sequence of instructions are executed. What is the correct value of AX, CX, DX at watch point?

```
MOV AX,30  
MOV CX,FFFF  
MUL CX
```

watch point:

CX =

AX =

DX =

Câu hỏi 10

Không trả lời

Đạt điểm 0,50

Write mask byte (in hex) to set higher 4 bits in a byte value with OR instruction (LSB is the 1st bit).

Answer:

Câu hỏi 11

Hoàn thành

Đạt điểm 0,50

After executing PUSH EAX instruction, the stack pointer

Select one:

- ☐ increment by 1
- ☒ decrements by 4
- ☐ decrement by 1
- ☐ increment by 2

Câu hỏi 12

Không trả lời

Đạt điểm 1,00

Given an assembly code copying the memory buffer Buff1 to Buff2:

```
PUSH DS
POP  ES
LEA  SI, Buff1
LEA  DI, Buff2
MOV  CX,20
;--- Start of block
```

cp_loop:

```
MOV  AL, Byte Ptr [SI]
MOV  Byte Ptr ES:[DI], AL
INC  SI
INC  DI
LOOP cp_loop
; ---End of block
```

Choose equivalent string operations in place of block

Select one or more:

- ☐ CLD
cp_loop:
MOVSB
LOOP cp_loop
- ☐ STD
cp_loop:
MOVSB
LOOP cp_loop
- ☐ CLD
cp_loop:
REP MOVSB
LOOP cp_loop
- ☐ CLD
REP MOVSB

Câu hỏi 13

Hoàn thành

Đạt điểm 0,50

the instruction that is used as prefix to an instruction to execute it repeatedly until the CX register becomes zero is

Select one:

- ☐ CMPS
- ☐ SCAS
- ☐ CMPS
- ☒ REP

Câu hỏi 14

Hoàn thành

Đạt điểm 0,50

Write mask byte (in hex) to clear all the lower 7 bits of a byte value with AND instruction.

Answer: AND AL, 01111111B

80

Câu hỏi 15

Không trả lời

Đạt điểm 1,00

Convert -89.2345 to IEEE 32-bit floating point format (1 sign+ 8 exponent + 23 mantissa) in hex

Answer:

Câu hỏi 16

Không trả lời

Đạt điểm 1,50

Given a row of memory image in debug

072C:FFF0 00 00 00 01 00 00 2C 07 - 07 01 2C 07 17 72 00 00

SS=072C, SP=FFF8, DS = 072C

Assume the stack now stores two (2) 16-bit parameters and one (1) 16-bit return address in following order: stack top (return address) >> parameter #1 >> parameter #2.

The following sequence of instructions are executed. What is the correct values at watch points?

MOV BP, SP

watch point #1 (BP):

MOV AX, [BP+2]

watch point #2 (AX):

ADD AX, [BP+4]

watch point #3 (AX):

MOV DI, 120

MOV [DI], AX

watch point #1:

watch point #2:

watch point #3:

Câu hỏi 17

Hoàn thành

Đạt điểm 0,50

The instruction that subtracts 1 from the contents of the specified register/memory location is

Select one:

- ☒ DEC
- ☐ SUB
- ☐ SBB
- ☐ INC

Câu hỏi 18

Không trả lời

Đạt điểm 1,00

Memory dump at 1D20:0200 shown as below:

1D20:0200 00 20 10 5D 55 47 00 90 - 00 10 20 30 40 50 60 70

Given value of registers:

DS = 1D20, ES = 1D20, DI = 20A

The following sequence of instructions are executed:

MOV SI,208h

MOV AX,0040h

MOV CX,000Ah

CLD

REPZ SCASB

watch point:

.....

What is the correct value of AX, SI, DI registers at watch point?

DI =

AX =

SI =

Câu hỏi 19

Hoàn thành

Đạt điểm 1,00

What is the meaning of Amdahl's law in processor performance evaluation?

Select one:

- ☐ the cost reduce when moving from single-core to multicore processor
- ☒ the maximum speedup of a multicore processor
- ☐ the potential speedup of a program using multiple processor compared to a single processor
- ☐ the speedup of a multicore processor when increasing system bus speed

Câu hỏi 20

Hoàn thành

Đạt điểm 0,50

Which are the correct actions for LODSW string operation if DF is reset (=0)

Select one or more:

- ☐ decrease DI by 2
- ☐ Load 16-bit value at memory location pointed by ES:[DI] into AX
- ☒ increase SI by 2
- ☒ Load 16-bit value at memory location pointed by DS:[SI] into AX

Câu hỏi 21

Không trả lời

Đạt điểm 1,00

When many devices of different transmission speed connect to the same bus, the overall system performance suffers. How did the design engineers resolved this:

Select one:

- ☐ PCI Express bus
- ☐ Multiple-Bus hierarchies
- ☐ PCI bus
- ☐ Split system bus into local bus and memory bus

Câu hỏi 22

Hoàn thành

Đạt điểm 0,50

the instruction, CMP to compare source and destination operands by

Select one:

- ☐ adding
- ☐ comparing
- ☐ dividing
- ☒ subtracting

Câu hỏi 23

Hoàn thành

Đạt điểm 1,00

To balance the super speed of CPU with the slow response of memory, which of the following measures have been made by engineers in system design?

Select one or more:

- ☐ Make use of both on-chip and off-chip cache memory
- ☒ Make wider data bus path
- ☒ Using higher-speed bus and us hierarchy
- ☒ To move data directly by DMA

Câu hỏi 24

Hoàn thành

Đạt điểm 1,00

The following sequence of instructions are executed. What is the correct value of AX, DX at watch point?

MOV DL,FF

MOV AL,42

IMUL DL

watch point:

AX = FFBE 41BE

DX = 0000

Câu hỏi 25

Hoàn thành

Đạt điểm 0,50

In the RCR instruction, the contents of the destination operand undergoes function as

Select one:

- ☐ carry flag is pushed into LSB then MSB is pushed into carry flag
- ☐ overflow flag is pushed into MSB then LSB is pushed into carry flag
- ☒ carry flag is pushed into MSB then LSB is pushed into carry flag
- ☐ auxiliary flag is pushed into LSB then MSB is pushed into carry flag

Câu hỏi 26

Hoàn thành

Đạt điểm 0,50

Which could be correct ones for the source operand in an instruction?

Select one or more:

- ☒ immediate data
- ☒ memory location
- ☐ indirect data
- ☒ register

Câu hỏi 27

Hoàn thành

Đạt điểm 1,00

Convert the 32-bit floating point number A3358000 (in hex) to decimal.

Note:

Result with exponent should be written like (e.g): 1.2345678x10⁻¹³ or 1.2345678x10¹³ (no space between digits/characters)

Answer: -9.83913471531x10⁻¹⁸

Câu hỏi 28

Hoàn thành

Đạt điểm 1,00

Select correct match for register values at watch points:

MOV AX, 152D

ADD AX, 003F

watch point #1:

ADD AH, 10

watch point #2:

.....

watch point
#2:

AH = 25 ▾

watch point
#1:

AL = 6C ▾

Câu hỏi 29

Hoàn thành

Đạt điểm 0,50

Which are the correct actions for SCASW string operation if DF is set (=1)

Select one or more:

- ☒ decrease DI by 2
- ☒ compare the value in AX register with 16-bit value at the memory location pointed by ES:[DI] and set/clear flag bits accordingly
- ☐ increase DI by 2
- ☐ compare the value in AX register with 16-bit value at the memory location pointed by DS:[SI] and set/clear flag bits accordingly

Câu hỏi 30

Hoàn thành

Đạt điểm 1,00

What is the correct value of SI, AL (in hex) at watch point:

01: MOV SI, 300h

02: MOV AL, 10h

03: MOV CX, 7

04: Loop_label:

05: MOV [SI], AL

06: ADD AL, 10h

07: INC SI

08: LOOP Loop_label

watch point:

SI 80h ▾

AL
= 80h ▾**Câu hỏi 31**

Hoàn thành

Đạt điểm 1,00

Select the correct sequence of instructions to compute -1024/128 (all values are in hex).

Step 1: CWD ▾

mov fc00

Step 2: MOV CX, 80 ▾

cwd

Step 3: MOV CL, 80 ▾

mov 80

Step 4: IDIV CL ▾

Câu hỏi 32

Hoàn thành

Đạt điểm 1,00

Select correct match for AL and carry flag at watch point #1:

MOV BL, 8C

MOV AL, 7E

ADD AL, BL

watch point #1:

.....

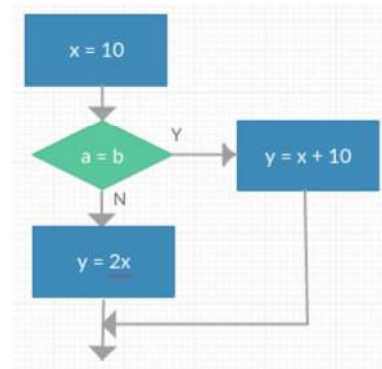
AL Carry
flag

Câu hỏi 33

Hoàn thành

Đạt điểm 1,00

Given a flowchart of an algorithm:



Select the correct instruction sequence:

Select one or more:

☐

```
mov dl,10
cmp al,bl
jnz n_label
add dl,10
jmp e_label
```

```
n_label:
mov cl,1
shl dl,cl
e_label:
mov dh,dl
```

☒

```
mov dl,10
cmp al,bl
jnz n_label
add dl,10
mov dh,dl
jmp e_label
```

```
n_label:
mov cl,1
shl dl,cl
e_label:
mov dh,dl
```

☐

```
mov dl,10
cmp al,bl
jnz n_label
add dl,10
jmp e_label
```

```
n_label:
mov cl,1
shr dl,cl
e_label:
mov dh,dl
```

☐

```
mov dl,10
cmp al,bl
jz n_label
mov cl,1
shl dl,cl
jmp e_label
```

```
n_label:
add dl,10
e_label:
mov dh,dl
```

Câu hỏi 34

Hoàn thành

Đạt điểm 0,50

After executing the POP EAX instruction, the stack pointer

Select one:

- ☐ decrements by 4
- ☐ decrements by 2
- ☒ increments by 4
- ☐ increment by 1

Câu hỏi 35

Hoàn thành

Đạt điểm 0,50

Sign-extend number BF (8-bit binary) to 16-bit. Write result in hex

Answer: 191

Câu hỏi 36

Hoàn thành

Đạt điểm 0,50

Which of the following instructions are not valid?

Select one or more:

- ☒ MOV DS, B800h
- ☐ MOV AX, [BP+2]
- ☒ MOV SP, SS:[SI+2]
- ☐ MOV AX, SI

Câu hỏi 37

Hoàn thành

Đạt điểm 1,00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV AL, 0F

ADD AL, F1

watch point:

Zero flag (OF) = Carry flag (CF) = **Câu hỏi 38**

Hoàn thành

Đạt điểm 1,00

Major structural components of the CPU include:

Select one or more:

- ☒ Registers
- ☒ Arithmetic and Logic Unit
- ☐ Instruction Pointer (PC)
- ☒ Interconnections
- ☒ Control Unit
- ☐ Instruction Register

Câu hỏi 39

Hoàn thành

Đạt điểm 1,00

Consider a magnetic disk drive with 8 surfaces, 512 tracks per surface, and 64 sectors per track. Sector size is 1 kB. What is the disk capacity

Answer:

Câu hỏi 40

Hoàn thành

Đạt điểm 1,00

What best describe the Spatial and Temporal Locality?

Temporal
locality

be exploited by keeping recently used instruction and data in cache memory and by exploiting a cache hierarchy

Spatial
locality

be exploited by moving data between cache and memory more efficient

Câu hỏi 41

Hoàn thành

Đạt điểm 1,00

Given a code snippet:

`int ax, bx;``...``if (ax >= bx)``ax -= bx;``else``bx -= ax;`

What is the equivalent logic sequence of instructions in Assembly

Select one:

- ☒ `cmp ax,bx`
`jl a_label`
`sub ax,bx`
`jmp x_label`
`a_label:`
`sub bx,ax`
`x_label:`
- ☐ `cmp ax,bx`
`jbe a_label`
`sub ax,bx`
`jmp x_label`
`a_label:`
`sub bx,ax`
`x_label:`
- ☐ `cmp ax,bx`
`ja a_label`
`sub ax,bx`
`jmp x_label`
`a_label:`
`sub bx,ax`
`x_label:`
- ☐ `cmp ax,bx`
`jge a_label`
`sub ax,bx`
`jmp x_label`
`a_label:`
`sub bx,ax`
`x_label:`

Câu hỏi 42

Hoàn thành

Đạt điểm 0,50

Which of the following is not a data copy/transfer instruction?

Select one or more:

- ☒ ADC
- ☐ MOV
- ☐ LEA
- ☒ DAS

[Return to: General ➡](#)

Question 1

Complete

Marked out of 1.20

Consider the following assembly instruction sequence

```
CMP DL, 0
JB  x_label
CMP DL, 9
JA  a_label
ADD DL, 30h
JMP x_label
```

a_label:

```
CMP DL, 0Fh
JA  x_label
ADD DL, 37h
```

x_label:

```
MOV AL, DL
```

watch point:

...

Choose correct value of AL register at watch point for different value of DL?

DL=10

38h ▼

DL=8

41h ▼

DL=55h

55h ▼

DL=0FFh

0FFh ▼

Question 2

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of CF and OF at watch point?

```
MOV AX,FFF6h
MOV CX,1000h
IMUL CX
```

watch point:

OF=

set ▼

CF=

undefined ▼

Question 3

Complete

Marked out of 0.50

Which could be correct ones for the destination operand in a data movement instruction?

Select one or more:

- ☒ register
- ☐ immediate data
- ☒ memory location
- ☐ all choices are correct

Question 4

Complete

Marked out of 1.20

Write mask byte (in hex) to clear bit 2nd, 3rd, 5th of a byte value with AND instruction (LSB is 1st bit).

Answer: 10010111

Question 5

Complete

Marked out of 0.50

if the location to which the control is to be transferred lies in a segment other than the current one, then the jump instruction is call

Select one:

- ☐ intrasegment indirect mode
- ☐ intersegment mode
- ☐ intrasegment mode
- ☒ intrasegment direct mode

Question 6

Complete

Marked out of 1.20

Convert the 32-bit floating point number 44363800 (in hex) to decimal.

Answer: 1144403968

Question 7

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

```
MOV AX,FFFF
```

```
MOV CX,5
```

```
MUL CX
```

watch point:

Carry flag (CF) =

set ▼

Overflow flag (OF) =

not defined ▼

Question 8

Complete

Marked out of 0.50

In multiplication instruction, when the source operand is 16 bit, how can the result be taken?

Select one:

- ☐ from AX:DX pair
- ☐ from AX
- ☐ from EAX
- ☒ from DX:AX pair

Question 9

Complete

Marked out of 1.00

Given a row of memory image in debug

```
0AE8:0120 13 96 D0 E0 D0 E0 A2 1E - 99 80 3E 20 99 00 75 24
```

Initially, AX=BX=CX=DX=0, SI=128

What are value of AX,DX after execution of the following instructions?

```
MOV EDX, [SI]
```

```
MOV EAX, [SI+4]
```

DX = 203E ▼

AX = 8099 ▼

Question 10

Complete

Marked out of 1.00

Which statements are correct for HDDs?

Select one or more:

- ☒ Head, Track, Sector are key parameters for access data on hard disk
- ☒ Bits are stored on tracks
- ☐ Head, Track, Cylinder are key parameters for access data on hard disk
- ☐ Bits are store randomly on disk surfaces

Question 11

Complete

Marked out of 0.50

Which are correct action for SCASW string operation if DF is set (=1)

Select one or more:

- ☐ compare value in AL register with memory location pointed by DS:[SI]
- ☐ decrease DI by 2
- ☒ compare value in AL register with memory location pointed by ES:[DI]
- ☒ increase DI by 2

Question 12

Complete

Marked out of 1.00

Given a row of memory image in debug

0AE8:0120 13 96 D0 E0 D0 E0 A2 1E - 99 80 3E 20 99 00 75 24

SI = 120, DI = 128

Select correct sequence of instructions to subtract words at [DI] from [SI] then store the result at memory location 12A

Step 1: MOV AX, [SI] ▼

Step 2: SUB AX, [DI] ▼

Step 3: SUB AX, [SI] ▼

Step 4: MOV BX, 012A ▼

Question 13

Complete

Marked out of 0.50

The instruction that supports addition when carry exists is

Select one:

- ☐ DAS
- ☐ SBB
- ☒ ADC
- ☐ ADD

Question 14

Complete

Marked out of 1.00

In computer, how does the processor serve multiple interrupt request from devices?

Select one:

- ☒ Each device are assigned an interrupt priority, the device with lower priority will be served.
- ☐ Device with higher priority will use interrupt enable flag
- ☐ The processor can not process multiple interrupt requests
- ☐ Each device are assigned an interrupt priority, the device with higher priority will be served.

Question 15

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV AL, 80

MOV BL, 2

MUL BL

watch point:

Overflow flag (OF) = ▼

Carry flag (CF) = ▼

Question 16

Complete

Marked out of 0.50

To test one bit in a byte value without destructing the byte, use _____ instruction.

Select one:

- ☐ AND
- ☐ OR
- ☒ NOT
- ☐ TEST

Question 17

Complete

Marked out of 1.00

Which are correct about the data registers of IA-32 processors:

Select one or more:

- ☐ Lower halves of the 32-registers can be used as 4 16-bit data registers: AX,BX,CX,DX
- ☒ complete 32-bit registers: EAX, EBX, ECX, EDX
- ☐ Lower halves of the 16-registers can be used as 8-bit data registers: AH,AL,BH,BL,CH,CL,DH,DL
- ☒ Higher halves of the 32-bit registers can be used as 16-bit registers: EAX,EBX,ECX,EDX

Question 18

Complete

Marked out of 1.20

Convert 0.1015625 to IEEE 32-bit floating point format (1 sign+ 8 exponent + 23 mantissa)

Answer: Thay thuong tinh cho em 7d qua mon, em cam on!

Question 19

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV DL,FF

MOV AL,F6

IMUL DL

watch point:

OF = set ▼

CF = set ▼

Question 20

Complete

Marked out of 1.00

Choose correct features for SRAM and DRAM

SRAM Faster access time, cost more per bit, smaller size

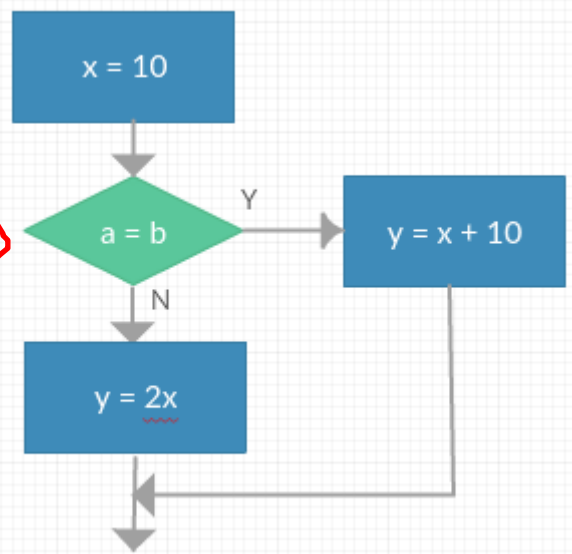
DRAM Slower access time, cheaper cost per bit, can manufacture with larger size

Question 21

Complete

Marked out of 1.20

Given a flowchart of an algorithm:



Select the correct instruction sequence:

Select one or more:

- ☐ `mov dl,10`
`cmp al,bl`
`jz n_label`
`mov cl,1`
`shl dl,cl`
`jmp e_label`
`n_label:`
`add dl,10`
`e_label:`
`mov dh,dl`
- ☐ `mov dl,10`
`cmp al,bl`
`jnz n_label`
`add dl,10`
`jmp e_label`
`n_label:`
`mov cl,1`
`shr dl,cl`
`e_label:`
`mov dh,dl`
- ☒ `mov dl,10`
`cmp al,bl`
`jnz n_label`
`add dl,10`
`jmp e_label`
`n_label:`
`mov cl,1`
`shl dl,cl`
`e_label:`
`mov dh,dl`

```

☐ mov dl,10
    cmp al,bl
    jnz n_label
    add dl,10
    mov dh,dl
    jmp e_label
n_label:
    mov cl,1
    shl dl,cl
e_label:
    mov dh,dl

```

Question 22

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

```
MOV AL, 0F
```

```
ADD AL, F1
```

watch point:

Zero flag (OF) =

Carry flag (CF) =

Question 23

Complete

Marked out of 0.50

Which are correct action for STOSB string operation if DF is reset (=0)

Select one or more:

- ☐ decrease DI by 1
- ☒ Store 8-bit value from AL into memory location pointed by DS:[SI]
- ☒ increase DI by 1
- ☐ Store 8-bit value from AL into memory location pointed by ES:[DI]

Question 24

Complete

Marked out of 1.00

What are components of Von Neumann, namely IAS computer?

Select one or more:

- ☒ I/O Equipments
- ☐ Monitor
- ☒ CPU
- ☒ Memory
- ☐ Bus
- ☐ Punched card reader

Question 25

Not answered

Marked out of 1.00

Compute the physical address of the next instruction will be execute if instruction pointer is 091D and code segment located at 1FAF

Answer:

Question 26

Complete

Marked out of 1.00

Which set of registers are valid for addressing a stack memory location?

Select one or more:

- ☐ SS:BP
- ☒ SS:BX
- ☒ DS:SI
- ☐ SS:SP

Question 27

Complete

Marked out of 0.50

The instruction that is used for finding out the codes in case of code conversion problems is

Select one:

- ☐ XOR
- ☐ JCXZ
- ☐ XLAT
- ☒ XCHG

Question 28

Complete

Marked out of 0.50

To clear one or more bits in a byte value, use _____ instruction.

Select one:

- ☐ OR
- ☐ NOT
- ☒ AND
- ☐ XOR

Question 29

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV AL,-5

SUB AL,124

watch point:

Zero flag (OF) = not defined ▼

Overflow flag (OF) = reset ▼

Sign flag (SF) = set ▼

Carry flag (CF) = set ▼

Question 30

Complete

Marked out of 1.00

the memory stack area of a program shown in figure

Address	1D50	1D51	1D52	1D53
Value	AF	90	71	DA

The value of SP register is 1D50. What is the value of SP follows the execution of **PUSH SI**

Answer: 90

Question 31

Complete

Marked out of 1.00

Enter debug command to fill 256 bytes in data segment starting from 100 with value 0D

Answer: ADD 0D, 256[100]

Question 32

Complete

Marked out of 0.50

Which are correct action for LODSB string operation if DF is reset (=0)

Select one or more:

- ☐ increase SI by 1
- ☒ Load 8-bit value at memory location pointed by ES:[DI] into AL
- ☐ Load 8-bit value at memory location pointed by DS:[SI] into AL
- ☒ decrease DI by 1

Question 33

Complete

Marked out of 1.20

Given a code snippet:

```
int n = 10;
do {
    n--;
} while (n > 0);
```

Which ones are the equivalent logic sequence of instructions in Assembly

Select one or more:

- ☐ mov cx, 10
a_label:
dec cx
cmp cx, 0
jz e_label
jmp a_label
e_label:
- ☒ mov cx, 10
a_label:
.....
dec cx
loop a_label
- ☐ mov cx, 10
a_label:
.....
dec cx
cmp cx, 0
jz a_label
- ☐ mov cx, 10
a_label:
.....
loop a_label

Question 34

Complete

Marked out of 1.00

For better speed, in CPU design, engineers make use of the following techniques:

Select one or more:

- ☐ Speculative execution
- ☐ Branch prediction
- ☐ Faster CPU internal bus
- ☒ Pipelining

Question 35

Complete

Marked out of 0.50

In multiplication instruction, when the source operand is 8 bit, _____ will be multiplied with source.

Select one:

- ☒ Whatever general purpose register
- ☐ BX
- ☐ AL
- ☐ AX

Question 36

Complete

Marked out of 1.00

Which are valid based index addressing?

Select one or more:

- ☐ [BX+SI]
- ☒ [BX+DI]
- ☒ [DX+SI]
- ☐ [SP+DI]

Question 37

Complete

Marked out of 1.00

Memory dump at 1D20:0200 as below:

1D20:0200 00 20 10 5D 55 47 00 90 - 00 10 20 30 40 50 60 70

Given value of registers: DS = 1D20, SI = 200, BX = 202, AX = 0103

Identify correct value of AX register after XLAT instruction is executed.

AH = 5Dh ▼

AL = 10h ▼

Handwritten red text: AL = AL + BX

Question 38

Complete

Marked out of 1.20

Given a code snippet (ax, bx are none negative integers):

```
if (ax >= bx)
```

```
    ax -=bx;
```

```
else
```

```
    bx -=ax;
```

What is the equivalent logic sequence of instructions in Assembly

Select one:

- ☐

```
cmp ax,bx
jbe a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```
- ☐

```
cmp ax,bx
jb a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```
- ☒

```
cmp ax,bx
ja a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```
- ☐

```
cmp ax,bx
jnbe a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```

Question 39

Complete

Marked out of 0.50

The instruction, MOV AX, 0005h belongs to which addressing mode?

Select one:

- ☐ ~~Immediate~~
- ☒ direct
- ☐ register
- ☐ index

Question 40

Complete

Marked out of 1.00

Part of computer memory is shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

What is the value of AX register after instruction **MOV AX, [1D4B]** executed

Answer: 2D

Question 41

Complete

Marked out of 0.50

Which of the following instructions are not valid?

Select one or more:

- ☐ MOV AX, [BP+2]
- ☐ MOV AX, SI
- ☒ MOV DS, B800h
- ☒ MOV SP, SS:[SI+2]

Question 42

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of AX, CX, DX at watch point?

```
MOV AX,0020
```

```
MOV CX,0010
```

```
MUL CL
```

watch point:

AX = 0200 ▼

DX = 020F ▼

CX = 0010 ▼

Question 43

Complete

Marked out of 1.00

Basic functions that a computer can perform including:

Select one or more:

- ☒ Data movement
- ☐ Direct memory access
- ☒ Control
- ☒ Data storage
- ☐ Interrupt
- ☒ Data processing

Question 44

Complete

Marked out of 1.00

Select correct match for register values at watch points:

MOV AX, 4FCA

ADD AX, DDA9

watch point #1:

ADD AH, F3

watch point #2:

.....

watch point #1: AH = 20 ▼

watch point #2: AL = 73 ▼

Question 45

Complete

Marked out of 1.20

Hereafter is instruction sequence to compute the sum of 8 bytes starting at memory address 200. Two lines of code are possibly missing. Choose correct one to fill in?

01: _____; possibly missing code

02: MOV AL, 0

03: MOV CX, 8

04: Loop_label:

05: _____; possibly missing code

06: ADD AX, [SI];

07: INC SI

08: LOOP Loop_label

01: MOV SI, 200 ▼

05: CWD ▼

ABOUT US

The HCMC University of Technology and Education will become a top center of training, research, creativity, innovation and entrepreneurship in Vietnam, on a par with regional and worldwide prestigious universities.

[Read More »](#)



TRƯỜNG ĐẠI HỌC
SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH
HCMC University of Technology and Education

THE EXAM PERFORMANCE PROGRAM INFORMATION TECHNOLOGY CENTER

☎ Call Us: (+84 - 8) 38968641 - (+84 - 8) 38961333 ✉ Email: ic@hcmute.edu.vn

Dashboard ► Học kỳ 2 năm 2016 - 2017 ► Lớp Chất lượng cao ► CAAL240180_16_2_8506 ► General ►
Kiểm tra cuối kỳ đề 2

Started on Monday, 5 June 2017, 1:11 PM

State Finished

Completed on Monday, 5 June 2017, 2:20 PM

Time taken 1 hour 9 mins

Question 1

Complete

Marked out of 1.20

Convert the 32-bit floating point number 44363C00 (in hex) to decimal.

Answer:

Question 2

Complete

Marked out of 0.50

The instruction that subtracts 1 from the contents of the specified register/memory location is

Select one:

- ☒ SUB
- ☐ DEC
- ☐ SBB
- ☐ INC

18/5/2018
Question 3

Complete

Marked out of 1.00

Kiểm tra cuối kỳ đề 2

Memory dump at 1D20:0200 as below:

1D20:0200 00 20 10 5D 55 47 00 90 - 00 10 20 30 40 50 60 70

Given value of registers:

DS = 1D20, ES = 1D20,

DI = 20A, SI = 208,

BX = 202, AX = 0103, CX = 0003

and flag bit DF = 1

What is the correct value of AX, SI, DI registers after the instruction REP LODSW is executed?

DI = 0202h ▼

AX = 5040h ▼

SI = 5547h ▼

Question 4

Complete

Marked out of 0.50

Which are correct action for SCASW string operation if DF is reset (=0)

Select one or more:

- ☐ compare value in AL register with memory location pointed by DS:[SI]
- ☐ decrease DI by 2
- ☐ increase DI by 2
- ☒ compare value in AL register with memory location pointed by ES:[DI]

Question 5

Complete

Marked out of 1.50

Which are correct about the Pointer registers of IA-32 processors:

Select one or more:

- ☒ Base Pointer (BP): The 16 bit pointer refers to stack memory
- ☐ Stack Pointer (SP): the 16 bit pointer to the top of stack
- ☒ Instruction Pointer (IP): the 16 bit register points to the next instruction to be execute
- ☐ Base Pointer (EBP): The 32 bit pointer refers to stack memory
- ☒ Stack Pointer (ESP): the 32 bit pointer to the top of stack
- ☐ Instruction Pointer (EIP): the 32 bit register points to the next instruction to be execute

Question 6

Complete

Marked out of 1.00

What are components of Von Neumann, namely IAS computer?

Select one or more:

- ☐ Punched card reader
- ☒ Bus
- ☐ Monitor
- ☒ Memory
- ☐ I/O Equipments
- ☒ CPU

Question 7

Complete

Marked out of 1.00

Which statements are correct for HDDs?

Select one or more:

- ☐ Head, Track, Cylinder are key parameters for access data on hard disk
- ☒ Head, Track, Sector are key parameters for access data on hard disk
- ☐ Bits are store randomly on disk surfaces
- ☒ Bits are stored on tracks

Question 8

Complete

Marked out of 0.50

The instruction that loads effective address is

Select one:

- ☐ LAHF
- ☐ LDS
- ☒ LEA
- ☐ LES

Question 9

Not answered

Marked out of 1.00

Enter debug command to fill 250 bytes in the memory segment FED5 in computer memory starting from 100 with value AD

Answer:

Question 10

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of EAX, EBX, EDX at watch point?

```
MOV EAX,00002000
```

```
MOV EBX,00100000
```

```
MUL EBX
```

watch point:

EAX = 00000002 ▼

EDX = 00000000 ▼

EBX = 00021000 ▼

Question 11

Not answered

Marked out of 1.20

Convert 39887.5625 to IEEE 32-bit floating point format (1 sign+ 8 exponent + 23 mantissa) in hex

Answer:

Question 12

Complete

Marked out of 0.50

The instruction, MOV AX, 1234h is an example of

Select one:

- ☒ Immediate addressing mode
- ☐ based index addressing mode
- ☐ direct addressing mode
- ☐ register addressing mode

Question 13

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

`MOV AL, 78``MOV BL, 2``MUL BL`

watch point:

Carry flag (CF) =

reset ▼

Overflow flag (OF) =

reset ▼

Question 14

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

`MOV AL,-5``ADD AL,132``ADD AL,1`

watch point:

Zero flag (OF) =

set ▼

Overflow flag (OF) =

reset ▼

Sign flag (SF)

reset ▼

Carry flag (CF) =

reset ▼

Question 15

Complete

Marked out of 1.00

In computer, how does the processor serve multiple interrupt request from devices?

Select one:

- ☐ Device with higher priority will use interrupt enable flag
- ☒ Each device are assigned an interrupt priority, the device with higher priority will be served.
- ☐ The processor can not process multiple interrupt requests
- ☐ Each device are assigned an interrupt priority, the device with lower priority will be served.

Question 16

Complete

Marked out of 0.50

the instruction, JMP C008:2000h is an example of

Select one or more:

- ☐ intersegment jump
- ☐ far jump
- ☐ near jump
- ☒ intrasegment mode

Question 17

Complete

Marked out of 0.50

In multiplication instruction, the result is taken from AX means the source operand is _____ bit

Select one:

- ☒ 8
- ☐ 16
- ☐ None of the choices are correct
- ☐ 4

Question 18

Complete

Marked out of 1.00

Memory dump at 1D20:0200 shown as below:

1D20:0200 00 20 10 5D 55 47 00 90 - 00 10 20 30 40 50 60 70

Given value of registers:

DS = 1D20, ES = 1D20, DI = 20A

The following sequence of instructions is being executed:

```
MOV SI,208h
MOV AX,0040h
MOV CX,000Ah
CLD
REP NZ SCASB
```

watch point:

.....

What is the correct value of AX, SI, DI registers at watch point?

SI = 020Ch ▼

DI = 4030h ▼

AX = 020Bh ▼

Question 19

Complete

Marked out of 1.00

What is the correct value of SI, AL (in hex) at watch point:

```
01:      MOV SI, 300h
02:      MOV AL, 10h
03:      MOV CX, 7
04: Loop_label:
05:      MOV [SI], AL
06:      ADD AL, 10h
07:      INC SI
08:      LOOP Loop_label
```

watch point:

SI 308h ▼

AL = 70h ▼

Question 20

Not answered

Marked out of 1.00

Physical address of a memory location is 5FE2E. This memory address located by DI register which now has value of 993E. Compute the memory address of data segment register

Answer:

Question 21

Complete

Marked out of 1.00

Basic functions that a computer can perform including:

Select one or more:

- ☒ Direct memory access
- ☐ Data movement
- ☒ Data processing
- ☒ Control
- ☐ Interrupt
- ☒ Data storage

Question 22

Complete

Marked out of 1.20

Given a code snippet:

```
int ax, bx;  
...  
if (ax >= bx)  
    ax -=bx;  
else  
    bx -=ax;
```

What is the equivalent logic sequence of instructions in Assembly

Select one:

- ☒

```
cmp ax,bx  
jbe a_label  
sub ax,bx  
jmp x_label  
a_label:  
sub bx,ax  
x_label:
```
- ☐

```
cmp ax,bx  
jl a_label  
sub ax,bx  
jmp x_label  
a_label:  
sub bx,ax  
x_label:
```
- ☐

```
cmp ax,bx  
jge a_label  
sub ax,bx  
jmp x_label  
a_label:  
sub bx,ax  
x_label:
```
- ☐

```
cmp ax,bx  
ja a_label  
sub ax,bx  
jmp x_label  
a_label:  
sub bx,ax  
x_label:
```

Question 23

Complete

Marked out of 1.20

Given an assembly code copying the memory buffer Buff1 to Buff2:

```
PUSH DS
POP  ES
LEA  SI, Buff1
LEA  DI, Buff2
MOV  CX, 20
;--- Start of block
cp_loop:
    MOV AL, Byte Ptr [SI]
    MOV Byte Ptr ES:[DI], AL
    INC SI
    INC DI
    LOOP cp_loop
; ---End of block
```

Choose equivalent string operations in place of block code from ---Start of block to ---End of block

Select one or more:

- ☐ CLD
cp_loop:
 MOVSB
 LOOP cp_loop
- ☒ CLD
cp_loop:
 REP MOVSB
 LOOP cp_loop
- ☐ CLD
 REP MOVSB
- ☐ STD
cp_loop:
 MOVSB
 LOOP cp_loop

Question 24

Complete

Marked out of 0.50

After each execution of POP instruction, the stack pointer is

Select one:

- ☒ increment by 1
- ☐ increment by 2
- ☐ decrement by 2
- ☐ decrement by 1

Question 25

Complete

Marked out of 1.00

Given a row of memory image in debug

0AE8:0120 13 96 D0 E0 D0 E0 A2 1E - 99 80 3E 20 99 00 75 24

Initially, AX=BX=CX=DX=0, SI=128

What are value of AX,DX after execution of the following instructions?

MOV EDX, [SI]

MOV EAX, [SI+4]

EDX = 99007524 ▼

EAX = 203E8099 ▼

Question 26

Not answered

Marked out of 1.00

Part of memory shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

What is the value of AH follow the execution of this code:

MOV BX, 1D4D

MOV AX, [BX]

Answer:

Question 27

Complete

Marked out of 1.00

Which are valid based indexed addressing?

Select one or more:

☐ [SP][SI]☒ [BX][SI]☐ [BP][SI]☐ [DX][DI]

Question 28

Complete

Marked out of 1.20

Consider the following assembly instruction sequence

```
XOR BX, BX
CMP DL, 5
JLE a_label
CMP DL, 17h
JGE a_label
MOV BX, 10h
```

a_label:

```
INC BX
```

watch point:

...

Choose correct value of BX register at watch point for different value of DL?

DL=0FFh 11h ▼

DL=10 01h ▼

DL=17h 01h ▼

DL=0Ah 28h ▼

Question 29

Not answered

Marked out of 1.00

Part of computer memory are shown in figure.

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

What is the value of AX register after instruction **MOV AX, 1D49** executed

Answer:

F57F

Question 30

Complete

Marked out of 0.50

To set one or more bits in a byte value, use _____ instruction.

Select one:

- ☐ NOT
- ☐ XOR
- ☐ AND
- ☒ OR

Question 31

Complete

Marked out of 1.00

Choose correct features for SRAM and DRAM

DRAM Slow access time, cheaper cost per bit, can only manufacture at larger size

SRAM Faster access time, cost more per bit, smaller size

Question 32

Complete

Marked out of 1.00

Major structural components of the CPU include:

Select one or more:

- ☒ Arithmetic and Logic Unit
- ☐ Instruction Register
- ☒ Interconnections
- ☒ Control Unit
- ☒ Instruction Pointer (PC)
- ☐ Registers

Question 33

Complete

Marked out of 1.00

Select correct match for AL and carry flag at watch point #1:

MOV BL, 8C

MOV AL, 7E

ADD AL, BL

watch point #1:

.....

AL set ▼

Carry flag 0A ▼

Question 34

Complete

Marked out of 1.20

Given a code snippet:

if (a>=0 && a <=9)

x = a + 30h;

else if (a >=10 && a <=15)

x = a + 55;

The logic of the above code snippet in assembly is (with missing lines):

01: CMP DL, 0

02: ----- ; possibly missing code

03: CMP DL, 9

04: ----- ; possibly missing code

05: ADD DL, 30h

06: ----- ; possibly missing code

a_label:

08: CMP DL, 0Fh

09: ----- ; possibly missing code

10: ADD DL, 55

x_label:

12: MOV AL, DL

...

Choose correct missing instructions in the above sequence of instructions

02: ▼06: ▼04: ▼09: ▼

Question 35

Complete

Marked out of 1.50

Given a row of memory image in debug

072C:FFF0 00 00 00 01 00 00 2C 07 - 07 01 2C 07 17 72 00 00

SS=072C, SP=FFF8, DS = 072C

Assume the stack now stores two (2) 16-bit parameters and one (1) 16-bit return address in following order: stack top (return address) >> parameter #1 >> parameter #2.

The following sequence of instructions are executed. What is the correct values at watch points?

MOV BP, SP

watch point #1 (BP):

MOV AX, [BP+2]

watch point #2 (AX):

ADD AX, [BP+4]

watch point #3 (AX):

MOV DI, 120

MOV [DI], AX

watch point #1: AX = 2C07 ▼

watch point #2: BP = FFF8 ▼

watch point #3: SUB AX, [SI] ▼

Question 36

Complete

Marked out of 1.20

Given a code snippet to look for a value (from AL) in memory buffer Buff

Buff DB 11,22,33,44,55

.....

01: LEA DI, Buff

02: ----- ; possibly missing code

03: MOV AL,33

04: MOV CX,5

a_label:

05: ----- ; possibly missing code

06: CMP Byte Ptr [DI],AL

07: ----- ; possibly missing code

08: LOOPNZ a_label

...

Choose correct missing instructions in the above sequence of instructions

05: INC DI ▼

07: DEC DI ▼

02: Empty ▼

Question 37

Complete

Marked out of 0.50

In multiplication instruction, when the value of source operand is 12 (decimal), the other operand is loaded in AX. Which registers can be used to load source operand?

Select one or more:

☒ DX

☐ BX

☐ CL

☐ AX

☐ DL

Question 38

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of AX and DX (in hex) at watch point?

```
MOV AX,FFF6h
```

```
MOV CX,1000h
```

```
IMUL CX
```

watch point:

AX= FFF6 ▼

DX= 6000 ▼

Question 39

Complete

Marked out of 0.50

the instruction, CMP to compare source and destination operands by _____

Select one:

- ☒ comparing
- ☐ subtracting
- ☐ dividing
- ☐ adding

Question 40

Complete

Marked out of 0.50

To test one bit in a byte value which can be destructive. use _____ instruction.

Select one:

- ☒ TEST
- ☐ AND
- ☐ OR
- ☐ NOT

Question 41

Complete

Marked out of 0.50

Which are correct input for XLAT instruction

Select one or more:

- ☒ DS:[BX] pointed to look-up table
- ☐ DS:[SI] pointed to look-up table
- ☐ look-up index must be loaded into DL
- ☐ look-up index must be loaded into AL

Question 42

Complete

Marked out of 0.50

Which are correct action for LODSW string operation if DF is reset (=0)

Select one or more:

- ☒ increase SI by 2
- ☐ Load 16-bit value at memory location pointed by DS:[SI] into AX
- ☒ Load 16-bit value at memory location pointed by ES:[DI] into AX
- ☐ decrease DI by 2

Question 43

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV DL,19

MOV AL,F6

IMUL DL

watch point:

OF = reset ▼

CF = reset ▼

Question 44

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of AX, DX at watch point?

MOV DL,FF

MOV AL,42

IMUL DL

watch point:

AX = FF00 ▼

DX = FFBE ▼

Question 45

Not answered

Marked out of 1.20

Write mask byte (in hex) to clear the lower 4 bit of a byte value with AND instruction.

Answer:



TRƯỜNG ĐẠI HỌC
SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH
HCMC University of Technology and Education

THE EXAM PERFORMANCE PROGRAM INFORMATION TECHNOLOGY CENTER

☎ Call Us: (+84 - 8) 38968641 - (+84 - 8) 38961333 ✉ Email: ic@hcmute.edu.vn

Dashboard ► Học kỳ 2 năm 2016 - 2017 ► Lớp Chất lượng cao ► CAAL240180_16_2_8506 ► General ►
Kiểm tra cuối kỳ đề 1

Started on Monday, 5 June 2017, 1:11 PM

State Finished

Completed on Monday, 5 June 2017, 2:20 PM

Time taken 1 hour 9 mins

Question 1

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV DL,FF

MOV AL,F6

IMUL DL

watch point:

OF =

CF =

Question 2

Complete

Marked out of 0.50

In multiplication instruction, when the source operand is 16 bit, how can the result be taken?

Select one:

- ☐ from DX:AX pair
- ☐ from EAX
- ☐ from AX:DX pair
- ☒ from AX

Question 3

Not answered

Marked out of 1.20

Consider the following assembly instruction sequence

```
CMP DL, 0
JB  x_label
CMP DL, 9
JA  a_label
ADD DL, 30h
JMP x_label
```

a_label:

```
CMP DL, 0Fh
JA  x_label
ADD DL, 37h
```

x_label:

```
MOV AL, DL
```

watch point:

...

Choose correct value of AL register at watch point for different value of DL?

DL=10

Choose... ▼

DL=8

Choose... ▼

DL=55h

Choose... ▼

DL=0FFh

Choose... ▼

Question 4

Complete

Marked out of 1.20

Hereafter is instruction sequence to compute the sum of 8 bytes starting at memory address 200. Two lines of code are possibly missing. Choose correct one to fill in?

```
01: _____; possibly missing code
02:     MOV AL, 0
03:     MOV CX, 8
04: Loop_label:
05:     _____; possibly missing code
06:     ADD AX, [SI];
07:     INC SI
08:     LOOP Loop_label
```

01: MOV [SI],200 ▼

05: CWD ▼

Question 5

Complete

Marked out of 0.50

In multiplication instruction, when the source operand is 8 bit, _____ will be multiplied with source.

Select one:

- ☐ AX
- ☐ BX
- ☒ AL
- ☐ Whatever general purpose register

Question 6

Complete

Marked out of 1.00

Which are valid based index addressing?

Select one or more:

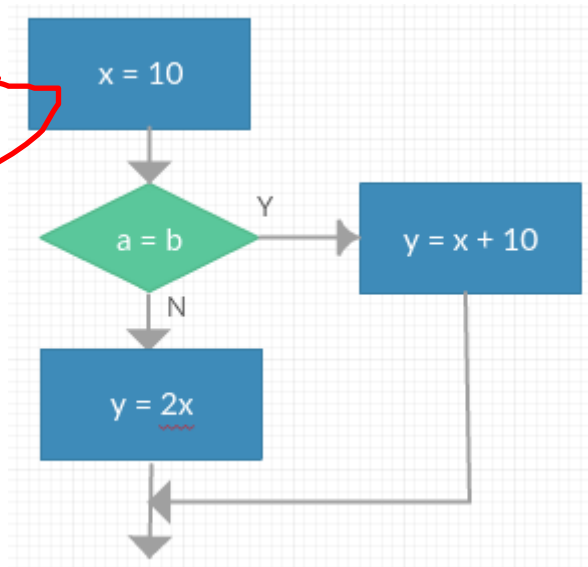
- ☒ [BX+DI]
- ☒ [DX+SI]
- ☐ [SP+DI]
- ☒ [BX+SI]

Question 7

Not answered

Marked out of 1.20

Given a flowchart of an algorithm:



Select the correct instruction sequence:

Select one or more:

- ☐

```
mov dl,10
cmp al,bl
jnz n_label
add dl,10
jmp e_label
n_label:
mov cl,1
shl dl,cl
e_label:
mov dh,dl
```
- ☐

```
mov dl,10
cmp al,bl
jz n_label
mov cl,1
shl dl,cl
jmp e_label
n_label:
add dl,10
e_label:
mov dh,dl
```
- ☐

```
mov dl,10
cmp al,bl
jnz n_label
add dl,10
jmp e_label
n_label:
mov cl,1
shr dl,cl
e_label:
mov dh,dl
```

```

☐ mov dl,10
    cmp al,bl
    jnz n_label
    add dl,10
    mov dh,dl
    jmp e_label
n_label:
    mov cl,1
    shl dl,cl
e_label:
    mov dh,dl

```

Question 8

Complete

Marked out of 1.00

Part of computer memory is shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

What is the value of AX register after instruction **MOV AX, [1D4B]** executed

Answer:

Question 9

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of AX, CX, DX at watch point?

MOV AX,0020

MOV CX,0010

MUL CL

watch point:

AX = ▼

DX ▼

CX = ▼

Question 10

Complete

Marked out of 1.00

Which set of registers are valid for addressing a stack memory location?

Select one or more:

- ☐ DS:SI
- ☒ SS:SP
- ☒ SS:BP
- ☐ SS:BX

Question 11

Complete

Marked out of 1.00

In computer, how does the processor serve multiple interrupt request from devices?

Select one:

- ☐ Each device are assigned an interrupt priority, the device with lower priority will be served.
- ☐ Device with higher priority will use interrupt enable flag
- ☒ Each device are assigned an interrupt priority, the device with higher priority will be served.
- ☐ The processor can not process multiple interrupt requests

Question 12

Complete

Marked out of 1.00

Given a row of memory image in debug

0AE8:0120 13 96 D0 E0 D0 E0 A2 1E - 99 80 3E 20 99 00 75 24

Initially, AX=BX=CX=DX=0, SI=128

What are value of AX,DX after execution of the following instructions?

MOV EDX, [SI]

MOV EAX, [SI+4]

AX = ▼

DX = ▼

Question 13

Complete

Marked out of 1.00

Basic functions that a computer can perform including:

Select one or more:

- ☒ Data movement
- ☒ Control
- ☐ Interrupt
- ☒ Data processing
- ☒ Data storage
- ☐ Direct memory access

Question 14

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV AX,FFFF

MOV CX,5

MUL CX

watch point:

Overflow flag (OF) = ▼

Carry flag (CF) = ▼

Question 15

Not answered

Marked out of 1.20

Given a code snippet:

```
int n = 10;
do {
    n--;
} while (n > 0);
```

Which ones are the equivalent logic sequence of instructions in Assembly

Select one or more:

- ☐ `mov cx, 10`
`a_label:`
`dec cx`
`cmp cx, 0`
`jz e_label`
`jmp a_label`
`e_label:`
- ☐ `mov cx, 10`
`a_label:`
`.....`
`loop a_label`
- ☐ `mov cx, 10`
`a_label:`
`.....`
`dec cx`
`cmp cx, 0`
`jz a_label`
- ☐ `mov cx, 10`
`a_label:`
`.....`
`dec cx`
`loop a_label`

Question 16

Not answered

Marked out of 1.20

Write mask byte (in hex) to clear bit 2nd, 3rd, 5th of a byte value with AND instruction (LSB is 1st bit).

Answer:

Question 17

Complete

Marked out of 1.00

the memory stack area of a program shown in figure

Address	1D50	1D51	1D52	1D53
Value	AF	90	71	DA

The value of SP register is 1D50. What is the value of SP follows the execution of **PUSH SI**

Answer: 90

Question 18

Complete

Marked out of 0.50

To clear one or more bits in a byte value, use _____ instruction.

Select one:

- ☒ AND
- ☐ XOR
- ☐ OR
- ☐ NOT

Question 19

Complete

Marked out of 0.50

The instruction, MOV AX, 0005h belongs to which addressing mode?

Select one:

- ☐ register
- ☐ direct
- ☐ index
- ☒ Immediate

Question 20

Complete

Marked out of 1.00

Which are correct about the data registers of IA-32 processors:

Select one or more:

- ☐ Lower halves of the 16-registers can be used as 8-bit data registers:
AH,AL,BH,BL,CH,CL,DH,DL
- ☐ Lower halves of the 32-registers can be used as 4 16-bit data registers: AX,BX,CX,DX
- ☐ Higher halves of the 32-bit registers can be used as 16-bit registers:
EAX,EAL,EBH,EBL,ECH,ECL,EDH,EDL
- ☒ complete 32-bit registers: EAX, EBX, ECX, EDX

Question 21

Not answered

Marked out of 1.00

What are components of Von Neumann, namely IAS computer?

Select one or more:

- ☐ Monitor
- ☐ Memory
- ☐ I/O Equipments
- ☐ Punched card reader
- ☐ Bus
- ☐ CPU

Question 22

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV AL,-5

SUB AL,124

watch point:

Overflow flag (OF) =

Carry flag (CF) =

Zero flag (OF) =

Sign flag (SF)

Question 23

Complete

Marked out of 1.00

Enter debug command to fill 256 bytes in data segment starting from 100 with value 0D

Answer:

Question 24

Not answered

Marked out of 0.50

Which are correct action for STOSB string operation if DF is reset (=0)

Select one or more:

- ☐ decrease DI by 1
- ☐ Store 8-bit value from AL into memory location pointed by ES:[DI]
- ☐ increase DI by 1
- ☐ Store 8-bit value from AL into memory location pointed by DS:[SI]

Question 25

Complete

Marked out of 1.00

For better speed, in CPU design, engineers make use of the following techniques:

Select one or more:

- ☒ Pipelining
- ☒ Branch prediction
- ☐ Faster CPU internal bus
- ☒ Speculative execution

Question 26

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of CF and OF at watch point?

MOV AX,FFF6h

MOV CX,1000h

IMUL CX

watch point:

CF=

OF=

Question 27

Complete

Marked out of 0.50

Which are correct action for SCASW string operation if DF is set (=1)

Select one or more:

- ☐ decrease DI by 2
- ☒ compare value in AL register with memory location pointed by ES:[DI]
- ☐ compare value in AL register with memory location pointed by DS:[SI]
- ☒ increase DI by 2

Question 28

Complete

Marked out of 1.00

Given a row of memory image in debug

0AE8:0120 13 96 D0 E0 D0 E0 A2 1E - 99 80 3E 20 99 00 75 24

SI = 120, DI = 128

Select correct sequence of instructions to subtract words at [DI] from [SI] then store the result at memory location 12A

Step 1: MOV AX, [SI] ▼

Step 2: SUB AX, [DI] ▼

Step 3: MOV BX, 012A ▼

Step 4: MOV [BX], AX ▼

Question 29

Complete

Marked out of 1.00

Select correct match for register values at watch points:

MOV AX, 4FCA

ADD AX, DDA9

watch point #1:

ADD AH, F3

watch point #2:

.....

watch point #2: AL = 73 ▼

watch point #1: AH = 30 ▼

Question 30

Complete

Marked out of 1.00

Compute the physical address of the next instruction will be execute if instruction pointer is 091D and code segment located at 1FAF

Answer: 2040D

Question 31

Complete

Marked out of 1.00

Choose correct features for SRAM and DRAM

DRAM Slower access time, cheaper cost per bit, can manufacture with larger size

SRAM Faster access time, cost more per bit, smaller size

Question 32

Complete

Marked out of 1.20

Convert the 32-bit floating point number 44363800 (in hex) to decimal.

Answer: 1144403968

Question 33

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV AL, 80

MOV BL, 2

MUL BL

watch point:

Overflow flag (OF) = reset ▼

Carry flag (CF) = reset ▼

Question 34

Complete

Marked out of 0.50

Which could be correct ones for the destination operand in a data movement instruction?

Select one or more:

- ☐ memory location
- ☒ all choices are correct
- ☐ immediate data
- ☐ register

Question 35

Complete

Marked out of 1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

```
MOV AL, 0F
```

```
ADD AL, F1
```

watch point:

Carry flag (CF) =

Zero flag (OF) =

Question 36

Complete

Marked out of 1.00

Memory dump at 1D20:0200 as below:

1D20:0200 00 20 10 5D 55 47 00 90 - 00 10 20 30 40 50 60 70

Given value of registers: DS = 1D20, SI = 200, BX = 202, AX = 0103

Identify correct value of AX register after XLAT instruction is executed.

AL =

AH =

Question 37

Not answered

Marked out of 1.20

Given a code snippet (ax, bx are none negative integers):

```
if (ax >= bx)
```

```
    ax -=bx;
```

```
else
```

```
    bx -=ax;
```

What is the equivalent logic sequence of instructions in Assembly

Select one:

- ☐

```
cmp ax,bx
jnbe a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```
- ☐

```
cmp ax,bx
jb a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```
- ☐

```
cmp ax,bx
jbe a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```
- ☐

```
cmp ax,bx
ja a_label
sub ax,bx
jmp x_label
a_label:
sub bx,ax
x_label:
```

Question 38

Complete

Marked out of 0.50

Which of the following instructions are not valid?

Select one or more:

- ☐ MOV AX, SI
- ☒ MOV AX, [BP+2]
- ☐ MOV SP, SS:[SI+2]
- ☒ MOV DS, B800h

Question 39

Complete

Marked out of 0.50

if the location to which the control is to be transferred lies in a segment other than the current one, then the jump instruction is call

Select one:

- ☒ intrasegment direct mode
- ☐ intersegment mode
- ☐ intrasegment mode
- ☐ intrasegment indirect mode

Question 40

Complete

Marked out of 0.50

The instruction that supports addition when carry exists is

Select one:

- ☐ ADD
- ☒ ADC
- ☐ DAS
- ☐ SBB

Question 41

Not answered

Marked out of 1.20

Convert 0.1015625 to IEEE 32-bit floating point format (1 sign+ 8 exponent + 23 mantissa)

Answer:

Question 42

Complete

Marked out of 0.50

The instruction that is used for finding out the codes in case of code conversion problems is

Select one:

- ☐ JCXZ
- ☐ XCHG
- ☒ XLAT
- ☐ XOR

Question 43

Complete

Marked out of 1.00

Which statements are correct for HDDs?

Select one or more:

- ☐ Head, Track, Cylinder are key parameters for access data on hard disk
- ☒ Head, Track, Sector are key parameters for access data on hard disk
- ☒ Bits are stored on tracks
- ☐ Bits are store randomly on disk surfaces

Question 44

Complete

Marked out of 0.50

Which are correct action for LODSB string operation if DF is reset (=0)

Select one or more:

- ☐ increase SI by 1
- ☒ Load 8-bit value at memory location pointed by ES:[DI] into AL
- ☒ decrease DI by 1
- ☐ Load 8-bit value at memory location pointed by DS:[SI] into AL

Question 45

Complete

Marked out of 0.50

To test one bit in a byte value without destructing the byte, use _____ instruction.

Select one:

- ☐ AND
- ☒ TEST
- ☐ NOT
- ☐ OR

Nhóm 06-07-08CLC - Kiến trúc máy tính và hợp ngữ

Started on Tuesday, 14 March 2017, 10:46 AM

State Finished

Completed on Tuesday, 14 March 2017, 11:25 AM

Time taken 38 mins 36 secs

Question 1

Complete

Marked out of 1.20

What is the correct sequence of instruction cycle?

Step 5 Calculate operand address ▼

Step 2 Decode ▼

Step 4 Execution ▼

Step 3 Fetch operand ▼

Step 1 Fetch opcode ▼

Step 6 Store result ▼

Your answer is partially correct.
You have correctly selected 3.

Question 2

Complete

Marked out of 1.00

Which one best describe cache hit and cache miss?

Cache miss ratio the number of memory accesses that CPU must retrieve from the main memory per the total number of memory accesses ▼

Cache hit ratio the number of memory accesses that the CPU can retrieve from the cache per the total number of memory accesses ▼

Your answer is correct.

Question 3

Complete

Marked out of 1.00

For cache write policies, which are often used for write-hit and write-miss

Write-hit Write-back ▼

Write-miss Write-allocate ▼

Your answer is correct.

Question 4

Complete

Marked out of 1.00

Choose correct features for SRAM and DRAM

DRAM Slower access time, cheaper cost per bit, can manufacture with larger size ▼

SRAM Faster access time, cost more per bit, smaller size ▼

Your answer is correct.

Question 5

Complete

Marked out of
1.00

Identify the correct sequence to update a page onto a flash memory?

Step 3 the entire block is being read from flash into RAM then request data in page is update ▼

Step 1 the entire block of flash memory are erased ▼

Step 2 The entire block from RAM then is written back to the flash memory ▼

Your answer is incorrect.

Question 6

Complete

Marked out of
1.00

Choose correct set of registers for x86 processor

Data pointer to source memory in extra segment ES: SI ▼

Pointer to variable in stack SS: BP ▼

Instruction pointer CS: IP ▼

Data pointer in data segment DS: BX ▼

Your answer is correct.

Question 7

Complete

Marked out of
1.00

Match the definition of flag bits in PSW

contains the carry of 0 or 1 from the leftmost bit after an arithmetic operation CF ▼

determine the direction for moving or comparing data between memory areas DF ▼

determine whether an external interrupts are to be ignored or processed IF ▼

the processor switches to single-step mode TF ▼

Your answer is correct.

Question 8

Complete

Marked out of
1.00

What are components of Von Neumann, namely IAS computer?

Select one or more:

- ☐ Monitor
- ☒ Memory
- ☐ Punched card reader
- ☒ CPU
- ☒ Bus
- ☒ I/O Equipments

Your answer is correct.

Question 9

Complete

Marked out of
1.00

Which is not correct about MOORE law?

Select one or more:

- ☐ The number of transistors that could be put on a single chip was doubling every year
- ☒ The number of transistors that could be put on a single chip was triple every year nowadays.
- ☒ Likely triple after 2000
- ☐ The number of transistors that could be put on a single chip was doubling every year except 1970s

Your answer is correct.

Question 10

Complete

Marked out of
1.00

For better speed, in CPU design, engineers make use of the following techniques:

Select one or more:

- ☒ Branch prediction
- ☒ Pipelining
- ☒ Speculative execution
- ☐ Faster CPU internal bus

Your answer is correct.

Question 11

Complete

Marked out of
1.00

To balance the super speed of CPU with the slow response of memory, which of the following measures have been made by engineers in system design?

Select one or more:

- ☐ To move data directly by DMA
- ☒ Make wider data bus path
- ☒ Make use of both on-chip and off-chip cache memory
- ☒ Using higher-speed bus and bus hierarchy

Your answer is correct.

Question 12

Complete

Marked out of
1.00

What is the meaning of Amdahl's law in processor performance evaluation?

Select one:

- ☐ the cost reduce when moving from single-core to multicore processor
- ☒ the potential speedup of a program using multiple processor compared to a single processor
- ☐ the speedup of a multicore processor when increasing system bus speed
- ☐ the maximum speedup of a multicore processor

Your answer is correct.

Question 13

Complete

Marked out of
1.00

What are the processor's instruction categories

Select one or more:

- ☒ Data processing
- ☒ Control
- ☐ Processor - Cache memory
- ☒ Processor - I/O
- ☒ Processor - Memory
- ☐ Memory - Memory (DMA)

Your answer is correct.

Question 14

Complete

Marked out of
1.00

In computer, how does the processor serve multiple interrupt request from devices?

Select one:

- ☐ The processor can not process multiple interrupt requests
- ☒ Each device are assigned an interrupt priority, the device with higher priority will be served.
- ☐ Device with higher priority will use interrupt enable flag
- ☐ Each device are assigned an interrupt priority, the device with lower priority will be served.

Your answer is incorrect.

Question 15

Complete

Marked out of
1.00

Bus is a shared transmission medium, multiple devices connect to it but only one at a time can successfully transmit. Which component in computer facilitates this operation?

Select one:

- ☒ Bus Arbiter
- ☐ Programmed I/O
- ☐ Direct Memory Access (DMA)
- ☐ Bus master

Your answer is correct.

Question 16

Complete

Marked out of
1.00

When many devices of different transmission speed connect to the same bus, the overall system performance suffers. How did the design engineers resolved this:

Select one:

- ☐ PCI Express bus
- ☐ PCI bus
- ☐ Split system bus into local bus and memory bus
- ☒ Multiple-Bus hierarchies

Your answer is correct.

Question 17

Complete

Marked out of
1.00

What are the features of direct-mapping cache organization?

Select one or more:

- ☒ Thrash --> low hit ratio
- ☐ faster
- ☒ Simple and inexpensive
- ☐ small cache memory

Your answer is correct.

Question 18

Complete

Marked out of
1.00

Which ones are not correct for static RAM?

Select one or more:

- ☐ Cost per bit is higher than dynamic RAM
- ☐ faster than dynamic RAM because they are made from capacitor
- ☒ Cheaper than dynamic RAM because simpler chip controller
- ☒ Cost per bit is lower than dynamic RAM

Your answer is partially correct.

You have correctly selected 2.

Question 19

Complete

Marked out of
1.00

Which one is not correct?

Select one or more:

- ☒ EEPROM is erasable by exposing under UV
- ☐ PROM is non-volatile memory
- ☒ EPROM is erasable electrically
- ☒ Flash memory can only be erased electrically byte by byte

Your answer is correct.

Question 20

Complete

Marked out of
1.00

Which statements are correct for HDDs?

Select one or more:

- ☒ a. Bits are stored on tracks
- ☒ b. Head, Track, Sector are key parameters for access data on hard disk
- ☐ c. Bits are store randomly on disk surfaces
- ☐ d. Head, Track, Cylinder are key parameters for access data on hard disk

Your answer is correct.

Question 21

Complete

Marked out of
1.00

What is correct about the function of TRIM command in SSD?

Select one:

- ☐ Allow SSD to allocate memory pages in blocks properly for faster access
- ☐ Allow SSD to defragment scattered data stored in separate pages
- ☒ Allow OS to notify SSD the presence of occupied blocks of data which are no longer in use and can be erased internally
- ☐ Allow SSD to manage occupied pages and remove them automatically for later use

Your answer is correct.

Question 22

Complete

Marked out of
1.00

Which set of registers are valid for addressing a memory location?

Select one or more:

- ☒ DS:SI
- ☒ DS:BX
- ☐ SS:DI
- ☒ CS:IP

Your answer is correct.

Question 23

Complete

Marked out of
1.00

Which are valid based index addressing?

Select one or more:

- ☒ [BX+SI]
- ☐ [SP+DI]
- ☐ [DX+SI]
- ☒ [BX+DI]

Your answer is correct.

Question 24

Complete

Marked out of
1.00

Which are valid index addressing?

Select one or more:

- ☒ [SI]
- ☐ [DX]
- ☐ [BX]
- ☐ [BP]

Your answer is partially correct.

You have correctly selected 1.

Question 25

Complete

Marked out of
1.00

8088 is 16 bit processor, the maximum addressable memory is:

Select one:

- ☐ 64M
- ☐ 1024K
- ☐ 640K
- ☐ 640M

Your answer is correct.

Question 26

Complete

Marked out of
1.00

Which are correct about the data registers of IA-32 processors:

Select one or more:

- ☒ Lower halves of the 16-registers can be used as 8-bit data registers: AH,AL,BH,BL,CH,CL,DH,DL
- ☒ complete 32-bit registers: EAX, EBX, ECX, EDX
- ☒ Lower halves of the 32-registers can be used as 4 16-bit data registers: AX,BX,CX,DX
- ☐ Higher halves of the 32-bit registers can be used as 16-bit registers: EAH,EAL,EBH,EBL,ECH,ECL,EDH,EDL

Your answer is correct.

Question 27

Complete

Marked out of
1.50

Which are correct about 32 bit index registers of IA-32 processors:

Select one or more:

- ☒ EDI: 32 bit pointer to destination memory in data movement instructions
- ☐ ESH,EDH: 16 bit pointers to higher memory above 1M
- ☒ DI: 16 bit pointer to destination memory in data movement instructions
- ☒ SI: 16 bit pointer to source memory in data movement instructions
- ☒ ESI: 32 bit pointer to source memory in data movement instructions

Your answer is correct.

Question 28

Complete

Marked out of
1.00

Which statement is correct about interrupt vector table?

Select one or more:

- ☐ Store in the ending area of 1024K of the main memory
- ☒ Take up 1024 bytes in the main memory
- ☐ Store on disk
- ☒ Store in the beginning area of the main memory

Your answer is correct.

Question 29

Complete

Marked out of
1.00

Part of memory as shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

The value of DX register follows the execution of MOV DX, [1D4D] is 127B. What is the endian type of this computer system

Select one:

- ☐ little-endian
- ☐ level-endian
- ☒ big-endian
- ☐ non-endian

Your answer is correct.

Question 30

Complete

Marked out of
1.00

Part of memory as shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

The value of BX register follows the execution of MOV BX, [1D49] is F57F. What is the endian type of this computer system

Select one:

- ☐ level-endian
- ☐ big-endian
- ☒ little-endian
- ☐ non-endian

Your answer is correct.

Question 31

Complete

Marked out of
0.50

The value in CS is 1FD0h what is the location of next instruction from 00000h if Instruction pointer is 3CD4h

Answer: 3CD5H

Question 32

Complete

Marked out of
1.00

Select correct items to describe best about CISC

- Number of clocks per instruction multi-clock ▼
- code size of program small code size ▼
- Assembly code simpler ▼
- Instruction set Complex ▼
- Bytes per instruction different for variety of instructions ▼

Your answer is correct.

Question 33

Complete

Marked out of
1.00

What best describe the Spatial and Temporal Locality?

- Temporal locality be exploited by keeping recently used instruction and data in cache memory and by exploiting a cache hierarchy ▼
- Spatial locality be exploited by using larger cache blocks and by incorporating prefetching mechanisms into the cache control logic ▼

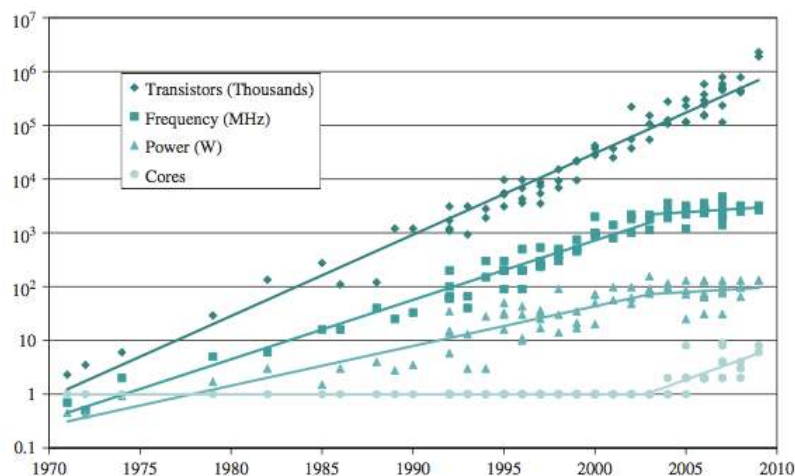
Your answer is correct.

Question 34

Complete

Marked out of
1.00

What can be concluded from the following chart of processor trends:



Select one:

- ☒ The multi-core processors and level off clock speed help to make heat dissipation of CPU chip less
- ☐ The number of transistors in chips produce more heat dissipation
- ☐ Heat dissipation in processor chip is increasing year after year since 1970
- ☐ The processor speed keeps increasing after 2003

Your answer is correct.

Question 35

Complete

Marked out of
1.00

To evaluate processor performance, the following indicators and formulas are used:

$$\text{Cycles per instruction } CPI = \frac{\sum_{i=1}^n (CPI_i \times I_i)}{I_c}$$

$$\text{Time to execute a program } T = I_c \times CPI \times \tau$$

$$\text{Or } T = I_c \times [p + (m \times k)] \times \tau$$

In which:

p: the number of processor cycles needed to decode and execute the instruction

m: the number of memory references needed

k: the ratio between memory cycle time and processor cycle time

 τ : cycle time = $1/f$ Which of the following system attributes affects I_c (the number of instructions of a program)

Select one or more:

- ☐ Cache and memory hierarchy
- ☐ Processor implementation
- ☒ Instruction set architecture
- ☒ Compiler technology

Your answer is correct.

Question 36

Complete

Marked out of
1.00

To evaluate processor performance, the following indicators and formulas are used:

Which of the following system attributes affects cycle time τ

Select one or more:

- ☒ Processor implementation
- ☐ Compiler technology
- ☐ Instruction set architecture
- ☒ Cache and memory hierarchy

Your answer is correct.

Question 37

Complete

Marked out of
1.00

Key parameters to consider when evaluating processor hardware include:

Select one or more:

- ☒ reliability
- ☒ performance
- ☒ power consumption
- ☐ databus size
- ☒ size
- ☐ Address bus size
- ☒ cost

Your answer is correct.

Question 38

Complete

Marked out of
1.00

A memory chip has 12 address pins, determine the maximum memory words of this chip?

Select one:

- ☐ 2048K
- ☐ 2048
- ☐ 4000
- ☒ 4096

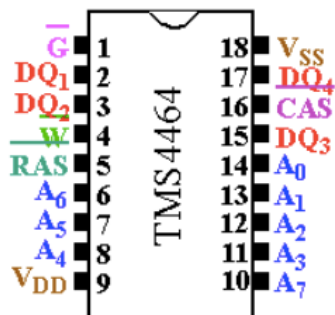
Your answer is correct.

Question 39

Complete

Marked out of
1.00

Which of the following best describe the memory chip with pinout as shown below:



DQ: Data pinout

Select one:

- ☒ DRAM 64Kx4-bit
- ☐ SRAM 256Kx1-bit
- ☐ DRAM 16Kx4-bit
- ☐ SDRAM 64Kx4-bit

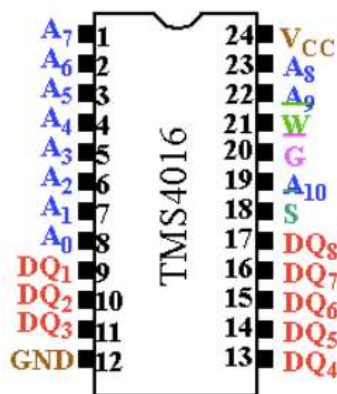
Your answer is correct.

Question 40

Complete

Marked out of
1.00

Choose the correct structure of memory chip as shown below



Note:

DQ: Data pinout

Select one:

- ☐ DRAM 2Kx8-bit
- ☐ SRAM 1Kx16-bit
- ☒ SRAM 2Kx8-bit
- ☐ DRAM 1Kx16-bit

Your answer is correct.

Question 41

Complete

Marked out of
1.00

The three key characteristics of memory are: capacity, access time and cost. Which of the following relationships hold for a variety of memory technologies?

Select one or more:

- ☒ Faster access time, greater cost per bit
- ☐ Higher capacity, higher access time
- ☒ Greater capacity, smaller cost per bit
- ☒ Greater capacity, slower access time

Your answer is correct.

Question 42

Complete

Marked out of
1.00

A SRAM memory chip labeled 32x8bit. Which of the following is correct pinout regarding address and data lines?

Select one:

- ☐ 32 address pins, 3 data pins
- ☐ 32 address pins, 4 data pins
- ☐ 5 address pins, 3 data pins
- ☒ 15 address pins, 8 data pins

Your answer is correct.

Question 43

Complete

Marked out of
1.00

In the interconnection system, the number of address lines are governed by

Select one:

- ☐ I/O Module
- ☒ CPU
- ☐ data bus line
- ☐ Memory size

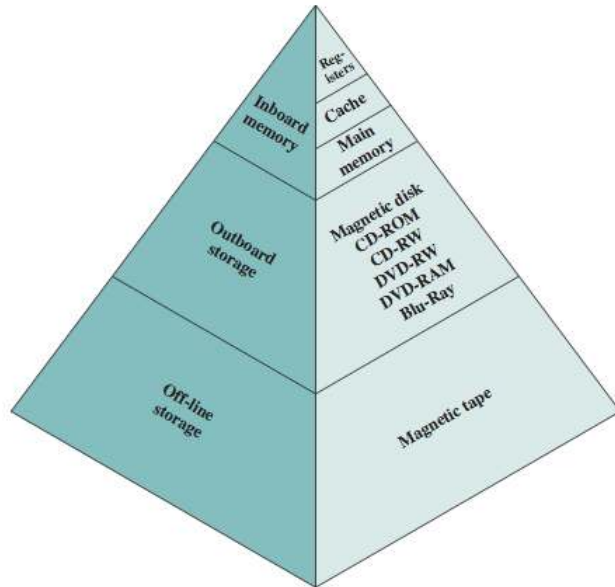
Your answer is correct.

Question 44

Complete

Marked out of
1.00

For memory hierarchy below, which relationship hold when moving downward



Select one or more:

- ☒ Increasing access time
- ☒ Decreasing cost per bit
- ☒ Decreasing frequency of access by the processor
- ☐ the processor accesses more often
- ☒ Increasing capacity

Your answer is correct.

Question 45

Complete

Marked out of
1.50

Identified correct addressing mode of the following instructions?

MOV AX, BX	Register ▼
MOV BP, [BX+SI]	Base relative plus index ▼
MOV AX, ARRAY [BX+SI]	Base plus index ▼
MOV AX, [BX]	Register indirect ▼
MOV AX,[1234h]	Direct ▼
MOV AX, 3540h	Immediate ▼

Your answer is partially correct.

You have correctly selected 4.

Question 46

Complete

Marked out of
1.00

Part of computer memory is shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

What is the value of AX register after instruction **MOV AX, [1D4B]** executed

Answer: 5A2D

Question 47

Complete

Marked out of
1.00

Part of memory shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

What is the value of EAX follow the execution of this code

MOV BX, 1D4C

MOV EAX, [BX]

Answer: **Question 48**

Complete

Marked out of
1.00

the memory stack area of a program shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

The value of SP register is 1D48. What is the value of SI follows the execution of **POP SI**Answer: **Question 49**

Complete

Marked out of
1.00

the memory stack area of a program shown in figure

Address	1D50	1D51	1D52	1D53
Value	AF	90	71	DA

The value of SP register is 1D50. What is the value of SP follows the execution of **PUSH SI**Answer: **Question 50**

Complete

Marked out of
3.00

Consider two different machines, with two different instruction sets, both of which have a clock rate of 200 MHz. The following measurements are recorded on the two machines running a given set of benchmark programs

Instruction Type	Instruction Count (millions)	Cycles Per Instruction
Machine A		
Arithmetic and logic	8	1
Load and store	4	3
Branch	2	4
Others	4	3
Machine B		
Arithmetic and logic	10	1
Load and store	8	2
Branch	2	4
Others	4	3

Determine the effective, CPI, MIPS rate and execution time for each machine.

CPI_b CPU Time_a CPU Time_b CPI_a MIPS_b MIPS_a

Your answer is correct.

Question 51

Complete

Marked out of
2.00

Choose correct RAID volume definitions for a request 2T storage.

- RAID 1 - Mirror volume 2 x 2T HDDs are needed, no data lost when the primary storage fails ▼
- Spanned Volume 2T HDD + more HDDs to extend storage, no fault tolerance, data lost when one HDD fails ▼
- RAID 0 - Striped volume 2 x 1T HDDs are needed, enhance data transfer, no fault tolerance, data lost when one HDD fails ▼
- RAID5 Volume At least 3 x 2T HDDs, fault-tolerance, no data lost, no down-time ▼

Your answer is correct.

Question 52

Complete

Marked out of
1.00

Consider a 32-bit microprocessor whose bus cycle is the same duration as that of a 16-bit microprocessor. Assume that, on average, 30% of the operands and instructions are 32 bits long, 40% are 16 bits long, and 30% are only 8 bits long. Calculate the improvement achieved when fetching instructions and operands with the 32-bit microprocessor?

Select one:

- ☐ 10%
- ☐ 15%
- ☐ 17%
- ☒ 23%

Your answer is correct.

Question 53

Complete

Marked out of
1.00

Consider a magnetic disk drive with 8 surfaces, 512 tracks per surface, and 64 sectors per track. Sector size is 1 kB, the average seek time is 10.2 ms and the drive rotates at 3600 rpm. What is average access time. Given: Rotational delay = $1/(2r)$, where r is the rotational speed in revolutions per second

Answer: ms ▼[Return to: 12 March - 18 M... ➡](#)

Thi Online KTMT&HN nhóm lẻ

Started on	Friday, 31 May 2019, 1:11 PM
State	Finished
Completed on	Friday, 31 May 2019, 2:21 PM
Time taken	1 hour 9 mins

Question 1

Complete

Marked out of
0.50

In multiplication instruction, the upper half of the result is nonzero implies which state of Carry flag and Overflow flag?

Select one or more:

- ☐ OF=1
- ☐ CF=1
- ☒ OF=0
- ☒ CF=0

Question 2

Complete

Marked out of
1.00

Which is correct about dual-layer DVD?

Select one:

- ☐ the same as double-sided DVD
- ☐ contains layers on both sides of the disk for writing data to
- ☒ contains two layers on a single side for writing data to
- ☐ DVD drives has double laser head for reading from or writing to this disk

Question 3

Complete

Marked out of
1.00

For better speed, in CPU design, engineers make use of the following techniques:

Select one or more:

- ☒ Pipelining
- ☒ Branch prediction
- ☐ Faster CPU internal bus
- ☒ Speculative execution

Question 4

Complete

Marked out of
1.00

Consider the following assembly instruction sequence

```
XOR BX, BX
CMP DL, 5
JLE a_label
CMP DL, 17h
JGE a_label
MOV BX, 10h
```

a_label:

```
INC BX
```

watch point:

...

Choose correct value of BX register at watch point for different value of DL?

DL=0Ah 01h ▼

DL=0FFh 11h ▼

DL=10 01h ▼

DL=17h 11h ▼

Question 5

Complete

Marked out of
1.00

Consider a 16-bit microprocessor, with a 16-bit external data bus, driven by an 10-MHz input clock. Assume that this microprocessor has a bus cycle whose minimum duration equals four input clock cycles. What is the maximum data transfer rate across the bus that this microprocessor can sustain?

Select one:

- ☒ 4 MB/s
- ☐ 1 MB/s
- ☐ 5 MB/s
- ☐ 10 MB/s

Question 6

Complete

Marked out of
1.00

Select correct definition of seek time, rotational delay, access time, transfer time for hard drives with moveable-head system:

rotational delay time for the sector in the request track to reach the head ▼

seek time time for the head to settle at the request track ▼

access time access time + settle time ▼

Question 7

Complete

Marked out of
0.50

Which are the correct actions for LODSW string operation if DF is reset (=0)

Select one or more:

- ☐ decrease DI by 2
- ☐ Load 16-bit value at memory location pointed by ES:[DI] into AX
- ☒ Load 16-bit value at memory location pointed by DS:[SI] into AX
- ☒ increase SI by 2

Question 8

Complete

Marked out of
1.00

In computer organization, the CPU transfer rate is much higher than that of memory. It is easy to match performance of these components by:

Select one:

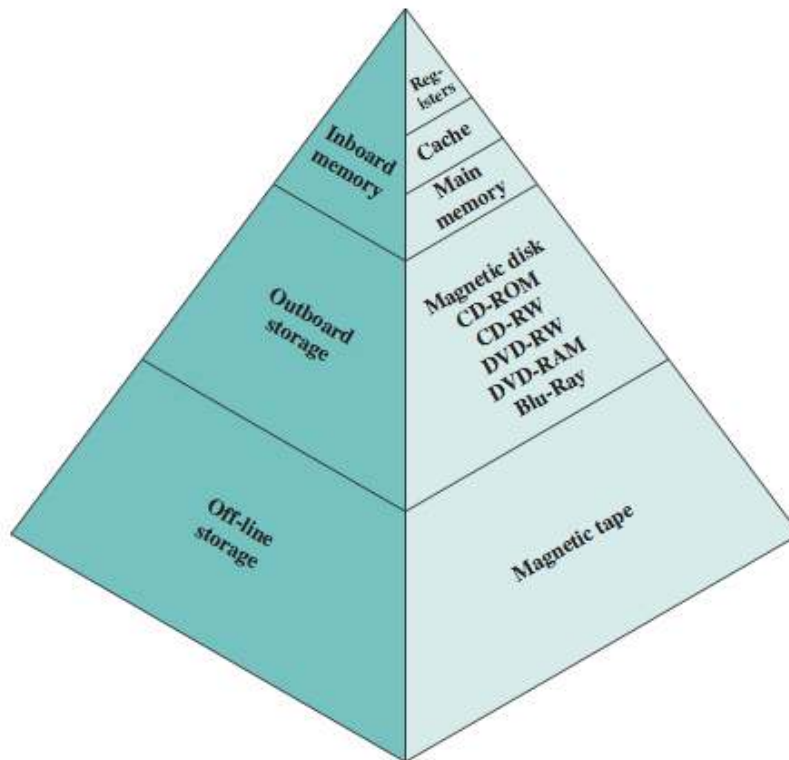
- ☐ increase the bus speed
- ☐ producing faster memory module
- ☒ Introducing cache memory
- ☐ increase I/O speed

Question 9

Complete

Marked out of
1.00

For memory hierarchy below, which relationship hold when moving downward



Select one or more:

- ☒ Decreasing cost per bit
- ☒ the processor accesses more often
- ☐ Increasing access time
- ☒ Decreasing frequency of access by the processor
- ☒ Increasing capacity

Question 10

Complete

Marked out of
0.50

Which of the following instructions are not valid?

Select one or more:

- ☒ MOV DS, B800h
- ☐ MOV AX, SI
- ☒ MOV AX, [BP+2]
- ☐ MOV SP, SS:[SI+2]

Question 11

Complete

Marked out of
0.50

Sign-extend number 1011 0101 (8-bit binary) to 16-bit

Answer: 1111 1111 1011 0101

Question 12

Complete

Marked out of
1.00

The principle of cache memory relies on key features: locality of reference which involves spatial and temporal locality. Match the definition to keywords on the left

Temporal
locality

the tendency for a processor to access memory locations that have been used recently ▼

Spatial
locality

the tendency of execution to involve a number of memory locations that are clustered ▼

tendency to use large cache and prefetch mechanism ▼

Question 13

Complete

Marked out of
1.00

Which ones are not correct for static RAM?

Select one or more:

- ☒ faster than dynamic RAM because they are made from capacitor
- ☐ Cheaper than dynamic RAM because simpler chip controller
- ☒ Cost per bit is higher than dynamic RAM
- ☐ Cost per bit is lower than dynamic RAM

Question 14

Complete

Marked out of
1.00

Which of the following instructions are not legal addressing?

Select one or more:

- ☐ MOV AX, [DI]
- ☐ MOV CX, [SI]
- ☒ MOV AX, [BX+SP]
- ☒ MOV AX, [SP+1]

Question 15

Complete

Marked out of
1.00

Structural components of computer include:

Select one or more:

- ☒ I/O
- ☐ DMA
- ☒ System interconnection
- ☐ Interrupt
- ☒ Central processing unit
- ☒ Memory

Question 16

Complete

Marked out of
1.00

A memory chip has 12 address pins, determine the maximum memory words of this chip?

Select one:

- ☒ 4096
- ☐ 2048
- ☐ 2048K
- ☐ 4000

Question 17

Complete

Marked out of
1.00

Consider a magnetic disk drive with 8 surfaces, 512 tracks per surface, and 64 sectors per track. Sector size is 1 kB. What is the disk capacity

Answer:

KB ▼

Question 18

Complete

Marked out of
1.00

Choose correct features for SRAM and DRAM

SRAM ▼DRAM ▼**Question 19**

Complete

Marked out of
1.00

The following sequence of instructions are executed. What is the correct value of AX, CX, DX at watch point?

MOV AX,0020

MOV CX,0010

MUL CL

watch point:

DX ▼AX = ▼CX = ▼**Question 20**

Complete

Marked out of
1.00

Which statements are correct for HDDs?

Select one or more:

- ☐ a. Bits are store randomly on disk surfaces
- ☐ b. Head, Track, Cylinder are key parameters for access data on hard disk
- ☒ c. Bits are stored on tracks
- ☒ d. Head, Track, Sector are key parameters for access data on hard disk

Question 21

Complete

Marked out of
0.50

Which are the correct inputs for XLAT instruction

Select one or more:

- ☐ look-up index must be loaded into DL
- ☐ DS:[BX] pointed to look-up table
- ☒ look-up index must be loaded into AL
- ☐ DS:[SI] pointed to look-up table

Question 22

Complete

Marked out of
1.00

What is the correct value of SI, AL (in hex) at watch point:

```

01:      MOV SI, 300h
02:      MOV AL, 10h
03:      MOV CX, 7
04: Loop_label:
05:      MOV [SI], AL
06:      ADD AL, 10h
07:      INC SI
08:      LOOP Loop_label

```

watch point:

SI AL = **Question 23**

Complete

Marked out of
1.00

To evaluate processor performance, the following indicators and formulas are used:

Cycles per instruction
$$CPI = \frac{\sum_{i=1}^n (CPI_i \times I_i)}{I_c}$$

Time to execute a program
$$T = I_c \times CPI \times \tau$$

Or
$$T = I_c \times [p + (m \times k)] \times \tau$$

In which:

p: the number of processor cycles needed to decode and execute the instruction

m: the number of memory references needed

k: the ratio between memory cycle time and processor cycle time

 τ : cycle time = $1/f$ Which of the following system attributes affects cycle time τ

Select one or more:

- ☒ Instruction set architecture
- ☒ Cache and memory hierarchy
- ☐ Compiler technology
- ☐ Processor implementation

Question 24

Complete

Marked out of
0.50

To encrypt a byte value, use _____ instruction.

Select one:

- ☒ XOR
- ☐ AND
- ☐ NOT
- ☐ OR

Question 25

Complete

Marked out of
0.50

In multiplication instruction, when the source operand is 8 bit, _____ will be multiplied with source.

Select one:

- ☐ AX
- ☒ AL
- ☐ Whatever general purpose register
- ☐ BX

Question 26

Complete

Marked out of
1.50

A system programmer needs to compute $449/2 + 358/4$ (decimal). Instruct him to code in debug (number must be in hex) with the least number of instruction counts.

Step 1: Step 2: Step 3: Step 4: Step 5: Step 6: **Question 27**

Complete

Marked out of
1.00

Convert 0.1015625 to IEEE 32-bit floating point format (1 sign+ 8 exponent + 23 mantissa)

Answer: **Question 28**

Complete

Marked out of
0.50

The instruction that loads the AH register with the lower byte of the flag register is

Select one:

- ☒ LAHF
- ☐ PUSHF
- ☐ AH
- ☐ SAHF

Question 29

Complete

Marked out of
1.00

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV AL, 0F

ADD AL, F1

watch point:

Zero flag (OF) =

set ▼

Carry flag (CF) =

set ▼

Question 30

Complete

Marked out of
1.50

Which are correct about 32 bit index registers of IA-32 processors:

Select one or more:

- ☒ ESI: 32 bit pointer to source memory in data movement instructions
- ☐ ESH,EDH: 16 bit pointers to higher memory above 1M
- ☒ SI: 16 bit pointer to source memory in data movement instructions
- ☒ EDI: 32 bit pointer to destination memory in data movement instructions
- ☒ DI: 16 bit pointer to destination memory in data movement instructions

Question 31

Complete

Marked out of
1.00

Select the correct sequence of instructions to compute -1024/128 (all values are in hex).

Step 1:

MOV AX,FC00 ▼

Step 2:

MOV CX,80 ▼

Step 3:

CWD ▼

Step 4:

IDIV CX ▼

Question 32

Complete

Marked out of
1.50

A benchmark program is run on a 40 MHz processor. The executed program consists of 100,000 instruction executions, with the following instruction mix and clock cycle count:

Instruction Type	Instruction Count	Cycles per Instruction
Integer arithmetic	45,000	1
Data transfer	32,000	2
Floating point	15,000	2
Control transfer	8000	2

Calculate MIPS rate for this program

Given:

$$\text{MIPS rate} = \frac{I_c}{T \times 10^6} = \frac{f}{CPI \times 10^6}$$

$$CPI = \frac{\sum_{i=1}^n (CPI_i \times I_i)}{I_c}$$

Answer: 25.80645161

Question 33

Complete

Marked out of
1.20

What is the correct sequence of instruction cycle?

- Step 6 ▼
- Step 4 ▼
- Step 1 ▼
- Step 5 ▼
- Step 2 ▼
- Step 3 ▼

Question 34

Complete

Marked out of
1.00

Convert the 32-bit floating point number C4361000 (in hex) to decimal.

Answer: **Question 35**

Complete

Marked out of
0.50

Write mask byte (in hex) to clear bit 2nd, 3rd, 5th of a byte value with AND instruction (LSB is 1st bit).

Answer: **Question 36**

Complete

Marked out of
0.50

8088 is 16 bit processor, the maximum addressable memory is:

Select one:

- ☐ 640M
- ☐ 640K
- ☐ 1024K
- ☒ 64M

Question 37

Complete

Marked out of
0.50

Write mask byte (in hex) to set bit 6th, 4th of a byte value with OR instruction (LSB is the 1st bit).

Answer: **Question 38**

Complete

Marked out of
0.50

the instruction, CMP to compare source and destination operands by _____

Select one:

- ☒ subtracting
- ☐ adding
- ☐ dividing
- ☐ comparing

Question 39

Complete

Marked out of
1.00

A benchmark program is run on a 40 MHz processor. The executed program consists of 100,000 instruction executions, with the following instruction mix and clock cycle count:

Instruction Type	Instruction Count	Cycles per Instruction
Integer arithmetic	45,000	1
Data transfer	32,000	2
Floating point	15,000	2
Control transfer	8000	2

Calculate the execution time for this program.

Given:

$$T = I_c \times CPI \times \tau$$

$$CPI = \frac{\sum_{i=1}^n (CPI_i \times I_i)}{I_c}$$

Answer:

Question 40

Complete

Marked out of
1.00

Part of computer memory is shown in figure

Address	1D48	1D49	1D4A	1D4B	1D4C	1D4D	1D4E	1D4F
Value	03	7F	F5	2D	5A	12	7B	C0

What is the value of AX register after instruction **MOV AX, [1D4B]** executed

Answer:

Question 41

Complete

Marked out of
1.00

Select correct level for contemporary computer multilevel machine

- Level 3
- Level 5
- Level 6
- Level 1
- Layer 4
- Level 2
- Level 0

Question 42

Complete

Marked out of
1.00

the memory stack area of a program shown in figure

Address	1D50	1D51	1D52	1D53
Value	AF	90	71	DA

The value of SP register is 1D50. What is the value of SP follows the execution of **PUSH SI**

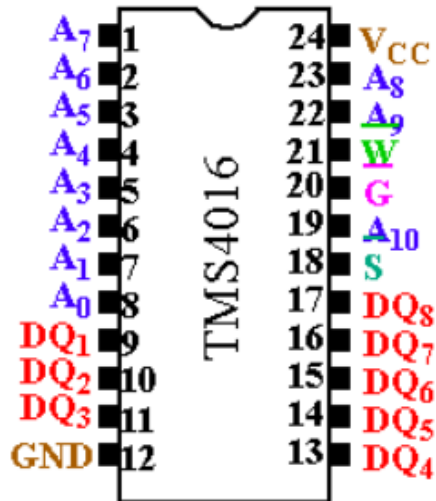
Answer:

Question 43

Complete

Marked out of
1.00

Choose the correct structure of memory chip as shown below



Note:

DQ: Data pinout

Select one:

- ☐ DRAM 2Kx8-bit
- ☐ SRAM 1Kx16-bit
- ☒ SRAM 2Kx8-bit
- ☐ DRAM 1Kx16-bit

Question 44

Complete

Marked out of
1.00

Given 8-bit floating-point binary format:

1 (sign) + 3 (exponent) + 4 (mantissa)

Convert the 8-bit floating point number 68 (in hex) to decimal.

Answer:

Question 45

Complete

Marked out of
2.00

Choose correct RAID volume definitions for a request 2T storage.

RAID 0 -
Striped
volume

RAID5
Volume

RAID 1 -
Mirror
volume

Spanned
Volume

Nhóm 06-07-08CLC - Kiến trúc máy tính và hợp ngữ

Bắt đầu vào lúc Saturday, 8 April 2017, 1:12 PM

State Finished

Kết thúc lúc Saturday, 8 April 2017, 1:22 PM

Thời gian thực hiện 10 phút 13 giây

Điểm 22,25/22,25

Điểm 10,00 out of 10,00 (100%)

Câu hỏi 1

Đúng

Đạt điểm 1,00 trên 1,00

Đặt cờ

Given 8-bit floating-point binary format:

1 (sign) + 3 (exponent) + 4 (mantissa)

Convert the 8-bit floating point number 57 (in hex) to decimal.

Answer: 5,75

Câu hỏi 2

Đúng

Đạt điểm 1,50 trên 1,50

Đặt cờ

A system programmer needs to divide -6247 by 300 (decimal). Instruct him to code in debug (number must be in hex) and the result should be?

Step 1: MOV AX,E799

Step 2: CDW

Step 3: MOV BX,012C

Step 4: IDIV BX

Result:

AX = FFEC

DX = FF09

Your answer is correct.

Câu hỏi 3

Đúng

Write mask byte (in hex) to clear the lower 4 bit of a byte value with AND instruction.

This document is available free of charge on



Downloaded by Ngh?a Ngô Quang (ngoquangnghia111003@gmail.com)

Đạt điểm 0,50
trên 0,50

Đặt cờ

Answer:

F0



Câu hỏi 4

Đúng

Đạt điểm 0,50
trên 0,50

Đặt cờ

To isolate one or more bits in a byte value, use _____ instruction.

Select one:

- ☐ OR
- ☐ NOT
- ☒ AND ✓
- ☐ XOR

Your answer is correct.

Câu hỏi 5

Đúng

Đạt điểm 0,25
trên 0,25

Đặt cờ

EAX now stored a 32-bit IP address of a host. The network ID (netID) is 20 bit and can be extracted from IP byte anding with a 32-bit mask. Write correct instruction to extract netID from EAX register.

Note: Immediate value must be written in hex

Answer:

and EAX,FFFFFF00



Câu hỏi 6

Đúng

Đạt điểm 1,00
trên 1,00

Đặt cờ

The following sequence of instructions are executed. What is the correct values at watch point?

MOV AX, 67FE

MOV BX, AX

MOV CL, BH

MOV CH, BL

watch point:

CX = FE67 ✓

BX = 67FE ✓

Your answer is correct.

Câu hỏi 7

Đúng

Đạt điểm 1,00
trên 1,00

Đặt cờ

The following sequence of instructions are executed. What is the correct value of flag bits at watch point?

MOV EAX, 12AE

SUB EAX, 12AF

watch point:

sign flag

set



Zero flag (OF) = ✓

Carry flag (CF) = ✓

Your answer is correct.

Câu hỏi 8

Đúng

Đạt điểm 1,00
trên 1,00

🚩 Đặt cờ

Physical address of the stack pointer is 2DA82, stack segment located at 1DAE. Computer the value of SP register?

Answer: ✓

Câu hỏi 9

Đúng

Đạt điểm 1,00
trên 1,00

🚩 Đặt cờ

Match the following hexadecimal numbers to octal

E7 ✓

6E ✓

A9 ✓

Your answer is correct.

Câu hỏi 10

Đúng

Đạt điểm 1,00
trên 1,00

🚩 Đặt cờ

Enter debug command to fill 256 bytes in data segment starting from 100 with value 0D

Answer: ✓

Câu hỏi 11

Đúng

Đạt điểm 1,00
trên 1,00

🚩 Đặt cờ

Given 8-bit floating-point binary format:

1 (sign) + 3 (exponent) + 4 (mantissa)

Convert the 8-bit floating point number E7 (in hex) to decimal.

Answer: ✓

Câu hỏi 12

Đúng

Đạt điểm 1,50
trên 1,50

🚩 Đặt cờ

Match the correct answer for binary operations on the left

1111111 - 111 ✓

1100111 - 111 ✓

1010101 + 10101 ✓

1010110 - 101 ✓

1110011 + 11001 ✓

1111111 + 11111 ✓

Your answer is correct.

Câu hỏi 13

Đúng

Đạt điểm 1,00
trên 1,00

🚩 Đặt cờ

Convert the following binary numbers to hexadecimal

10101001 ✓

01101110 ✓

11100101 ✓

11100111 ✓

Your answer is correct.

Câu hỏi 14

Đúng

Đạt điểm 1,00
trên 1,00

🚩 Đặt cờ

The following sequence of instructions are executed. What is the correct value of CF and OF at watch point?

MOV AX,140h

MOV CX,8h

MUL CX

watch point:

CF= ✓

OF= ✓

Your answer is correct.

Câu hỏi 15

Đúng

Đạt điểm 0,50
trên 0,50

🚩 Đặt cờ

To test one bit in a byte value without destructing the byte, use _____ instruction.

Select one:

☐ NOT

☐ AND

- ☒ TEST ✓
☐ OR

Your answer is correct.

Câu hỏi 16

Đúng

Đạt điểm 1,00
trên 1,00

Đặt cờ

Given a row of memory image in debug

0AE8:0120 13 96 D0 E0 D0 E0 A2 1E - 99 80 3E 20 99 00 75 24

Initially, AX=BX=CX=DX=0, SI=121

What are value of CX,DX after execution of the following instructions?

MOV DX, [SI]

MOV CX, [SI+2]

DX = D096 ✓

CX = D0E0 ✓

Your answer is correct.

Câu hỏi 17

Đúng

Đạt điểm 1,00
trên 1,00

Đặt cờ

Select correct match for register values at watch points:

MOV AX, 152D

ADD AX, 003F

watch point #1:

ADD AH, 10

watch point #2:

.....

watch point #2: AH = 25 ✓

watch point #1: AL = 6C ✓

Your answer is correct.

Câu hỏi 18

Đúng

Đạt điểm 1,00
trên 1,00

Đặt cờ

A memory location located in extra segment which now has value of 564F. This memory managed by ES:SI register-pair. SI now points to 905F. Compute the physical address of this memory location

Answer:

5F54F


This document is available free of charge on

 studocu



Câu hỏi 19

Đúng

Đạt điểm 1,00
trên 1,00 Đặt cờ

Select correct match for AL and carry flag at watch point #1:




MOV BL, 8C

MOV AL, 7E

ADD AL, BL

watch point #1:


.....

Carry flag set  AL 0A  

Your answer is correct.

Câu hỏi 20


Đúng

Đạt điểm 1,00
trên 1,00 Đặt cờ

Convert the 32-bit floating point number C4361000 (in hex) to decimal.



Answer: -728,25 **Câu hỏi 21**

Đúng

Đạt điểm 1,00
trên 1,00 Đặt cờ

Which of the following instructions are not legal addressing?

Select one or more:

- ☐ MOV AX, [DI]
- ☒ MOV AX, [BX+SP] 
- ☒ MOV AX, [SP+1] 
- ☐ MOV CX, [SI]

Your answer is correct.

Câu hỏi 22


Đúng

Đạt điểm 1,00
trên 1,00 Đặt cờ

Compute the physical address of stack top if stack pointer is FFAE and stack segment located at 1DAE

Answer: 2DA8E **Câu hỏi 23**

Đúng

Đạt điểm 0,50
trên 0,50 Đặt cờ

Sign-extend number 1011 0101 (8-bit binary) to 16-bit

Answer: 111111110110101 

Câu hỏi 24

Đúng

Đạt điểm 1,00
trên 1,00 Đặt cờ

The following sequence of instructions are executed. What is the correct value of AX, CX, DX at watch point?

```
MOV AX,30
MOV CX,FFFF
MUL CX
```

watch point:

CX = ✓

AX = ✓

DX = ✓

Your answer is correct.

[Finish review](#)

CHƯƠNG 1. GIỚI THIỆU CHUNG

1.1 Trình tự xử lý thông tin của máy tính điện tử là:

- a. CPU -> Đĩa cứng -> Màn hình
- b. Nhận thông tin -> Xử lý thông tin -> Xuất thông tin**
- c. CPU -> Bàn phím -> Màn hình
- d. Màn hình -> Máy in -> Đĩa mềm

1.2. Các chức năng cơ bản của máy tính:

- a. Lưu trữ dữ liệu, Chạy chương trình, Nối ghép với TBNV, Truy nhập bộ nhớ.
- b. Trao đổi dữ liệu, Điều khiển, Thực hiện lệnh, Xử lý dữ liệu.
- c. Lưu trữ dữ liệu, Xử lý dữ liệu, Trao đổi dữ liệu, Điều khiển.**
- d. Điều khiển, Lưu trữ dữ liệu, Thực hiện phép toán, Kết nối Internet.

1.3. Các thành phần cơ bản của máy tính:

- a. RAM, CPU, ổ đĩa cứng, Bus liên kết
- b. Hệ thống nhớ, Bus liên kết, ROM, Bàn phím
- c. Hệ thống nhớ, Bộ xử lý, Màn hình, Chuột
- d. Hệ thống nhớ, Bộ xử lý, Hệ thống vào ra, Bus liên kết**

1.4. Bộ xử lý gồm các thành phần (không kể bus bên trong):

- a. Khối điều khiển, Các thanh ghi, Cổng vào/ra
- b. Khối điều khiển, ALU, Các thanh ghi**
- c. Các thanh ghi, DAC, Khối điều khiển
- d. ALU, Các thanh ghi, Cổng vào/ra.

1.5. Hệ thống **nhớ** của máy tính bao gồm:

- a. Cache, Bộ nhớ ngoài
- b. Bộ nhớ ngoài, ROM
- c. Đĩa quang, Bộ nhớ trong
- d. Bộ nhớ trong, Bộ nhớ ngoài**

1.6. Hệ thống vào/ra của máy tính **không** bao gồm đồng thời các thiết bị sau:

- a. Đĩa từ, Loa, Đĩa CD-ROM
- b. Màn hình, RAM, Máy in
- c. CPU, Chuột, Máy quét ảnh
- d. ROM, RAM, Các thanh ghi**

1.7. Trong máy tính, có các loại **bus liên kết** hệ thống như sau:

- a. Chỉ dẫn, Chức năng, Điều khiển
- b. Điều khiển, Dữ liệu, Địa chỉ**
- c. Dữ liệu, Phụ thuộc, Điều khiển
- d. Dữ liệu, Điều khiển, Phụ trợ

- 1.8. Các hoạt động của máy tính gồm:
- Ngắt, Giải mã lệnh, Vào/ra
 - Xử lý số liệu, Ngắt, Thực hiện chương trình
 - Thực hiện chương trình, ngắt, vào/ra
 - Tính toán kết quả, Lưu trữ dữ liệu, vào/ra
- 1.9. Bộ đếm chương trình của máy tính không phải là:
- Thanh ghi chứa địa chỉ lệnh
 - Thanh ghi chứa lệnh sắp thực hiện
 - Thanh ghi chứa địa chỉ lệnh sắp thực hiện
 - Thanh ghi
- 1.10. Có các loại ngắt sau trong máy tính:
- Ngắt cứng, ngắt mềm, ngắt trung gian
 - Ngắt ngoại lệ, ngắt cứng, ngắt INTR
 - Ngắt mềm, ngắt NMI, ngắt cứng
 - Ngắt cứng, ngắt mềm, ngắt ngoại lệ
- 1.11. Trong máy tính, ngắt NMI là:
- Ngắt ngoại lệ không chặn được
 - Ngắt mềm không chặn được
 - Ngắt cứng không chặn được
 - Ngắt mềm chặn được
- 1.12. Khi Bộ xử lý đang thực hiện chương trình, nếu có ngắt (không bị cấm) gửi đến, thì nó:
- Thực hiện xong chương trình rồi thực hiện ngắt
 - Từ chối ngắt, không phục vụ
 - Phục vụ ngắt ngay, sau đó thực hiện chương trình
 - Thực hiện xong lệnh hiện tại, rồi phục vụ ngắt, cuối cùng quay lại thực hiện tiếp chương trình.
- 1.13. Máy tính Von Neumann là máy tính:
- Chỉ có 01 bộ xử lý, thực hiện các lệnh tuần tự
 - Có thể thực hiện nhiều lệnh cùng một lúc (song song)
 - Thực hiện theo chương trình nằm sẵn bên trong bộ nhớ
 - Cả a và c
- 1.14. Máy tính ENIAC là máy tính:
- Do Bộ giáo dục Mỹ đặt hàng
 - Là máy tính ra đời vào những năm 1970
 - Dùng vi mạch cỡ nhỏ và cỡ vừa
 - Là máy tính đầu tiên trên thế giới
- 1.15. Đối với các tín hiệu điều khiển, phát biểu nào sau đây là sai:

- a. MEMR là tín hiệu đọc lệnh (dữ liệu) từ bộ nhớ
 - b. MEMW là tín hiệu đọc lệnh từ bộ nhớ
 - c. IOR là tín hiệu đọc dữ liệu từ cổng vào ra
 - d. IOW là tín hiệu ghi dữ liệu ra cổng vào ra
- 1.16. Phát biểu nào sau đây là **đúng**:
- a. INTR là tín hiệu cứng chặn được
 - b. INTR là tín hiệu ngắt mềm
 - c. INTR là tín hiệu ngắt cứng không chặn được
 - d. INTR là một tín hiệu ngắt ngoại lệ
- 1.17. Phát biểu nào sau đây là **sai**:
- a. INTA là tín hiệu CPU trả lời đồng ý chấp nhận ngắt
 - b. INTA là tín hiệu gửi từ bộ xử lý ra ngoài
 - c. INTA là tín hiệu từ bên ngoài yêu cầu ngắt CPU
 - d. Cả a và b đều đúng
- 1.18. Phát biểu nào sau đây là **đúng**:
- a. HOLD là tín hiệu CPU trả lời ra bên ngoài
 - b. HOLD không phải là tín hiệu điều khiển
 - c. HOLD là tín hiệu điều khiển xin ngắt
 - d. HOLD là tín hiệu từ bên ngoài xin CPU nhường bus
- 1.19. Phát biểu nào sau đây là **đúng**:
- a. HLDA là tín hiệu CPU chấp nhận nhường bus
 - b. HLDA là tín hiệu CPU không chấp nhận nhường bus
 - c. HLDA là tín hiệu yêu cầu CPU nhường bus
 - d. HLDA là một ngắt mềm
- 1.20. Cho đến nay, máy tính đã phát triển qua:
- a. 5 thế hệ
 - b. 4 thế hệ
 - c. 3 thế hệ
 - d. 2 thế hệ
- 1.21. Trong các giai đoạn phát triển của máy tính, phát biểu nào sau đây là **đúng**:
- a. Thế hệ thứ nhất dùng transistor
 - b. Thế hệ thứ ba dùng transistor
 - c. Thế hệ thứ nhất dùng đèn điện tử chân không
 - d. Thế hệ thứ tư dùng vi mạch SSI và MSI
- 1.22. Trong các giai đoạn phát triển của máy tính, phát biểu nào sau đây là **sai**:
- a. Thế hệ thứ hai dùng transistor
 - b. Thế hệ thứ ba dùng transistor
 - c. Thế hệ thứ nhất dùng đèn điện tử chân không
 - d. Thế hệ thứ tư dùng vi mạch

- 1.23. Theo luật Moore, số lượng transistor sẽ tăng gấp đôi sau mỗi:
- a. 22 tháng
 - c. 18 tháng**
 - b. 20 tháng
 - d. 16 tháng
- 1.24. Tín hiệu điều khiển MEMR là tín hiệu:
- a. Đọc lệnh/dữ liệu từ ngăn nhớ**
 - b. Ghi lệnh/dữ liệu ra ngăn nhớ
 - c. Đọc lệnh từ TBNV
 - d. Ghi lệnh ra TBNV
- 1.25. Tín hiệu điều khiển MEMW là tín hiệu:
- a. Đọc lệnh/dữ liệu từ ngăn nhớ
 - b. Ghi lệnh/dữ liệu ra ngăn nhớ
 - c. Ghi lệnh ra ngăn nhớ
 - d. Ghi dữ liệu ra ngăn nhớ**
- 1.26. Tín hiệu điều khiển IOR là tín hiệu:
- a. Đọc lệnh/dữ liệu từ ngăn nhớ
 - b. Ghi lệnh/dữ liệu ra ngăn nhớ
 - c. Đọc dữ liệu từ TBNV**
 - d. Ghi dữ liệu ra TBNV
- 1.27. Tín hiệu điều khiển IOW là tín hiệu:
- a. Đọc lệnh/dữ liệu từ TBNV
 - b. Ghi lệnh/dữ liệu ra TBNV
 - c. Đọc dữ liệu từ TBNV
 - d. Ghi dữ liệu ra TBNV**
- 1.28. Tín hiệu điều khiển INTR là tín hiệu:
- a. Từ bên ngoài gửi đến CPU xin ngắt**
 - b. Từ CPU gửi ra ngoài xin ngắt
 - c. Từ bộ nhớ chính gửi đến CPU xin ngắt
 - d. Từ CPU gửi đến bộ nhớ chính xin ngắt
- 1.29. Tín hiệu điều khiển INTA là tín hiệu:
- a. CPU trả lời không chấp nhận ngắt
 - b. CPU trả lời chấp nhận ngắt**
 - c. Từ bên ngoài gửi đến CPU xin ngắt
 - d. Ngắt ngoại lệ
- 1.30. Tín hiệu điều khiển HOLD là tín hiệu:
- a. CPU trả lời chấp nhận ngắt
 - b. CPU gửi ra ngoài xin dùng bus
 - c. Từ bên ngoài gửi đến CPU xin dùng bus**
 - d. Từ bên ngoài gửi đến CPU trả lời không dùng bus
- 1.31. Tín hiệu điều khiển HLDA là tín hiệu:
- a. CPU trả lời không chấp nhận ngắt

- b. CPU trả lời chấp nhận ngắt
 - c. Từ bên ngoài gửi đến CPU xin ngắt
 - d. CPU trả lời đồng ý nhường bus
- 1.32. Với tín hiệu điều khiển MEMR, phát biểu nào sau đây là sai:
- a. Là tín hiệu do CPU phát ra
 - b. Là tín hiệu điều khiển truy nhập bộ nhớ
 - c. Là tín hiệu điều khiển ghi
 - d. Là tín hiệu điều khiển đọc
- 1.33. Với tín hiệu điều khiển MEMW, phát biểu nào sau đây là sai:
- a. Là tín hiệu được phát ra bởi CPU
 - b. Là tín hiệu do bên ngoài gửi đến CPU
 - c. Không phải là tín hiệu truy nhập cổng vào/ra
 - d. Là tín hiệu điều khiển ghi
- 1.34. Với tín hiệu điều khiển IOR, phát biểu nào sau đây là sai:
- a. Là tín hiệu điều khiển truy nhập cổng vào/ra
 - b. Là tín hiệu điều khiển do CPU phát ra
 - c. Là tín hiệu điều khiển đọc
 - d. Là tín hiệu điều khiển truy nhập CPU
- 1.35. Với tín hiệu điều khiển IOW, phát biểu nào sau đây là sai:
- a. Là tín hiệu từ bên ngoài xin ngắt cổng vào/ra
 - b. Là tín hiệu điều khiển do CPU phát ra
 - c. Là tín hiệu điều khiển được gửi đến cổng vào/ra
 - d. Là tín hiệu điều khiển ghi dữ liệu
- 1.36. Với tín hiệu điều khiển INTR, phát biểu nào sau đây là sai:
- a. Là tín hiệu điều khiển từ bên ngoài gửi đến CPU
 - b. Là tín hiệu điều khiển do CPU phát ra
 - c. Là tín hiệu yêu cầu ngắt
 - d. Là tín hiệu ngắt chặn được
- 1.37. Với tín hiệu điều khiển INTA, phát biểu nào sau đây là sai:
- a. Là tín hiệu chấp nhận ngắt
 - b. Là tín hiệu điều khiển do CPU phát ra
 - c. Là tín hiệu điều khiển ghi cổng vào/ra
 - d. Là tín hiệu điều khiển xử lý ngắt
- 1.38. Với tín hiệu điều khiển NMI, phát biểu nào sau đây là sai:
- a. Là tín hiệu từ bên ngoài gửi đến CPU
 - b. Là tín hiệu ngắt chặn được
 - c. Là tín hiệu ngắt không chặn được
 - d. CPU không thể từ chối tín hiệu này
- 1.39. Với tín hiệu điều khiển HOLD, phát biểu nào sau đây là sai:
- a. Là tín hiệu do CPU phát ra

- b. Là tín hiệu từ bên ngoài gửi đến CPU
- c. Là tín hiệu xin nhường bus
- d. Không phải là tín hiệu đọc cổng vào/ra

1.40. Với tín hiệu điều khiển HLDA, phát biểu nào sau đây là sai:

- a. Là tín hiệu trả lời của CPU
- b. Là tín hiệu đồng ý nhường bus
- c. Là tín hiệu từ bên ngoài gửi đến CPU xin ngắt
- d. Không phải là tín hiệu xin ngắt từ bên ngoài

1.41. Theo cách phân loại truyền thống, có các loại máy tính sau đây:

- a. Bộ vi điều khiển, máy tính cá nhân, máy tính lớn, siêu máy tính, máy vi tính
- b. Máy tính xách tay, máy tính lớn, máy tính để bàn, máy vi tính, siêu máy tính
- c. Máy tính xách tay, máy tính mini, máy tính lớn, siêu máy tính, máy chủ
- d. Bộ vi điều khiển, máy vi tính, máy tính mini, máy tính lớn, siêu máy tính

1.42. Theo cách phân loại hiện đại, có các loại máy tính sau đây:

- a. Máy tính để bàn, máy tính lớn, máy tính nhúng
- b. Máy tính để bàn, máy chủ, máy tính nhúng
- c. Máy chủ, máy tính mini, máy tính lớn
- d. Máy tính mini, máy tính nhúng, siêu máy tính

CHƯƠNG 2. BIỂU DIỄN DỮ LIỆU VÀ SỐ HỌC MÁY TÍNH

2.1. Đối với số nguyên không dấu, 8 bit, giá trị biểu diễn số 261 là:

- a. 1001 0001
 - b. 1010
 - c. 1000 0111
 - d. Không
- biểu diễn được

2.2. Đối với số nguyên không dấu, 8 bit, giá trị biểu diễn số 132 là:

- a. 1001 0001
 - b. 1000
 - c. 1000 0111
 - d. Không
- biểu diễn được

2.3. Đối với số nguyên có dấu, 8 bit, giá trị biểu diễn số 129 là:

- a. 1001 0001
 - b. 1010
 - c. 1000 0111
 - d. Không
- biểu diễn được

2.4. Đối với số nguyên **có dấu**, 8 bit, giá trị biểu diễn số 124 là:

a. 0111 1100

1011

c. 0100 0111

biểu diễn được

b. 0101

d. Không

2.5. Dải biểu diễn số nguyên **không dấu**, n bit trong máy tính là:

a. $0 \rightarrow 2.n$

1

c. $0 \rightarrow 2^n - 1$

b. $0 \rightarrow 2.n -$

d. $0 \rightarrow 2^n$

2.6. Dải biểu diễn số nguyên có dấu, n bit trong máy tính là:

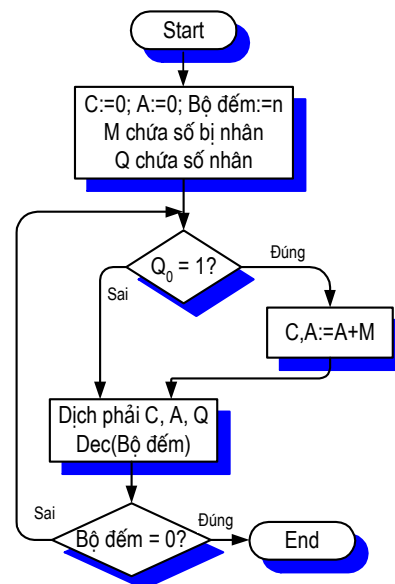
a. $-2(n-1) \rightarrow 2(n-1)$

b. $-2.n - 1 \rightarrow 2.n + 1$

c. $-2^{n-1} - 1 \rightarrow 2^{n-1} - 1$

d. $-2^{n-1} \rightarrow 2^{n-1} - 1$

2.7. Sơ đồ dưới đây là thuật toán thực hiện:



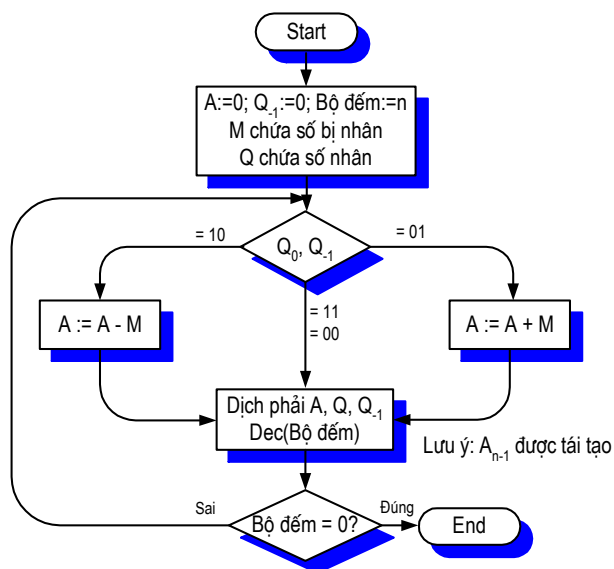
a. Phép chia số nguyên không dấu

b. Phép nhân số nguyên không dấu

c. Phép nhân số nguyên có dấu

d. Phép chia số nguyên có dấu

2.8. Sơ đồ dưới đây là thuật toán thực hiện:



- a. Phép nhân số nguyên không dấu
- b. Phép nhân số nguyên có dấu**
- c. Phép chia số nguyên không dấu
- d. Phép chia số nguyên có dấu

2.9. Đối với số nguyên có dấu, 8 bit, dùng phương pháp “Dấu và độ lớn”, giá trị biểu diễn số - 60 là:

- a. 0000 1101
- c. 1011 1100**
- b. 0000 1010
- d. 1100 1101

2.10. Đối với số nguyên có dấu, 8 bit, dùng phương pháp “Dấu và độ lớn”, giá trị biểu diễn số - 256 là:

- a. 1100 1110
- b. 1010 1110
- c. 1100 1100
- d. Không thể biểu diễn**

2.11. Đối với số nguyên có dấu, 8 bit, dùng phương pháp “Mã bù 2”, giá trị biểu diễn số 101 là:

- a. 0110 0101**
- b. 0000 1100
- c. 0000 1110
- d. 0100 1010

2.12. Đối với số nguyên có dấu, 8 bit, dùng phương pháp “Mã bù 2”, giá trị biểu diễn số - 29 là:

- a. 1000 0000 b.
- 1110 0011**
- c. 1111 0000 d.
- 1000 1111

2.13. Có biểu diễn “1110 0010” đối với số nguyên có dấu, 8 bit, dùng phương pháp “Dấu và độ lớn”, giá trị của nó là:

- a. 136
- b. 30
- c. - 30**
- d. - 136

2.14. Có biểu diễn “1100 1000” đối với số nguyên có dấu, 8 bit, dùng phương pháp “Mã bù 2”, giá trị của nó là:

- a. Không tồn tại b. - 56
- c. 56
- d. 200

2.15. Bảng dưới đây mô tả quá trình thực hiện phép tính:

A	Q	Q ₋₁	M	
0000	0011	0	1001	Giá trị khởi tạo
0111	0011	0	1001	$A \leftarrow A - M$
0011	1001	1	1001	SHR A, Q, Q ₋₁
0001	1100	1	1001	SHR A, Q, Q ₋₁
1010	1100	1	1001	$A \leftarrow A + M$
1101	0110	0	1001	SHR A, Q, Q ₋₁
1110	1011	1	1001	SHR A, Q, Q ₋₁

- a. $3 \times 9 = 27$
- b. $15 \times 9 = 135$
- c. $(-7) \times 3 = -21$**
- d. $5 \times 27 = 135$

2.16. Có biểu diễn “0000 0000 0010 0101” (dùng mã bù 2, có dấu), giá trị của chúng là:

- a. -37
c. - 21

- b. 37
d. 21

2.17. Bảng dưới đây mô tả quá trình thực hiện phép tính:

A	Q	M = 0011
1111	0101	Khởi tạo giá trị (số chia và bị chia khác dấu)
1110	1010	Dịch trái 1 bit A, Q
0001		M khác dấu A $\rightarrow A := A + M$
1110	1010	A khác dấu sau khi cộng $\rightarrow Q_0 = 0$ và phục hồi A
1101	0100	Dịch trái 1 bit A, Q
0000		M khác dấu A $\rightarrow A := A + M$
1101	0100	A khác dấu sau khi cộng $\rightarrow Q_0 = 0$ và phục hồi A
1010	1000	Dịch trái 1 bit A, Q
1101		M khác dấu A $\rightarrow A := A + M$
1101	1001	A cùng dấu sau khi cộng $\rightarrow Q_0 = 1$
1011	0010	Dịch trái 1 bit A, Q
1110		M khác dấu A $\rightarrow A := A + M$
1110	0011	A cùng dấu sau khi cộng $\rightarrow Q_0=1$.

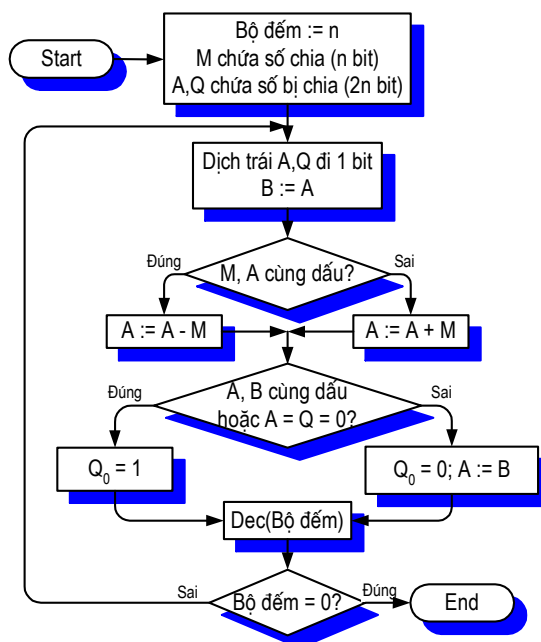
a. $245 : 3 = 81$, dư 2

c. $11 : 3 = 3$, dư 2

b. $59 : 15 = 3$, dư 14

d. $(-11) : 3 = (-3)$, dư (-2)

2.18. Sơ đồ dưới đây là thuật toán thực hiện:



a. Phép nhân số nguyên không dấu

- b. Phép nhân số nguyên có dấu
- c. Phép chia số nguyên không dấu
- d. Phép chia số nguyên có dấu**

2.19. Bảng dưới đây mô tả quá trình thực hiện phép tính:

C	A	Q	M	
0	0000	1011	1100	Giá trị khởi tạo
0	1100	1011	1100	C, $A \leftarrow A+M$
0	0110	0101	1100	SHR C, A, Q
1	0010	0101	1100	C, $A \leftarrow A+M$
0	1001	0010	1100	SHR C, A, Q
0	0100	1001	1100	SHR C, A, Q
1	0000	1001	1100	C, $A \leftarrow A+M$
0	1000	0100	1100	SHR C, A, Q

a. $4 \times 19 = 76$

b. $11 \times 12 = 132$

c. $-4 \times 31 = -124$

d. $6 \times 22 = 132$

2.20. Đối với các số 8 bit, không dấu. Hãy cho biết kết quả khi thực hiện phép cộng: $0100\ 0111 + 0101\ 1111$:

a. 146

166

c. 176

156

b.

d.

2.21. Đối với các số không dấu, phép cộng trên máy tính cho kết quả sai khi:

a. Cộng hai số dương, cho kết quả âm

b. Cộng hai số âm, cho kết quả dương

c. Có nhớ ra khỏi bit cao nhất

d. Cả a và b

2.22. Đối với các số có dấu, phép cộng trên máy tính cho kết quả sai khi:

a. Cộng hai số dương, cho kết quả âm

b. Cộng hai số âm, cho kết quả dương

c. Có nhớ ra khỏi bit cao nhất

d. Cả a và b

2.23. Đối với số có dấu, phát biểu nào sau đây là sai:

a. Cộng hai số cùng dấu, tổng luôn đúng

b. Cộng hai số khác dấu, tổng luôn đúng

c. Cộng hai số cùng dấu, nếu tổng có cùng dấu thì tổng đúng

d. Cộng hai số cùng dấu, nếu tổng khác dấu thì tổng sai

2.24. Đối với số không dấu, phát biểu nào sau đây là đúng:

- a. Khi thực hiện phép cộng, tổng luôn đúng
- b. Khi cộng hai số cùng dấu, cho tổng khác dấu
- c. Khi cộng có nhớ ra khỏi bit cao nhất, tổng không sai
- d. Khi cộng không nhớ ra khỏi bit cao nhất, tổng đúng

2.25. Đối với số không dấu, 8 bit, xét phép cộng: $240 + 27$. Phát biểu nào sau đây là đúng:

- a. Tổng là 267
- b. Tổng là 11
- c. Không cho kết quả, vì tràn số
- d. Cả a và b đều sai

2.26. Đối với số có dấu, 8 bit, xét phép cộng: $(-39) + (-42)$. Phát biểu nào sau đây là đúng:

- a. Không cho kết quả, vì tràn số
- b. Không cho kết quả, vì có nhớ ra khỏi bit cao nhất
- c. Tổng là -81
- d. Tổng là 81

2.27. Đối với số có dấu, 8 bit, xét phép cộng: $(-73) + (-86)$. Phát biểu nào sau đây là đúng:

- a. Không cho kết quả, vì tràn số
- b. Không cho kết quả, vì có nhớ ra khỏi bit cao nhất
- c. Tổng là 97
- d. Tổng là -159

2.28. Đối với số có dấu, 8 bit, xét phép cộng: $91 + 63$. Phát biểu nào sau đây là đúng:

- a. Không cho kết quả, vì tràn số
- b. Kết quả sai, vì có nhớ ra khỏi bit cao nhất
- c. Tổng là 154
- d. Tổng là -102

2.29. Một số thực X bất kỳ, có thể biểu diễn dưới dạng tổng quát như sau:

- a. $X = (-1).S . M . R^E$
- b. $X = (-1)^S . M . R.E$
- c. $X = (-1)^S . M . R^E$
- d. $X = (-1)^{S.M} . R.E$

2.30. Cho hai số thực X_1 và X_2 biểu diễn dưới dạng tổng quát. Biểu diễn nào sau đây là đúng đối với phép nhân ($X_1 . X_2$):

- a. $X_1 . X_2 = (-1)^{S_1 . S_2} . (M_1.M_2) . R^{E_1 . E_2}$
- b. $X_1 . X_2 = (-1)^{S_1 \oplus S_2} . (M_1.M_2) . R^{E_1 . E_2}$
- c. $X_1 . X_2 = (-1)^{S_1 + S_2} . (M_1.M_2) . R^{E_1 + E_2}$

d. $X1 \cdot X2 = (-1)^{S1 \oplus S2} \cdot (M1/M2) \cdot R^{E1 + E2}$

2.31. . Cho hai số thực X1 và X2 biểu diễn dưới dạng tổng quát. Biểu diễn nào sau đây là đúng đối với phép chia (X1 / X2):

a. $X1 \cdot X2 = (-1)^{S1/S2} \cdot (M1/M2) \cdot R^{E1 - E2}$

b. $X1 \cdot X2 = (-1)^{S1 \oplus S2} \cdot (M1/M2) \cdot R^{E1 - E2}$

c. $X1 \cdot X2 = (-1)^{S1 \oplus S2} \cdot (M1/M2) \cdot R^{E1 + E2}$

d. $X1 \cdot X2 = (-1)^{S1/S2} \cdot (M1/M2) \cdot R^{E1 + E2}$

2.32. Đối với chuẩn IEEE 754/85 về biểu diễn số thực, phát biểu nào sau đây là sai:

a. Có tất cả 3 dạng biểu diễn

b. Các dạng biểu diễn đều dùng cơ số 2

c. Các dạng biểu diễn đều dùng cơ số 10

d. Có một dạng dùng 64 bit để biểu diễn

2.33. Đối với chuẩn IEEE 754/85 về biểu diễn số thực, có các dạng sau:

a. Single, Double, Real

b. Single, Double-Extended, Comp

c. Single, Double-Extended, Double

d. Double-Extended, Comp, Double

2.34. Trong chuẩn IEEE 754/85, dạng đơn (single) có độ dài:

a. 16 bit

b.

128 bit

c. 32 bit

d. 64

bit

2.35. Trong chuẩn IEEE 754/85, dạng kép (double) có độ dài:

a. 64 bit

b. 80

bit

c. 32 bit

d.

128 bit

2.36. Trong chuẩn IEEE 754/85, dạng kép mở rộng (double-extended) có độ dài:

a. 128 bit

b. 80

bit

c. 32 bit

d. 64

bit

2.37. Đối với dạng đơn (trong chuẩn IEEE 754/85), các bit dành cho các trường (S + E + M) là:

a. 1 + 9 + 22

b. 1 + 8 +

23

20 c. 1 + 10 + 21

d. 1 + 11 +

2.38. Đối với dạng kép (trong chuẩn IEEE 754/85), các bit dành cho các trường (S + E + M) là:

64 a. 1 + 10 + 52
48 c. 1 + 11 + 52

b. 1 + 11 +

d. 1 + 15 +

2.39. Đối với dạng kép mở rộng (trong chuẩn IEEE 754/85), các bit dành cho các trường (S + E + M) là:

62 a. 1 + 15 + 64
65 c. 1 + 10 + 64

b. 1 + 17 +

d. 1 + 14 +

2.40. Dạng biểu diễn IEEE 754/85 của số thực 73,625 là:

a. 42 39 40 00 H
c. 24 93 40 00 H

b. 42 93 40 00 H
d. 42 39 04 00 H

2.41. Dạng biểu diễn IEEE 754/85 của số thực - 53,125 là:

a. 2C E0 A0 00 H
c. C2 54 80 00 H

b. C2 00 A0 00 H
d. C2 00 80 00 H

2.42. Dạng biểu diễn IEEE 754/85 của số thực 101,25 là:

a. 42 CA 80 00 H
c. 24 AC 00 00 H

b. 42 CA 00 00 H
d. 24 00 80 00 H

2.43. Dạng biểu diễn IEEE 754/85 của số thực - 119,5 là:

a. 2C 00 00 00 H
c. C2 E0 00 00 H

b. 2C EF 00 00 H
d. C2 EF 00 00 H

2.44. Cho biểu diễn dưới dạng IEEE 754/85 như sau: C2 82 80 00 H. Giá trị thập phân của nó là:

a. - 65,25
c. - 65,52

b. - 56,25
d. - 56,52

2.45. Cho biểu diễn dưới dạng IEEE 754/85 như sau: C2 BF 00 00 H. Giá trị thập phân của nó là:

a. - 95,25
c. - 59,5

b. - 95,5
d. - 59,25

2.46. Cho biểu diễn dưới dạng IEEE 754/85 như sau: 42 15 00 00 H. Giá trị thập phân của nó là:

a. 37,52
c. 37,25

b. 73,25
d. 73,52

Trang 14/53

2.47. Cho biểu diễn dưới dạng IEEE 754/85 như sau: 42 22 80 00 H. Giá trị thập phân của nó là:

- a. - 40,25
- b. 40,25
- c. - 40,625
- d. 40,625

2.48. Với bộ mã Unicode để mã hoá ký tự, phát biểu nào sau đây là sai:

- a. Là bộ mã 16 bit
- b. Là bộ mã đa ngôn ngữ
- c. Chỉ mã hoá được 256 ký tự
- d. Có hỗ trợ các ký tự tiếng Việt

2.49. Với bộ mã ASCII để mã hoá ký tự, phát biểu nào sau đây là sai:

- a. Do ANSI thiết kế
- b. Là bộ mã 8 bit
- c. Có chứa các ký tự điều khiển truyền tin
- d. Không hỗ trợ các ký tự điều khiển máy in

2.50. Với bộ mã ASCII, phát biểu nào sau đây là sai:

- a. Chứa các ký tự điều khiển màn hình
- b. Mã của các ký tự "&", "%", "@", "#" thuộc phần mã mở rộng
- c. Mã 30 H -> 39 H là mã của các chữ số
- d. Có chứa các ký tự kẻ khung

2.51. Theo chuẩn IEEE 754/85, số thực X biểu diễn dạng đơn (single) là:

- a. $X = (-1)^S \cdot 1, M \cdot R^E$
- b. $X = (-1)^S \cdot 1, M \cdot R \cdot (E - 127)$
- c. $X = (-1)^S \cdot 1, M \cdot R^{E - 127}$
- d. $X = (-1)^S \cdot 1, M \cdot E^{R - 127}$

2.52. Theo chuẩn IEEE 754/85, số thực X biểu diễn dạng kép (double) là:

- a. $X = (-1)^S \cdot 1, M \cdot R^E$
- b. $X = (-1)^S \cdot 1, M \cdot R \cdot (E - 1023)$
- c. $X = (-1)^S \cdot 1, M \cdot E^{R - 1023}$
- d. $X = (-1)^S \cdot 1, M \cdot R^{E - 1023}$

2.53. Theo chuẩn IEEE 754/85, số thực X biểu diễn dạng kép mở rộng (double-extended) là:

- a. $X = (-1)^S \cdot 1, M \cdot R^{E - 16383}$
- b. $X = (-1)^S \cdot 1, M \cdot R^E$
- c. $X = (-1)^S \cdot 1, M \cdot R \cdot (E - 16383)$
- d. $X = (-1)^S \cdot 1, M \cdot E^{R - 16383}$

2.54. Dạng biểu diễn IEEE 754/85 của số thực 31/64 là:

- a. E3 F8 00 00 H
- b. 3E F8 00 00 H

- c. 3E 8F 00 00 H
- d. E3 8F 00 00 H
- 2.55. Dạng biểu diễn IEEE 754/85 của số thực - 79/32 là:
- a. C0 1E 00 00 H
- b. 0C 1E 00 00 H
- c. C0 E1 00 00 H
- d. 0C E1 00 00 H
- 2.56. Cho số thực 81,25. Giá trị của nó ở hệ nhị phân là:
- a. 100101,10
- b. 1010001,01
- c. 100011,101
- d. 100010,011
- 2.57. Cho số thực 99,3125. Giá trị của nó ở hệ nhị phân là:
- a. 111011,1010
- b. 111011,0011
- c. 111010,0101
- d. 1100011,0101
- 2.58. Cho số thực 51/32. Giá trị của nó ở hệ nhị phân là:
- a. 1,01011
- b. 1,0110
- c. 1,10011
- d. 1,00111
- 2.59. Cho số thực 33/128. Giá trị của nó ở hệ nhị phân là:
- a. 0,0100001
- b. 0,1010101
- c. 0,1001100
- d. 0,0100011

CHƯƠNG 3. BỘ XỬ LÝ

- 3.1. Phát biểu nào dưới đây là sai:
- a. Bộ xử lý điều khiển hoạt động của máy tính
- b. Bộ xử lý hoạt động theo chương trình nằm sẵn trong bộ nhớ
- c. Bộ xử lý được cấu tạo bởi hai thành phần
- d. Bộ xử lý được cấu tạo bởi ba thành phần
- 3.2. Để thực hiện 1 lệnh, bộ xử lý phải trải qua:
- a. 8 công đoạn
- b. 7 công đoạn
- c. 6 công đoạn
- d. 5 công đoạn

3.3. Xét các công đoạn của bộ xử lý, thứ tự nào là đúng:

- a. Giải mã lệnh -> nhận dữ liệu -> xử lý dữ liệu -> ghi dữ liệu -> nhận lệnh
- b. Nhận lệnh -> giải mã lệnh -> nhận dữ liệu -> xử lý dữ liệu -> ghi dữ liệu
- c. Nhận lệnh -> nhận dữ liệu -> giải mã lệnh -> xử lý dữ liệu -> ghi dữ liệu
- d. Nhận dữ liệu -> xử lý dữ liệu -> nhận lệnh -> giải mã lệnh -> ghi dữ liệu

3.4. Với công đoạn nhận lệnh của CPU, thứ tự thực hiện là:

- a. Bộ đếm chương trình -> Bộ nhớ -> thanh ghi lệnh
- b. Bộ nhớ -> Bộ đếm chương trình -> thanh ghi lệnh
- c. Bộ nhớ -> thanh ghi lệnh -> bộ đếm chương trình
- d. Bộ đếm chương trình -> thanh ghi lệnh -> bộ nhớ

3.5. Với công đoạn giải mã lệnh của CPU, thứ tự thực hiện là:

- a. Thanh ghi lệnh -> giải mã -> khối điều khiển -> tín hiệu điều khiển
- b. Thanh ghi lệnh -> khối điều khiển -> tín hiệu điều khiển -> giải mã
- c. Khối điều khiển -> thanh ghi lệnh -> giải mã -> tín hiệu điều khiển
- d. Thanh ghi lệnh -> khối điều khiển -> giải mã -> tín hiệu điều khiển

3.6. Với công đoạn nhận dữ liệu của CPU, thứ tự thực hiện là:

- a. Địa chỉ -> tập thanh ghi -> ngăn nhớ
- b. Địa chỉ -> ngăn nhớ -> tập thanh ghi
- c. Tập thanh ghi -> địa chỉ -> ngăn nhớ
- d. Ngăn nhớ -> tập thanh ghi -> địa chỉ

3.7. Với công đoạn xử lý dữ liệu của CPU, thứ tự thực hiện là:

- a. Thực hiện phép toán -> ALU -> thanh ghi dữ liệu
- b. Thực hiện phép toán -> thanh ghi dữ liệu -> ALU
- c. ALU -> thực hiện phép toán -> thanh ghi dữ liệu
- d. ALU -> thanh ghi dữ liệu -> thực hiện phép toán

3.8. Với công đoạn ghi dữ liệu của CPU, thứ tự thực hiện là:

- a. Địa chỉ -> tập thanh ghi -> ngăn nhớ
- b. Địa chỉ -> ngăn nhớ -> tập thanh ghi
- c. Tập thanh ghi -> địa chỉ -> ngăn nhớ
- d. Tập thanh ghi -> ngăn nhớ -> địa chỉ

3.9. Bộ xử lý nhận lệnh tại:

- a. Bộ nhớ hoặc thiết bị ngoại vi

- b. Bộ nhớ
- c. Thiết bị ngoại vi
- d. CPU

3.10. Bộ xử lý nhận dữ liệu tại:

- a. Bộ nhớ hoặc thiết bị ngoại vi
- b. Bộ nhớ
- c. Thiết bị ngoại vi
- d. CPU

3.11. Đối với nhiệm vụ của khối điều khiển (trong CPU), phát biểu nào sau đây là sai:

- a. Điều khiển nhận lệnh tiếp theo từ bộ nhớ, đưa vào thanh ghi lệnh
- b. Tăng nội dung của PC để trở vào lệnh tiếp theo
- c. Vận chuyển lệnh từ thanh ghi ra bộ nhớ
- d. Phát ra các tín hiệu điều khiển thực hiện lệnh

3.12. Đối với khối điều khiển (trong CPU), phát biểu nào sau đây là sai:

- a. Điều khiển các tín hiệu bên trong và bên ngoài bộ xử lý
- b. Điều khiển các thanh ghi và ALU
- c. Điều khiển bộ nhớ và modul vào ra
- d. Chỉ điều khiển các thanh ghi và ALU

3.13. Đối với khối ALU (trong CPU), phát biểu nào sau đây là đúng:

- a. Thực hiện các phép toán số học
- b. Thực hiện các phép toán logic
- c. Cả a và b
- d. Không thực hiện phép quay bit

3.14. Đối với các thanh ghi (trong CPU), phát biểu nào sau đây là sai:

- a. Chứa các thông tin tạm thời
- b. Là mức đầu tiên của hệ thống nhớ
- c. Nằm trong bộ xử lý
- d. Người lập trình có thể thay đổi nội dung của mọi thanh ghi

3.15. Đối với các thanh ghi địa chỉ (trong CPU), phát biểu nào sau đây là đúng:

- a. Có tất cả 2 loại
- b. Có ít nhất 3 loại
- c. Có nhiều hơn 4 loại
- d. Chỉ có 1 loại

3.16. Đối với các thanh ghi địa chỉ (trong CPU), phát biểu nào sau đây là sai:

- a. Bộ đếm chương trình quản lý địa chỉ vùng lệnh
- b. Vùng dữ liệu được quản lý bởi thanh ghi con trỏ dữ liệu
- c. Vùng lệnh không cần thanh ghi quản lý
- d. Con trỏ ngăn xếp chứa địa chỉ ngăn xếp

3.17. Đối với ngăn xếp (stack), phát biểu nào sau đây là sai:

- a. Là vùng nhớ có cấu trúc FIFO
- b. Là vùng nhớ có cấu trúc LIFO
- c. Con trỏ ngăn xếp luôn trỏ vào đỉnh ngăn xếp
- d. Khi cất thêm thông tin vào ngăn xếp, con trỏ ngăn xếp giảm

3.18. Phát biểu nào sau đây là sai:

- a. Thanh ghi trạng thái còn gọi là thanh ghi cờ
- b. Thanh ghi trạng thái chứa các trạng thái xử lý
- c. Có hai loại cờ
- d. Chỉ có một loại cờ

3.19. Đối với khối điều khiển trong CPU, phát biểu nào sau đây là đúng:

- a. Tiếp nhận tín hiệu từ CPU đến
- b. Không tiếp nhận tín hiệu từ TBNV
- c. Giải mã lệnh được chuyển từ thanh ghi trạng thái đến
- d. Giải mã lệnh được chuyển từ thanh ghi lệnh đến

3.20. Xét các tín hiệu điều khiển bên trong CPU, phát biểu nào sau đây là đúng:

- a. Điều khiển chuyển dữ liệu từ bộ nhớ ra TBNV
- b. Điều khiển chuyển dữ liệu từ thanh ghi vào ALU
- c. Điều khiển chuyển dữ liệu từ ALU ra bộ nhớ
- d. Điều khiển chuyển dữ liệu từ CPU vào ALU

3.21. Xét các tín hiệu điều khiển bên trong CPU, phát biểu nào sau đây là sai:

- a. Điều khiển chuyển dữ liệu từ CPU ra thanh ghi
- b. Điều khiển chuyển dữ liệu từ thanh ghi vào ALU
- c. Điều khiển chuyển dữ liệu từ ALU ra thanh ghi
- d. Điều khiển ALU thực hiện lệnh

3.22. Xét các tín hiệu điều khiển từ CPU ra bus hệ thống, phát biểu nào sau đây là đúng:

- a. Điều khiển đọc dữ liệu từ ALU
- b. Điều khiển đọc/ghi ngăn nhớ
- c. Điều khiển chuyển dữ liệu từ ALU vào thanh ghi

d. Điều khiển ghi dữ liệu vào ALU

3.23. Xét các tín hiệu điều khiển từ CPU ra bus hệ thống, phát biểu nào sau đây là **sai**:

- a. Điều khiển đọc/ghi cổng vào/ra
- b. Điều khiển đọc/ghi ngăn nhớ
- c. Điều khiển ghi dữ liệu vào các thanh ghi
- d. Xử lý các tín hiệu từ bên ngoài gửi đến

3.24. Xét các tín hiệu điều khiển từ bus hệ thống đến CPU, phát biểu nào sau đây là **đúng**:

- a. Tín hiệu điều khiển ghi ngăn nhớ
- b. Tín hiệu điều khiển đọc ngăn nhớ
- c. Tín hiệu xin ngắt
- d. Tín hiệu chấp nhận ngắt

3.25. Xét các tín hiệu điều khiển từ bus hệ thống đến CPU, phát biểu nào sau đây là **sai**:

- a. Tín hiệu xin nhường bus
- b. Không phải là tín hiệu điều khiển đọc ngăn nhớ
- c. Tín hiệu xin ngắt
- d. Tín hiệu trả lời đồng ý nhường bus

3.26. Đối với khối ALU (trong CPU), phát biểu nào sau đây là **sai**:

- a. Thực hiện phép dịch bit
- b. Thực hiện phép so sánh hai đại lượng
- c. Thực hiện phép lấy căn bậc hai
- d. Thực hiện phép cộng và trừ

3.27. Đối với các thanh ghi (trong CPU), phát biểu nào sau đây là **đúng**:

- a. Có loại thanh ghi không lập trình được
- b. Mọi thanh ghi đều có thể lập trình được
- c. Chứa lệnh vừa được xử lý xong
- d. Chứa trạng thái của các TBNV

3.28. Đối với thanh ghi trạng thái (trong CPU), phát biểu nào sau đây là **đúng**:

- a. Không chứa các cờ phép toán
- b. Chỉ chứa các cờ phép toán
- c. Chứa các cờ điều khiển
- d. Không chứa các cờ điều khiển

3.29. Đối với cờ carry (CF), phát biểu nào sau đây là **đúng**:

- a. Được thiết lập khi phép toán có nhớ ra khỏi bit cao nhất
- b. Được thiết lập khi phép toán không nhớ ra khỏi bit cao nhất
- c. Không được thiết lập khi phép toán có nhớ ra khỏi bit cao nhất
- d. Đây là cờ báo tràn đối với số có dấu

3.30. Đối với cờ carry (CF), phát biểu nào sau đây là sai:

- a. Được thiết lập khi phép toán có nhớ ra khỏi bit cao nhất
- b. Không được thiết lập khi phép toán không nhớ ra khỏi bit cao nhất
- c. Đây là cờ báo tràn đối với số không dấu
- d. Đây là cờ báo tràn đối với số có dấu

3.31. Đối với cờ overflow (OF), phát biểu nào sau đây là đúng:

- a. Được thiết lập khi cộng hai số khác dấu cho kết quả âm
- b. Được thiết lập khi cộng hai số cùng dấu cho kết quả khác dấu
- c. Được thiết lập khi cộng hai số cùng dấu cho kết quả cùng dấu
- d. Đây là cờ báo tràn đối với số không dấu

3.32. Đối với cờ overflow (OF), phát biểu nào sau đây là sai:

- a. Không được thiết lập khi cộng hai số khác dấu cho kết quả âm
- b. Được thiết lập khi cộng hai số cùng dấu cho kết quả khác dấu
- c. Được thiết lập khi cộng hai số cùng dấu cho kết quả cùng dấu
- d. Đây là cờ báo tràn đối với số có dấu

CHƯƠNG 4. KIẾN TRÚC TẬP LỆNH

4.1. Có tất cả:

- a. 9 mode địa chỉ
- b. 8 mode địa chỉ
- c. 7 mode địa chỉ
- d. 6 mode địa chỉ

4.2. Mode địa chỉ tức thì là mode không có đặc điểm sau:

- a. Toán hạng là một phần của lệnh
- b. Toán hạng nằm ngay trong trường địa chỉ
- c. Toán hạng có thể là toán hạng nguồn hoặc đích
- d. Toán hạng chỉ có thể là toán hạng nguồn

4.3. Cho lệnh assembly: ADD BX, 10. Toán hạng nguồn thuộc:

- a. Mode địa chỉ trực tiếp
- b. Mode địa chỉ gián tiếp

- c. Không tồn tại lệnh
- d. Mode địa chỉ tức thì

4.4. Cho lệnh assembly: SUB 100, CX. Toán hạng nguồn thuộc:

- a. Mode địa chỉ trực tiếp
- b. Không tồn tại lệnh
- c. Mode địa chỉ hằng số
- d. Mode địa chỉ tức thì

4.5. Mode địa chỉ trực tiếp là mode mà toán hạng là:

- a. Một ngăn nhớ có địa chỉ được chỉ ra trong lệnh
- b. Một ngăn nhớ có địa chỉ ở ngăn nhớ khác
- c. Một thanh ghi
- d. Một ngăn nhớ có địa chỉ nằm trong một thanh ghi

4.6. Cho lệnh assembly: MOV DX, [20]. Toán hạng nguồn thuộc:

- a. Mode địa chỉ trực tiếp
- b. Không tồn tại lệnh
- c. Mode địa chỉ hằng số
- d. Mode địa chỉ tức thì

4.7. Cho lệnh assembly: SUB BX, [30]. Toán hạng nguồn thuộc:

- a. Không tồn tại lệnh
- b. Mode địa chỉ gián tiếp
- b. Mode địa chỉ tức thì
- d. Mode địa chỉ trực tiếp

4.8. Mode địa chỉ gián tiếp là mode mà toán hạng là:

- a. Một ngăn nhớ có địa chỉ được chỉ ra trong lệnh
- b. Một ngăn nhớ có địa chỉ nằm trong ngăn nhớ khác
- c. Một thanh ghi có địa chỉ nằm trong một ngăn nhớ
- d. Một ngăn nhớ có địa chỉ nằm trong một thanh ghi

4.9. Mode địa chỉ thanh ghi là mode mà toán hạng là:

- a. Nội dung của ngăn nhớ có địa chỉ được chỉ ra trong lệnh
- b. Nội dung của ngăn nhớ có địa chỉ nằm trong ngăn nhớ khác
- c. Nội dung của thanh ghi
- d. Nội dung của ngăn nhớ có địa chỉ nằm trong một thanh ghi

4.10. Cho lệnh assembly: ADD AX, CX. Mode địa chỉ của toán nguồn là:

- a. Tức thì
- b. Trực tiếp
- c. Gián tiếp qua thanh ghi
- d. Thanh ghi

4.11. Cho lệnh assembly: SUB CX, [90]. Phát biểu nào sau đây là sai:

- a. Toán hạng đích là mode địa chỉ thanh ghi
 - b. Toán hạng nguồn là mode địa chỉ trực tiếp
 - c. Toán hạng nguồn là một ngăn nhớ
 - d. Toán hạng nguồn là mode gián tiếp qua thanh ghi
- 4.12. Đối với mode địa chỉ gián tiếp qua thanh ghi, phát biểu nào sau đây là sai:
- a. Toán hạng là một thanh ghi có địa chỉ nằm trong một ngăn nhớ
 - b. Toán hạng là một ngăn nhớ có địa chỉ nằm trong một thanh ghi
 - c. Toán hạng là nội dung một ngăn nhớ
 - d. Thanh ghi tham gia gọi là thanh ghi con trỏ
- 4.13. Cho lệnh assembly: MOV DX, [BP]. Mode địa chỉ của toán hạng nguồn là:
- a. Thanh ghi
 - b. Gián tiếp
 - c. Gián tiếp qua thanh ghi
 - d. Trực tiếp
- 4.14. Đối với mode địa chỉ dịch chuyển, phát biểu nào sau đây là sai:
- a. Là sự kết hợp: mode gián tiếp qua thanh ghi và mode tức thì
 - b. Có sự tham gia của mode địa chỉ trực tiếp
 - c. Địa chỉ toán hạng gồm: nội dung thanh ghi + hằng số
 - d. Có sự tham gia của mode địa chỉ gián tiếp qua thanh ghi
- 4.15. Cho lệnh assembly: SUB AX, [CX] + 50. Mode địa chỉ của toán hạng nguồn là:
- a. Dịch chuyển
 - b. Không tồn tại
 - c. Thanh ghi
 - d. Gián tiếp qua thanh ghi
- 4.16. Mode địa chỉ ngăn xếp là mode:
- a. Toán hạng được ngầm hiểu
 - b. Toán hạng là ngăn nhớ đỉnh ngăn xếp
 - c. Cả a và b đều sai
 - d. Cả a và b đều đúng
- 4.17. Cho lệnh assembly: POP BX. Phát biểu nào sau đây là đúng:
- a. Đây là mode địa chỉ thanh ghi
 - b. Đây là mode địa chỉ gián tiếp qua thanh ghi
 - c. Đây là mode địa chỉ ngăn xếp
 - d. Cả a và b đều đúng
- 4.18. Mode địa chỉ tức thì là mode:
- a. Toán hạng là hằng số nằm ngay trong lệnh
 - b. Toán hạng là hằng số nằm trong một ngăn nhớ

- c. Toán hạng là hằng số nằm trong một thanh ghi
 - d. Cả b và c đều đúng
- 4.19. Đối với mode địa chỉ trực tiếp, phát biểu nào sau đây là sai:
- a. Toán hạng là nội dung của ngăn nhớ có địa chỉ được chỉ ra trong lệnh
 - b. Toán hạng là nội dung của ngăn nhớ
 - c. Để tìm được toán hạng, phải biết địa chỉ ngăn nhớ
 - d. Để tìm được toán hạng, phải biết địa chỉ thanh ghi
- 4.20. Đối với mode địa chỉ gián tiếp, phát biểu nào sau đây là sai:
- a. Toán hạng là nội dung của ngăn nhớ
 - b. Toán hạng là nội dung của thanh ghi
 - c. Có thể gián tiếp nhiều lần
 - d. Tốc độ xử lý chậm
- 4.21. Đối với mode địa chỉ thanh ghi, phát biểu nào sau đây là sai:
- a. Toán hạng là nội dung ngăn nhớ có địa chỉ nằm trong thanh ghi
 - b. Toán hạng là nội dung của thanh ghi
 - c. Không tham chiếu bộ nhớ
 - d. Cả b và c đều đúng
- 4.22. Đối với mode địa chỉ gián tiếp qua thanh ghi, phát biểu nào sau đây là đúng:
- a. Toán hạng là một thanh ghi có địa chỉ nằm trong một ngăn nhớ
 - b. Toán hạng là một ngăn nhớ có địa chỉ nằm trong một thanh ghi
 - c. Toán hạng không phải là nội dung một ngăn nhớ
 - d. Thanh ghi tham gia gọi là bộ đếm chương trình
- 4.23. Đối với mode địa chỉ dịch chuyển, phát biểu nào sau đây là đúng:
- a. Là sự kết hợp: mode gián tiếp qua thanh ghi và mode trực tiếp
 - b. Có sự tham gia của mode địa chỉ tức thì
 - c. Địa chỉ toán hạng không phải là: nội dung thanh ghi + hằng số
 - d. Có sự tham gia của mode địa chỉ thanh ghi
- 4.24. Đối với mode địa chỉ ngăn xếp, phát biểu nào sau đây là sai:
- a. Toán hạng được ngầm hiểu
 - b. Toán hạng là ngăn nhớ đỉnh ngăn xếp
 - c. Cả a và b đều sai
 - d. Cả a và b đều đúng
- 4.25. Đối với lệnh mã máy, phát biểu nào sau đây là sai:
- a. Có 2 thành phần: mã lệnh và các toán hạng
 - b. Mã lệnh cho biết thao tác cần thực hiện
 - c. Toán hạng cho biết thao tác cần thực hiện
 - d. Toán hạng cho biết nơi chứa dữ liệu cần tác động

4.26. Trong một lệnh mã máy, phát biểu nào sau đây là đúng:

- a. Có thể có nhiều mã lệnh
- b. Không tồn tại lệnh không có toán hạng
- c. Toán hạng là duy nhất
- d. Có thể có nhiều toán hạng

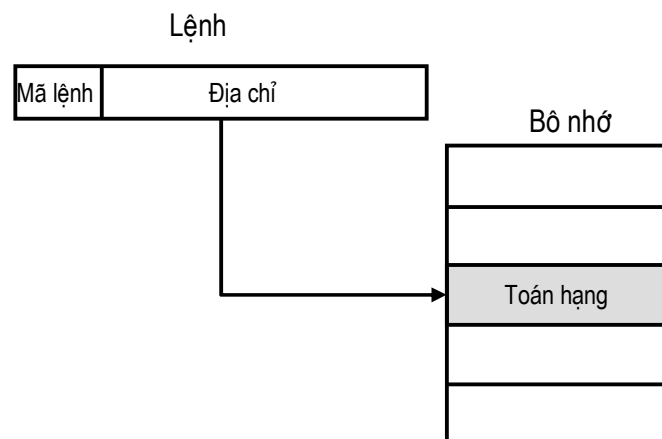
4.27. Đối với lệnh mã máy, số lượng toán hạng có thể là:

- a. 1, 2, 3 toán hạng
- b. 0, 1, 2, toán hạng
- c. 2, 3, 4 toán hạng
- d. Cả a và b đều đúng

4.28. Đối với lệnh mã máy, toán hạng không thể là:

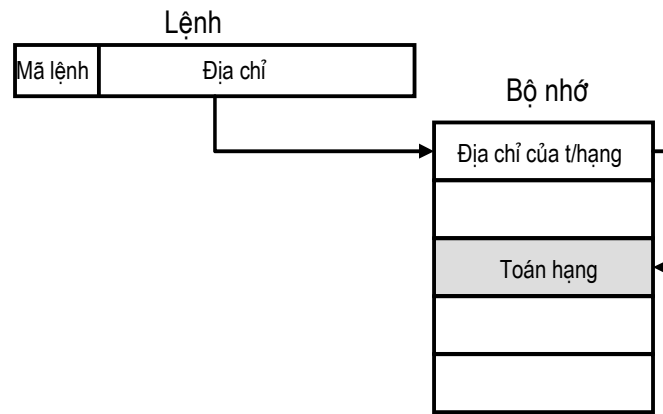
- a. Một hằng số
- b. Nội dung của thanh ghi
- c. Nội dung của ngăn nhớ
- d. Nội dung của thanh ghi có địa chỉ nằm trong một ngăn nhớ

4.29. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



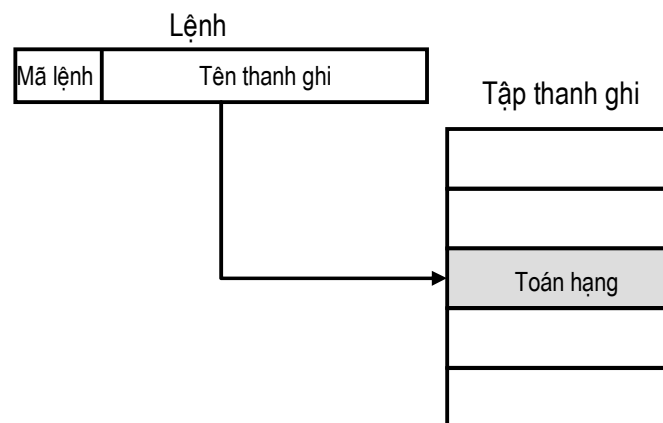
- a. Trực tiếp
- b. Túc thì
- c. Gián tiếp qua thanh ghi
- d. Không tồn tại

4.30. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



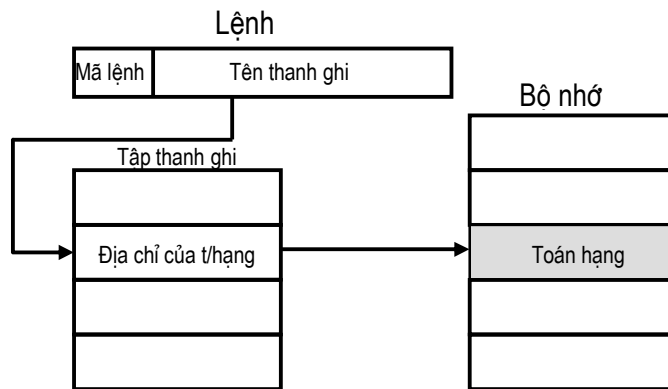
- a. Không tồn tại
- b. Gián tiếp**
- c. Thanh ghi
- d. Trực tiếp

4.31. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



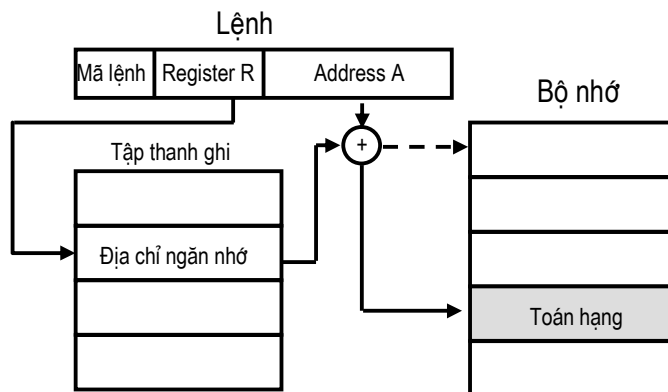
- a. Gián tiếp
- b. Thanh ghi**
- c. Không tồn tại
- d. Gián tiếp qua thanh ghi

4.32. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



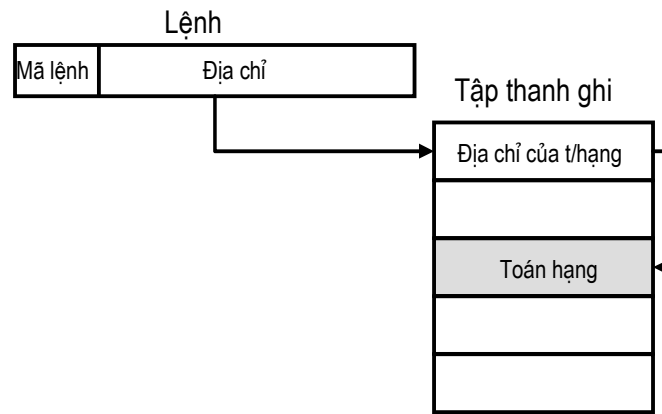
- a. Tức thì
- b. Dịch chuyển
- c. Gián tiếp qua thanh ghi
- d. Không tồn tại

4.33. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



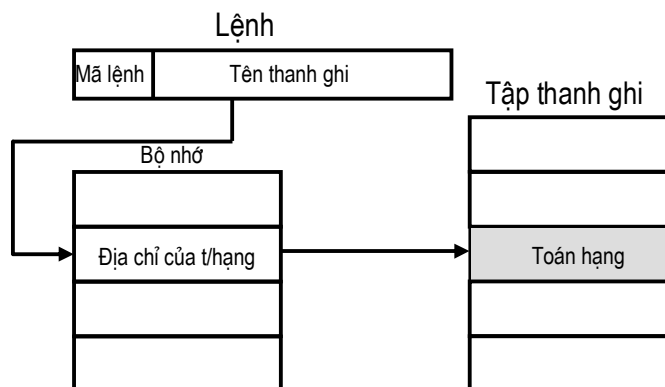
- a. Không tồn tại
- b. Trực tiếp
- c. Gián tiếp qua thanh ghi
- d. Dịch chuyển

4.34. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



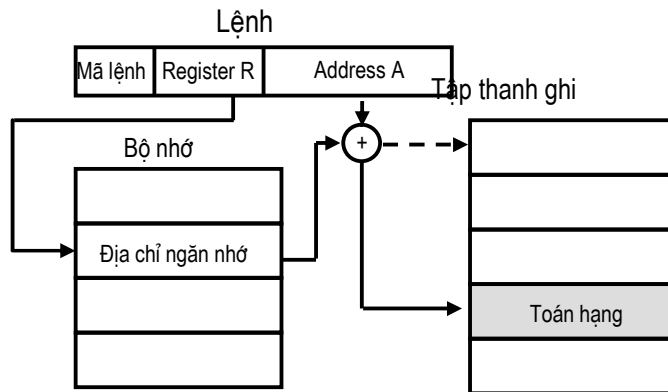
- a. Không tồn tại
- b. Gián tiếp qua thanh ghi
- c. Trực tiếp
- d. Gián tiếp

4.35. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



- a. Gián tiếp qua ngăn nhớ
- b. Không tồn tại
- c. Gián tiếp qua thanh ghi
- d. Trực tiếp

4.36. Hình vẽ sau là sơ đồ hoạt động của mode địa chỉ:



- a. Dịch chuyển
- b. Gián tiếp qua thanh ghi
- c. Trục tiếp
- d. Không tồn tại

4.37. Cho lệnh assembly: ADD CX, 20. Phát biểu nào sau đây là đúng:

- a. Toán hạng nguồn thuộc mode địa chỉ tức thì
- b. Toán hạng nguồn thuộc mode địa chỉ trực tiếp
- c. Toán hạng đích thuộc mode địa chỉ gián tiếp qua thanh ghi
- d. Toán hạng đích không thuộc mode địa chỉ thanh ghi

4.38. Cho lệnh assembly: SUB CX, 70. Phát biểu nào sau đây là sai:

- a. Toán hạng nguồn thuộc mode địa chỉ tức thì
- b. Toán hạng nguồn không thuộc mode địa chỉ trực tiếp
- c. Toán hạng đích không thuộc mode địa chỉ thanh ghi
- d. Toán hạng đích không thuộc mode địa chỉ gián tiếp

4.39. Cho lệnh assembly: ADD DX, [40]. Phát biểu nào sau đây là đúng:

- a. Toán hạng nguồn thuộc mode địa chỉ tức thì
- b. Toán hạng nguồn không thuộc mode địa chỉ trực tiếp
- c. Toán hạng đích không thuộc mode địa chỉ thanh ghi
- d. Toán hạng đích thuộc mode địa chỉ thanh ghi

4.40. Cho lệnh assembly: MOV BX, [80]. Phát biểu nào sau đây là sai:

- a. Toán hạng nguồn thuộc mode địa chỉ thanh ghi
- b. Toán hạng nguồn thuộc mode địa chỉ trực tiếp
- c. Toán hạng đích không thuộc mode địa chỉ dịch chuyển
- d. Toán hạng đích không thuộc mode địa chỉ trực tiếp

4.41. Cho lệnh assembly: SUB AX, [BX]. Phát biểu nào sau đây là sai:

- a. Toán hạng nguồn thuộc mode địa chỉ thanh ghi
- b. Toán hạng nguồn thuộc mode địa chỉ gián tiếp qua thanh ghi

- c. Toán hạng đích không thuộc mode địa chỉ dịch chuyển
 - d. Toán hạng đích không thuộc mode địa chỉ gián tiếp
- 4.42. Cho lệnh assembly: ADD AX, [BP]. Phát biểu nào sau đây là đúng:
- a. Toán hạng nguồn thuộc mode địa chỉ thanh ghi
 - b. Toán hạng nguồn thuộc mode địa chỉ gián tiếp qua thanh ghi**
 - c. Toán hạng đích không thuộc mode địa chỉ thanh ghi
 - d. Toán hạng đích thuộc mode địa chỉ gián tiếp qua thanh ghi
- 4.43. Cho lệnh assembly: MOV AX, [BX]+50. Phát biểu nào sau đây là sai:
- a. Toán hạng nguồn thuộc mode địa chỉ dịch chuyển
 - b. Toán hạng đích không thuộc mode địa chỉ dịch chuyển
 - c. Toán hạng nguồn thuộc mode địa chỉ tức thì**
 - d. Toán hạng đích không thuộc mode địa chỉ gián tiếp
- 4.44. Cho lệnh assembly: ADD DX, [SI]+30. Phát biểu nào sau đây là đúng:
- a. Toán hạng nguồn thuộc mode địa chỉ dịch chuyển**
 - b. Toán hạng đích thuộc mode địa chỉ trực tiếp
 - c. Toán hạng nguồn thuộc mode địa chỉ tức thì
 - d. Toán hạng đích thuộc mode địa chỉ gián tiếp
- 4.45. Cho lệnh assembly: POP DX. Phát biểu nào sau đây là đúng:
- a. Không có toán hạng nguồn
 - b. Toán hạng đích thuộc mode địa chỉ trực tiếp
 - c. Toán hạng đích được ngầm hiểu
 - d. Toán hạng nguồn được ngầm hiểu**
- 4.46. Cho lệnh assembly: PUSH AX. Phát biểu nào sau đây là sai:
- a. Không có toán hạng nguồn**
 - b. Toán hạng đích được ngầm hiểu
 - c. Toán hạng nguồn thuộc mode địa chỉ thanh ghi
 - d. Toán hạng đích thuộc mode địa chỉ stack
- 4.47. Tất cả có các mode địa chỉ sau đây:
- a. Tức thì, gián tiếp, thanh ghi, ngăn xếp, gián tiếp qua ngăn xếp, ngăn nhớ, con trỏ
 - b. Gián tiếp, gián tiếp qua thanh ghi, trực tiếp, dịch chuyển, ngăn xếp, con trỏ, thanh ghi
 - c. Tức thì, gián tiếp, thanh ghi, dịch chuyển, ngăn xếp, trực tiếp, gián tiếp qua thanh ghi**
 - d. Tức thì, gián tiếp qua con trỏ, thanh ghi, ngăn xếp, dịch chuyển, con trỏ, ngăn nhớ
- 4.48. Xét lệnh LOAD. Lệnh này thuộc:

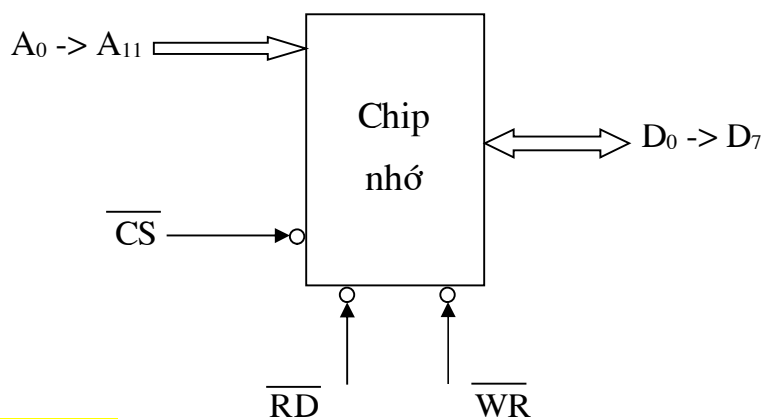
- a. Nhóm lệnh số học
 - b. Nhóm lệnh chuyển dữ liệu**
 - c. Nhóm lệnh chuyển điều khiển
 - d. Nhóm lệnh vào/ra
- 4.49. Xét lệnh INTERRUPT. Lệnh này thuộc:
- a. Nhóm lệnh số học
 - b. Nhóm lệnh chuyển dữ liệu
 - c. Nhóm lệnh chuyển điều khiển**
 - d. Nhóm lệnh vào/ra
- 4.50. Xét lệnh ABSOLUTE. Lệnh này thuộc:
- a. Nhóm lệnh số học**
 - b. Nhóm lệnh vào/ra
 - c. Nhóm lệnh điều khiển hệ thống
 - d. Nhóm lệnh logic
- 4.51. Xét lệnh ROTATE. Lệnh này thuộc:
- a. Nhóm lệnh chuyển điều khiển
 - b. Nhóm lệnh điều khiển hệ thống
 - c. Nhóm lệnh quan hệ
 - d. Nhóm lệnh logic**
- 4.52. Xét lệnh JUMP. Lệnh này thuộc:
- a. Nhóm lệnh chuyển điều khiển**
 - b. Nhóm lệnh quan hệ
 - c. Nhóm lệnh vào/ra
 - d. Nhóm lệnh số học

CHƯƠNG 5. HỆ THỐNG NHỚ

- 5.1. Đối với bộ nhớ ROM, phát biểu nào sau đây là **sai**:
- a. Có tất cả 5 loại ROM
 - b. Là loại bộ nhớ khả biến**
 - c. Là nơi chứa các chương trình hệ thống (BIOS)
 - d. Là nơi chứa các vi chương trình
- 5.2. Đối với bộ nhớ ROM, phát biểu nào sau đây là **đúng**:
- a. Có thể dùng điện để xóa PROM
 - b. PROM là loại ROM có thể xóa và ghi lại nhiều lần
 - c. EPROM là loại ROM có thể xóa và ghi lại nhiều lần**
 - d. Có thể dùng điện để xóa EPROM
- 5.3. Đối với bộ nhớ RAM, phát biểu nào sau đây là **sai**:
- a. Là loại bộ nhớ không khả biến**
 - b. Là nơi lưu giữ thông tin tạm thời

- c. Có hai loại RAM
d. Là bộ nhớ đọc/ghi tùy ý
- 5.4. Đối với bộ nhớ RAM, phát biểu nào sau đây là **đúng**:
a. Là loại bộ nhớ không khả biến
b. RAM là viết tắt của: Read Access Memory
c. SRAM được chế tạo từ các tụ điện
d. Là nơi lưu giữ thông tin mà máy tính đang xử lý
- 5.5. Đối với bộ nhớ ROM, phát biểu nào sau đây là **đúng**:
a. Được chế tạo từ mạch lật
b. Được chế tạo từ transistor
c. Được chế tạo từ diode
d. Cả b và c
- 5.6. Đối với bộ nhớ RAM, phát biểu nào sau đây là sai:
a. DRAM được chế tạo từ mạch lật
b. DRAM được chế tạo từ tụ điện
c. SRAM được chế tạo từ mạch lật
d. SRAM không cần phải làm tươi
- 5.7. Cho chip nhớ SRAM có dung lượng 64K x 4 bit, phát biểu nào sau đây là **đúng**:
a. Các đường địa chỉ là: $A_0 \rightarrow A_{15}$
b. Các đường địa chỉ là: $D_0 \rightarrow D_{15}$
c. Các đường dữ liệu là: $A_0 \rightarrow A_3$
d. Các đường dữ liệu là: $D_1 \rightarrow D_8$
- 5.8. Cho chip nhớ SRAM có dung lượng 16K x 8 bit, phát biểu nào sau đây là **sai**:
a. Có 14 đường địa chỉ
b. Có 8 đường dữ liệu
c. Các đường địa chỉ là: $A_0 \rightarrow A_{13}$
d. Các đường địa chỉ là: $A_0 \rightarrow A_{14}$
- 5.9. Cho chip nhớ SRAM có các tín hiệu: $A_0 \rightarrow A_{13}$, $D_0 \rightarrow D_{15}$, RD, WE. Phát biểu nào sau đây là **sai**:
a. Dung lượng của chip là: 16K x 16 bit
b. WE là tín hiệu điều khiển ghi dữ liệu
c. RD là tín hiệu điều khiển ghi dữ liệu
d. RD là tín hiệu điều khiển đọc dữ liệu
- 5.10. Cho chip nhớ DRAM có các tín hiệu: $A_0 \rightarrow A_7$, $D_0 \rightarrow D_7$, RD, WE. Phát biểu nào sau đây là **đúng**:
a. Dung lượng của chip là: 64K x 8 bit
b. Dung lượng của chip là: 8K x 8 bit
c. RD là tín hiệu điều khiển ghi dữ liệu
d. WE là tín hiệu điều khiển đọc dữ liệu
- 5.11. Xét về chức năng, hệ thống nhớ máy tính có thể có ở:
a. Bên trong bộ xử lý, RAM, đĩa từ
b. Các thanh ghi, bộ nhớ trong, CD-ROM
c. Các thanh ghi, ROM, băng từ
d. Các thanh ghi, bộ nhớ trong, bộ nhớ ngoài

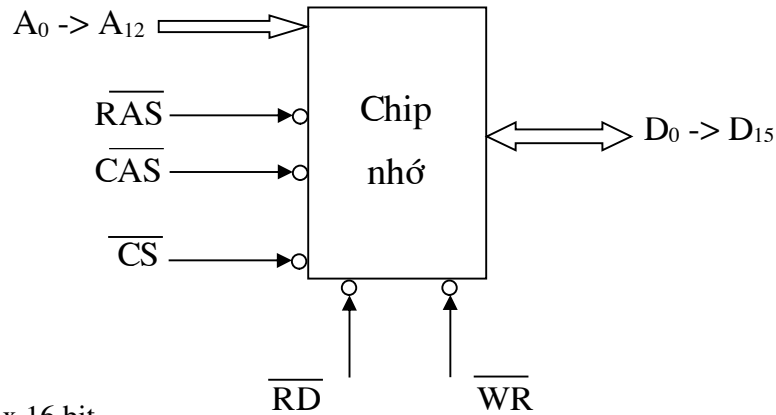
- 5.12. Đối với hệ thống nhớ máy tính, có thể có các đơn vị truyền như sau:
- Theo từ nhớ
 - Theo khối nhớ
 - Cả a và b đều đúng
 - Cả a và b đều sai
- 5.13. Xét về các phương pháp truy nhập trong hệ thống nhớ, phát biểu nào sau đây là sai:
- Truy nhập tuần tự đối với bộ nhớ cache
 - Truy nhập liên kết đối với bộ nhớ cache
 - Truy nhập ngẫu nhiên đối với bộ nhớ trong
 - Truy nhập trực tiếp đối với đĩa từ
- 5.14. Đối với hệ thống nhớ, có các kiểu vật lý như sau:
- Bộ nhớ từ, RAM, bộ nhớ cache
 - Bộ nhớ bán dẫn, bộ nhớ từ, bộ nhớ cache
 - Bộ nhớ bán dẫn, bộ nhớ từ, bộ nhớ quang
 - Bộ nhớ quang, bộ nhớ cache, bộ nhớ từ
- 5.15. Đối với hệ thống nhớ máy tính, phát biểu nào sau đây không phải là đặc trưng vật lý:
- Bộ nhớ khả biến
 - Bộ nhớ không khả biến
 - Bộ nhớ xoá được
 - Bộ nhớ chỉ đọc
- 5.16. Xét sơ đồ phân cấp hệ thống nhớ, phát biểu nào sau đây là sai:
- Mức thanh ghi là mức trao đổi nhanh nhất
 - Mức thanh ghi là mức trao đổi chậm nhất
 - Mức cache được chia thành hai mức
 - Mức cache là mức gần thanh ghi nhất
- 5.17. Xét sơ đồ phân cấp hệ thống nhớ, phát biểu nào sau đây là đúng:
- Từ bộ nhớ cache đến bộ nhớ ngoài, tốc độ nhanh dần
 - Từ thanh ghi đến bộ xử lý, tốc độ tăng dần
 - Từ bộ nhớ ngoài đến thanh ghi, dung lượng giảm dần
 - Từ bộ nhớ trong đến bộ nhớ cache, tần suất truy nhập giảm dần
- 5.18. Cho chip nhớ như hình vẽ, đây là ký hiệu của:



- a. SRAM 4K x 8 bit

- b. DRAM 4 K x 8 bit
- c. SRAM 2K x 8 bit
- d. DRAM 2 K x 8 bit

5.19. Cho chip nhớ như hình vẽ, đây là ký hiệu của:



- a. SRAM 8K x 16 bit
- b. DRAM 8K x 16 bit
- c. SRAM 64M x 16 bit
- d. DRAM 64M x 16 bit

5.20. Đối với bộ nhớ chính (BNC) máy tính, phát biểu nào sau đây là sai:

- a. Chứa các chương trình và dữ liệu dưới dạng thư viện
- b. Về nguyên tắc, người lập trình có thể can thiệp vào toàn bộ BNC
- c. Việc quản lý logic BNC tùy thuộc vào từng hệ điều hành
- d. Được đánh địa chỉ trực tiếp bởi bộ xử lý

5.21. Đối với bộ nhớ chính (BNC) máy tính, phát biểu nào sau đây là đúng:

- a. Việc đánh địa chỉ cho BNC tùy thuộc vào từng hệ điều hành
- b. BNC do bộ xử lý đánh địa chỉ trực tiếp
- c. Có những loại máy tính không có BNC
- d. Các ngăn nhớ không tổ chức theo byte

5.22. Đối với bộ nhớ cache, phát biểu nào sau đây là đúng:

- a. Cache có thể được đặt trên cùng chip với CPU
- b. Bộ nhớ chính có tốc độ nhanh hơn cache
- c. Bộ nhớ cache được đặt giữa bộ nhớ chính và bộ nhớ ngoài
- d. Cache không được đặt trên cùng chip với CPU

5.23. Đối với bộ nhớ cache, phát biểu nào sau đây là đúng:

- a. Bộ nhớ ngoài nhận cả khối dữ liệu từ cache
- b. Truyền dữ liệu giữa CPU và cache theo đơn vị khối nhớ
- c. Truyền dữ liệu giữa CPU và cache theo đơn vị từ nhớ
- d. Khi cần, CPU nhận dữ liệu trực tiếp từ bộ nhớ chính

5.24. Khi CPU truy nhập cache, có hai khả năng sau:

- a. Trượt cache, trúng cache

- b. Sai cache, đúng cache
 - c. Trên cache, dưới cache
 - d. Trong cache, ngoài cache
- 5.25. Cache hoạt động nhờ vào nguyên lý:
- a. Nguyên lý hoạt động của máy tính
 - b. Nguyên lý điều khiển ghi dữ liệu
 - c. Nguyên lý điều khiển đọc dữ liệu
 - d. Nguyên lý định vị tham số bộ nhớ
- 5.26. Trong sự trao đổi giữa cache và bộ nhớ chính, phát biểu nào sau đây là sai:
- a. Bộ nhớ chính chia thành các block nhớ
 - b. Cache chia thành các line nhớ
 - c. Bộ nhớ chính chia thành các line nhớ
 - d. Kích thước line bằng kích thước block
- 5.27. Xét bộ nhớ cache, mỗi line được gắn thêm Tag là để:
- a. Xác định block nào của bộ nhớ chính đang ở trong line
 - b. Xác định cache có dung lượng bao nhiêu
 - c. Xác định line có dung lượng bao nhiêu
 - d. Xác định cache có bao nhiêu line
- 5.28. Xét bộ nhớ cache, có các kỹ thuật ánh xạ địa chỉ sau đây:
- a. Trực tiếp, liên kết hoàn toàn, liên kết tập hợp
 - b. Liên kết hoàn toàn, liên kết phụ thuộc, gián tiếp
 - c. Liên kết tập hợp, liên kết phân tử, gián tiếp
 - d. Trực tiếp, liên kết phân tử, liên kết gián đoạn
- 5.29. Trong kỹ thuật ánh xạ liên kết hoàn toàn, các trường địa chỉ là:
- a. Tag + Word + Line
 - b. Tag + Word
 - c. Tag + Line + Word
 - d. Tag + Line
- 5.30. Trong kỹ thuật ánh xạ trực tiếp, các trường địa chỉ là:
- a. Tag + Word + Line
 - b. Tag + Word
 - c. Tag + Line + Word
 - d. Tag + Line
- 5.31. Trong kỹ thuật ánh xạ liên kết tập hợp, các trường địa chỉ là:
- a. Tag + Word + Set
 - b. Tag + Word
 - c. Tag + Set + Word
 - d. Tag + Set
- 5.32. Cho máy tính có dung lượng bộ nhớ chính: 128MB, cache: 64KB, line: 8 byte, độ dài ngăn nhớ: 1 byte. Trong trường hợp kỹ thuật ánh xạ trực tiếp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:
- a. $12 + 10 + 5$
 - b. $13 + 10 + 4$
 - c. $14 + 11 + 2$
 - d. $14 + 10 + 3$

5.33. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 128KB, line: 16 byte, độ dài ngăn nhớ: 2 byte. Trong trường hợp kỹ thuật ánh xạ trực tiếp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

a. $11 + 13 + 3$

b. $11 + 14 + 2$

c. $12 + 13 + 4$

d. $12 + 12 + 3$

5.34. Cho máy tính có dung lượng bộ nhớ chính: 512MB, cache: 128KB, line: 64 byte, độ dài ngăn nhớ: 4 byte. Trong trường hợp kỹ thuật ánh xạ trực tiếp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

a. $11 + 11 + 5$

b. $12 + 11 + 4$

c. $12 + 12 + 3$

d. $11 + 12 + 4$

5.35. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 64KB, line: 16 byte, độ dài ngăn nhớ: 4 byte. Trong trường hợp kỹ thuật ánh xạ liên kết hoàn toàn, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

a. $13 + 11 + 2$

b. $12 + 12 + 2$

c. $24 + 4$

d. $24 + 2$

5.36. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 128KB, line: 32 byte, độ dài ngăn nhớ: 4 byte. Trong trường hợp kỹ thuật ánh xạ liên kết hoàn toàn, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

a. $13 + 11 + 2$

b. $14 + 10 + 2$

c. $23 + 3$

d. $24 + 2$

5.37. Cho máy tính có dung lượng bộ nhớ chính: 128MB, cache: 64KB, line: 16 byte, độ dài ngăn nhớ: 1 byte, set: 4 line. Trong trường hợp kỹ thuật ánh xạ liên kết tập hợp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

a. $13 + 10 + 4$

b. $13 + 9 + 5$

c. $14 + 9 + 4$

d. $14 + 10 + 4$

5.38. Cho máy tính có dung lượng bộ nhớ chính: 512MB, cache: 128KB, line: 32 byte, độ dài ngăn nhớ: 2 byte, set: 4 line. Trong trường hợp kỹ thuật ánh xạ liên kết tập hợp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

a. $12 + 12 + 4$

b. $13 + 11 + 4$

c. $14 + 10 + 4$

d. $13 + 9 + 6$

5.39. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 128KB, line: 128 byte, độ dài ngăn nhớ: 4 byte, set: 8 line. Trong trường hợp kỹ thuật ánh xạ liên kết tập hợp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

a. $13 + 8 + 5$

b. $13 + 7 + 6$

c. $14 + 7 + 5$

d. $14 + 8 + 6$

5.40. Xét kỹ thuật ánh xạ trực tiếp khi truy nhập cache, thứ tự tìm block trong cache được thực hiện dựa theo các trường trong địa chỉ do CPU phát ra như sau:

a. Line -> Tag -> Word

b. Line -> Word -> Tag

c. Tag -> Line -> Word

d. Tag -> Word -> Line

5.41. Đối với bộ nhớ cache, xét kỹ thuật ánh xạ liên kết tập hợp, thứ tự tìm block trong cache được thực hiện dựa theo các giá trị trong địa chỉ do CPU phát ra như sau:

a. Word -> Set -> Tag

- b. Set -> Word -> Tag
- c. Set -> Tag -> Word
- d. Word -> Tag -> Set

5.42. Xét các thuật toán thay thế dữ liệu trong cache, phát biểu nào sau đây là đúng:

- a. Không có thuật toán
- b. Ánh xạ trực tiếp không có thuật toán thay thế
- c. Hai ánh xạ liên kết (hoàn toàn và tập hợp) có 4 thuật toán
- d. Cả b và c đều đúng

5.43. Đối với bộ nhớ cache, các thuật toán thay thế dữ liệu là:

- a. Ngẫu nhiên, FIFO, LRU, LFU
- b. Ngẫu nhiên, LIFO, LRU, LFU
- c. Ngẫu nhiên, FIFO, LFU, LTU
- d. Ngẫu nhiên, LIFO, LTU, LVU

5.44. Đối với các phương pháp ghi dữ liệu vào cache, phát biểu nào sau đây là sai:

- a. Write through: ghi đồng thời vào cả cache và bộ nhớ chính
- b. Write back: chỉ ghi vào cache, khi block tương ứng bị thay thế thì mới ghi vào bộ nhớ chính
- c. Cả a và b đều sai
- d. Cả a và b đều đúng

5.45. Đối với các phương pháp ghi dữ liệu vào cache, phát biểu nào sau đây là đúng:

- a. Write back: ghi đồng thời vào cả cache và bộ nhớ chính
- b. Write through: chỉ ghi vào cache, khi block tương ứng bị thay thế thì mới ghi vào bộ nhớ chính
- c. Cả a và b đều không đúng
- d. Cả a và b đều đúng

5.46. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là đúng:

- a. FIFO là TT thay đi block mới nhất trong các block hiện nay
- b. LRU là TT thay đi block có tần suất truy nhập ít nhất
- c. LFU là TT thay đi block truy nhập gần đây ít nhất
- d. Tất cả đều sai

5.47. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là sai:

- a. FIFO là TT thay đi block cũ nhất trong các block hiện nay
- b. FIFO là TT thay đi block có tần suất truy nhập ít nhất
- c. LRU là TT thay đi block truy nhập gần đây ít nhất
- d. Random là TT thay đi block ngẫu nhiên

5.48. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là đúng:

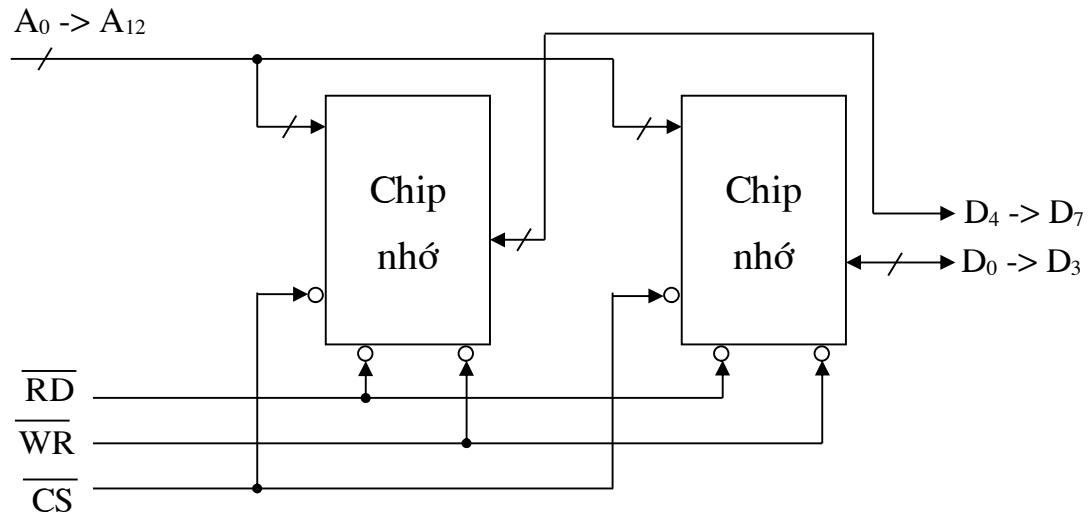
- a. LIFO là TT thay đi block cũ nhất trong các block hiện nay
- b. LTU là TT thay đi block có tần suất truy nhập ít nhất
- c. LVU là TT thay đi block truy nhập gần đây ít nhất
- d. Tất cả đều sai

5.49. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là sai:

- a. TT Random cho tỉ lệ cache hit thấp nhất
- b. TT LRU cho tỉ lệ cache hit cao nhất
- c. TT FIFO cho tỉ lệ cache hit cao nhất

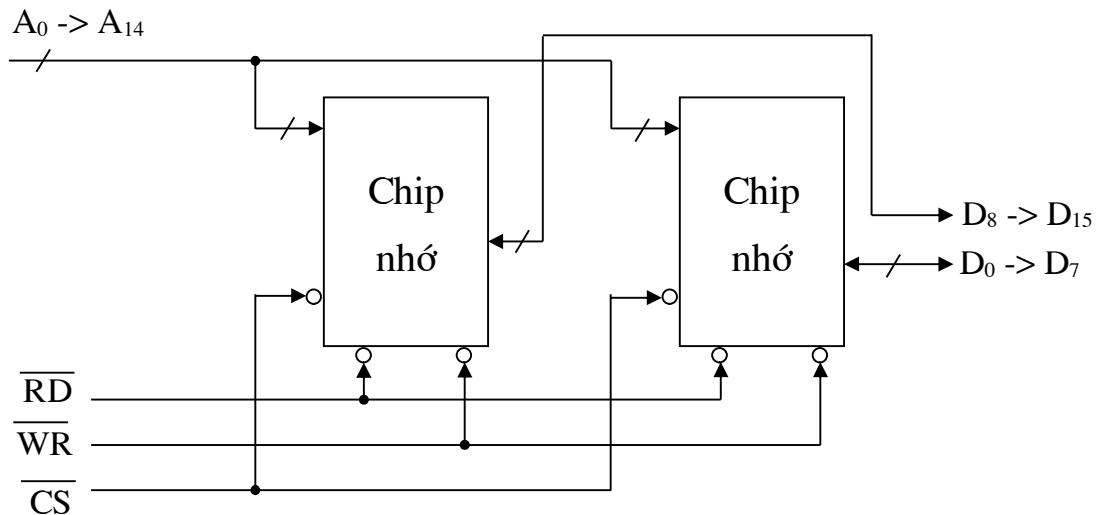
d. TT LFU cho tỉ lệ cache hit tương đối cao

5.50. Hình vẽ dưới đây là sơ đồ kết nối của 2 IC SRAM:



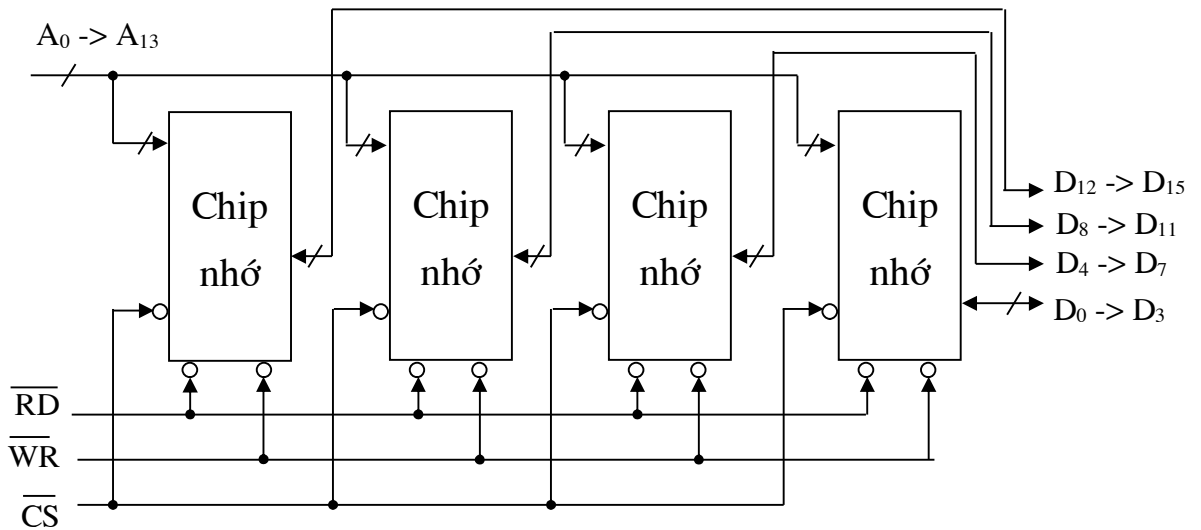
- a. 4K x 4 bit để có modul nhớ 8K x 4 bit
- b. 8K x 4 bit để có modul nhớ 16K x 4 bit
- c. 8K x 4 bit để có modul nhớ 8K x 8 bit
- d. 4K x 4 bit để có modul nhớ 4K x 8 bit

5.51. Hình vẽ dưới đây là sơ đồ kết nối của 2 IC SRAM:



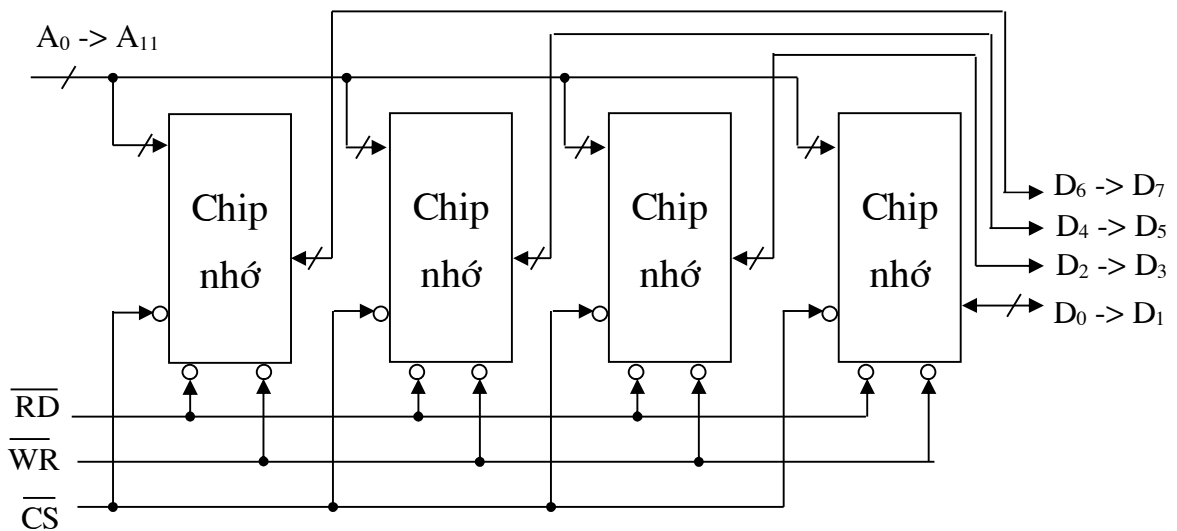
- a. 32K x 8 bit để có modul nhớ 32K x 16 bit
- b. 16K x 8 bit để có modul nhớ 32K x 8 bit
- c. 32K x 4 bit để có modul nhớ 32K x 8 bit
- d. 16K x 16 bit để có modul nhớ 32K x 16 bit

5.52. Hình vẽ dưới đây là sơ đồ kết nối của 4 IC SRAM:



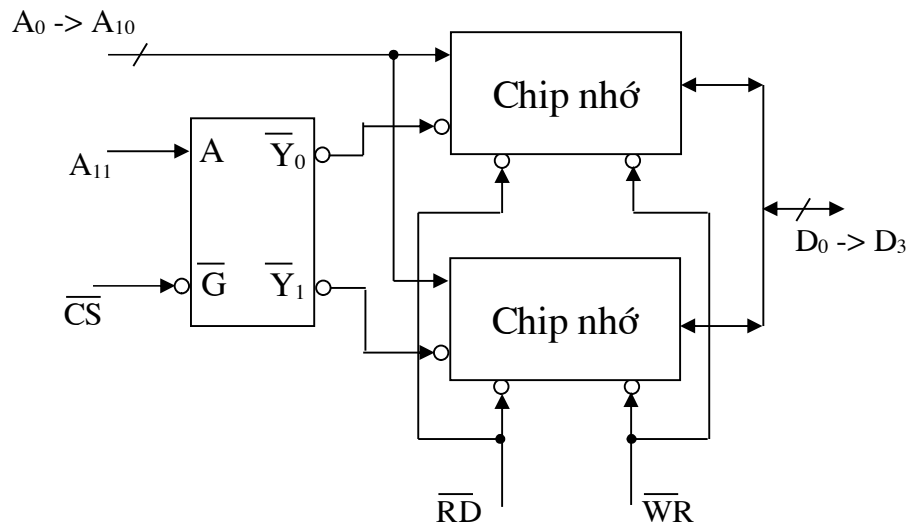
- 32K x 8 bit để có modul nhớ 32K x 16 bit
- 16K x 4 bit để có modul nhớ 32K x 8 bit
- 16K x 4 bit để có modul nhớ 16K x 16 bit
- 32K x 4 bit để có modul nhớ 32K x 16 bit

5.53. Hình vẽ dưới đây là sơ đồ kết nối của 4 IC SRAM:



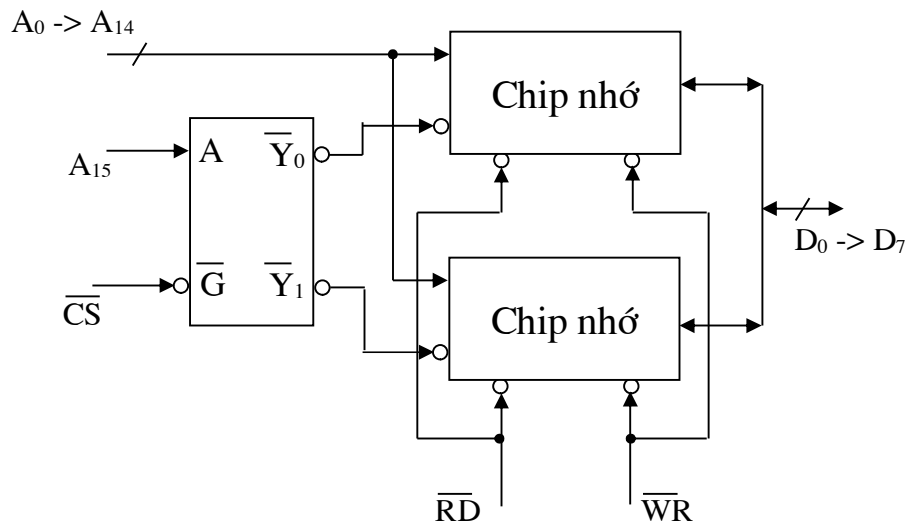
- 4K x 4 bit để có modul nhớ 4K x 8 bit
- 4K x 2 bit để có modul nhớ 4K x 8 bit
- 8K x 4 bit để có modul nhớ 8K x 8 bit
- 8K x 2 bit để có modul nhớ 16K x 2 bit

5.54. Hình vẽ dưới là sơ đồ kết nối của 2 IC SRAM:



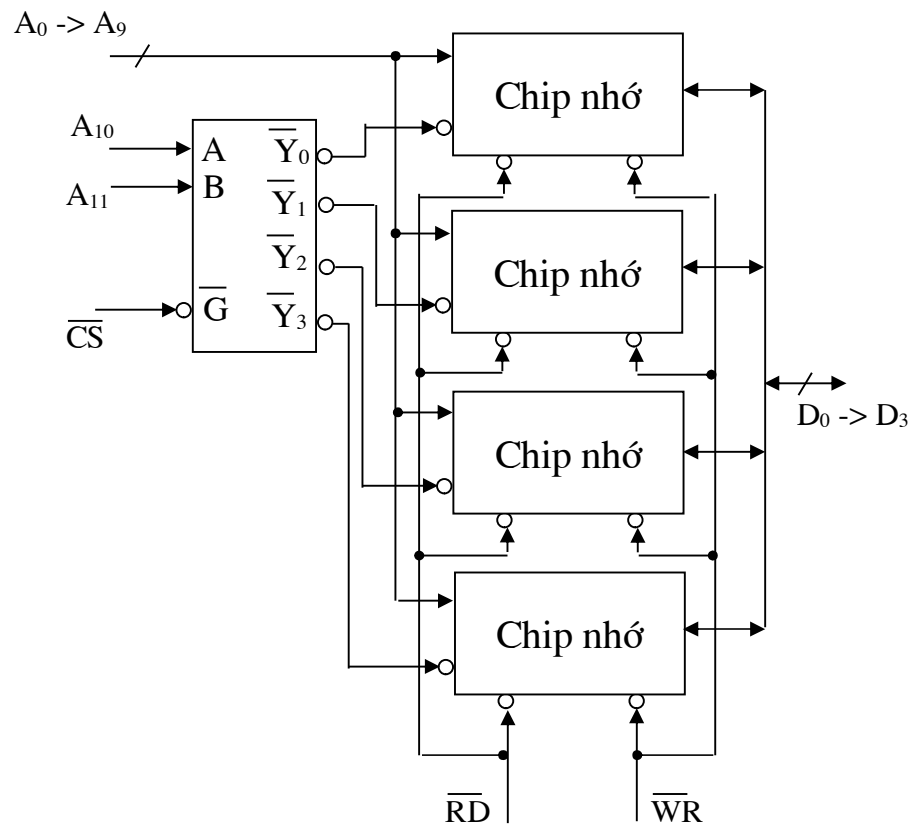
- a. 2K x 4 bit để có modul nhớ 4K x 4 bit
- b. 2K x 4 bit để có modul nhớ 4K x 8 bit
- c. 2K x 4 bit để có modul nhớ 2K x 8 bit
- d. 4K x 4 bit để có modul nhớ 8K x 4 bit

5.55. Hình vẽ dưới là sơ đồ kết nối của 2 IC SRAM:



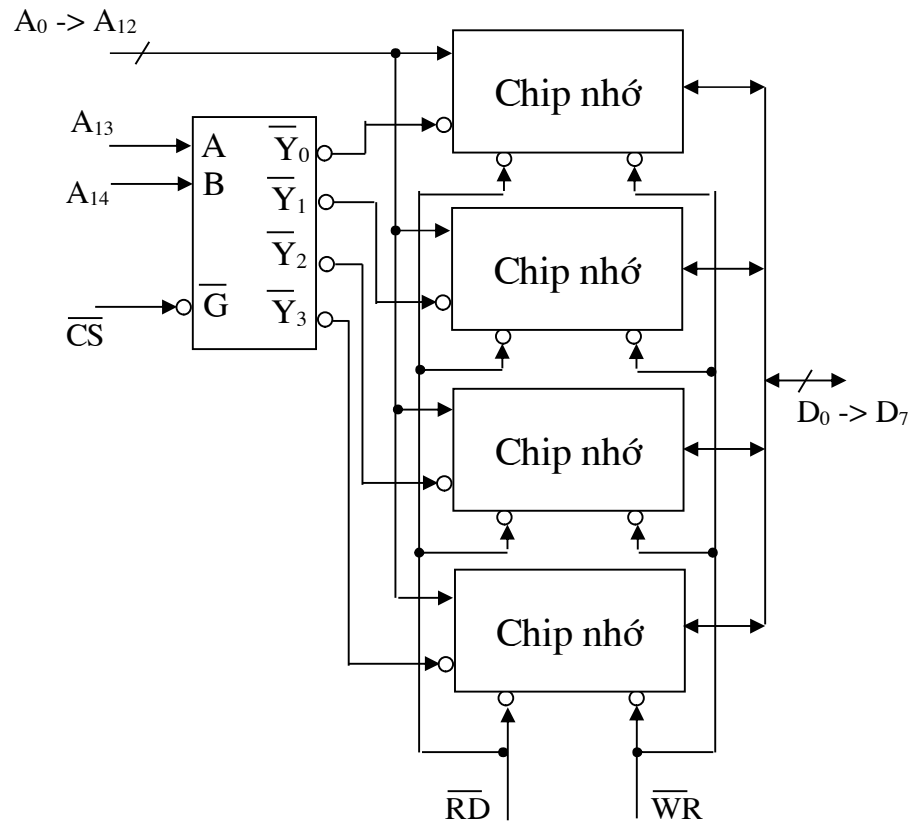
- a. 32K x 8 bit để có modul nhớ 32K x 16 bit
- b. 16K x 8 bit để có modul nhớ 32K x 8 bit
- c. 32K x 8 bit để có modul nhớ 64K x 16 bit
- d. 32K x 8 bit để có modul nhớ 64K x 8 bit

5.56. Hình vẽ dưới là sơ đồ kết nối của 4 IC SRAM:



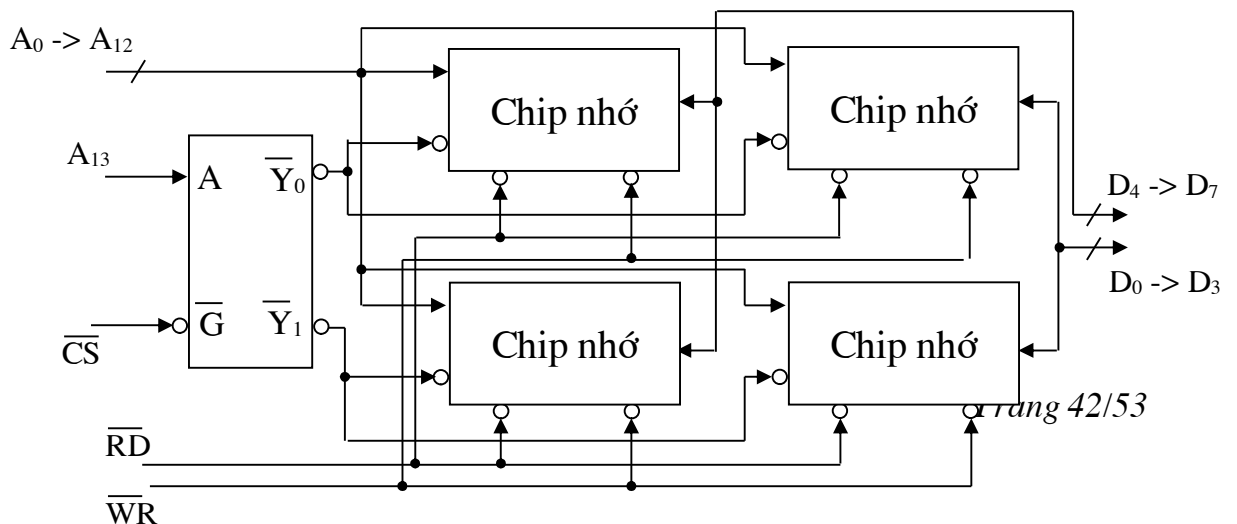
- 2K x 8 bit để có modul nhớ 8K x 8 bit
- 2K x 4 bit để có modul nhớ 8K x 8 bit
- 1K x 4 bit để có modul nhớ 4K x 4 bit
- 1K x 4 bit để có modul nhớ 4K x 8 bit

5.57. Hình vẽ dưới là sơ đồ kết nối của 4 IC SRAM:



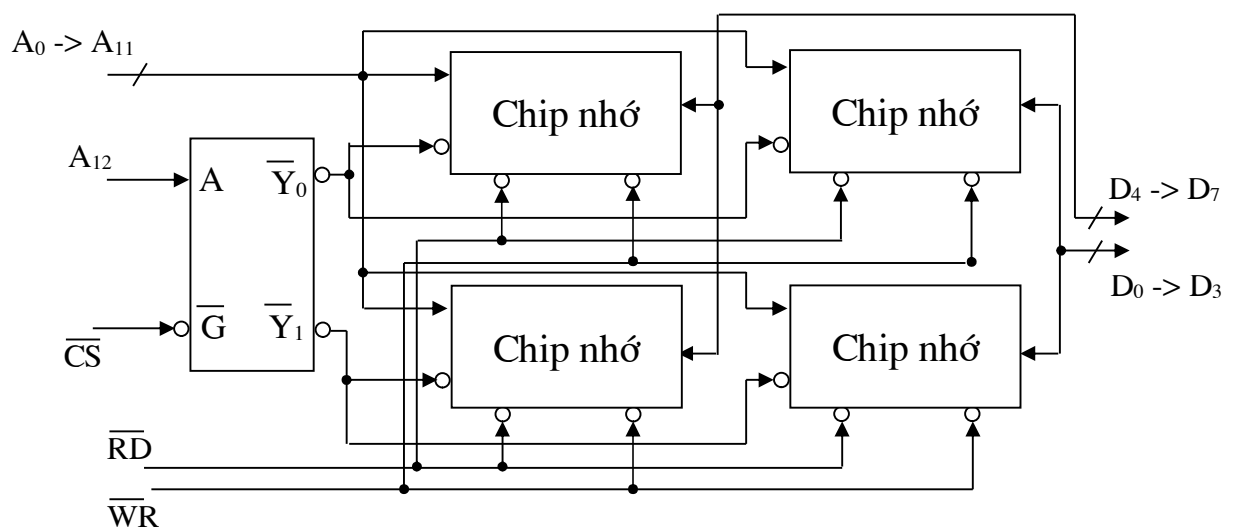
- a. 4K x 8 bit để có modul nhớ 16K x 8 bit
- b. 8K x 8 bit để có modul nhớ 32K x 8 bit**
- c. 8K x 8 bit để có modul nhớ 16K x 8 bit
- d. 8K x 16 bit để có modul nhớ 16K x 16 bit

5.58. Hình vẽ dưới đây là sơ đồ kết nối 4 IC SRAM:



- a. 8K x 4 bit để có modul nhớ 16K x 8 bit
- b. 8K x 4 bit để có modul nhớ 16K x 4 bit
- c. 8K x 8 bit để có modul nhớ 16K x 8 bit
- d. 8K x 8 bit để có modul nhớ 16K x 16 bit

5.59. Hình vẽ dưới đây là sơ đồ kết nối 4 IC SRAM:



- a. 4K x 4 bit để có modul nhớ 16K x 8 bit
- b. 8K x 8 bit để có modul nhớ 8K x 16 bit
- c. 8K x 8 bit để có modul nhớ 16K x 8 bit
- d. 4K x 4 bit để có modul nhớ 8K x 8 bit

5.60. Với chip nhớ SRAM có n đường địa chỉ, m đường dữ liệu thì dung lượng của chip là:

- a. $2^m \times n$ bit
- b. $2^n \times m$ bit
- c. $2^m \times n$ byte
- d. $2^n \times m$ byte

5.61. Với chip nhớ SRAM có n đường địa chỉ, m đường dữ liệu thì dung lượng của chip là:

- a. $2^m \times n$ bit
- b. $2^{2n} \times m$ bit
- c. $2^{2m} \times n$ bit
- d. $2^n \times m$ bit

5.62. Với chip nhớ DRAM có n đường địa chỉ, m đường dữ liệu thì dung lượng của chip là:

- a. $2^{2m} \times n$ bit
- b. $2^{2n} \times m$ bit

- c. $2^{2m} \times n$ byte
- d. $2^{2n} \times m$ byte

5.63. Với chip nhớ DRAM có n đường địa chỉ, m đường dữ liệu thì dung lượng của chip là:

- a. $2^m \times n$ bit
- b. $2^{2n} \times m$ bit
- c. $2^{2m} \times n$ bit
- d. $2^n \times m$ bit

5.64. Đối với bộ nhớ cache, xét nguyên lý định vị về thời gian, phát biểu nào sau đây là đúng:

- a. Thông tin vừa truy nhập thì xác suất bé là sau đó nó sẽ được truy nhập lại
- b. Thông tin vừa truy nhập thì xác suất lớn là sau đó nó sẽ được truy nhập lại
- c. Thông tin vừa truy nhập thì sau đó chắc chắn nó sẽ không được truy nhập lại
- d. Thông tin vừa truy nhập thì chắc chắn là sau đó nó được truy nhập lại

5.65. Đối với bộ nhớ cache, xét nguyên lý định vị về không gian, phát biểu nào sau đây là đúng:

- a. Mục thông tin vừa truy nhập thì xác suất lớn là sau đó các mục lân cận được truy nhập
- b. Mục thông tin vừa truy nhập thì xác suất bé là sau đó các mục lân cận được truy nhập
- c. Mục thông tin vừa truy nhập thì chắc chắn là sau đó các mục lân cận được truy nhập
- d. Thông tin vừa truy nhập thì chắc chắn là sau đó các mục lân cận không được truy nhập

5.66. Khi truy nhập cache, xét ánh xạ trực tiếp, phát biểu nào sau đây là đúng:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ
- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong một tập line xác định
- c. Mỗi block chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block chỉ được ánh xạ vào một trong bốn line xác định

5.67. Khi truy nhập cache, xét ánh xạ trực tiếp, phát biểu nào sau đây là sai:

- a. Mỗi block không thể ánh xạ vào một line bất kỳ
- b. Mỗi block không thể ánh xạ vào một line bất kỳ trong tám line xác định
- c. Mỗi block chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block chỉ được ánh xạ vào một trong hai line xác định

5.68. Khi truy nhập cache, xét ánh xạ liên kết hoàn toàn, phát biểu nào sau đây là đúng:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ
- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong bốn line xác định
- c. Mỗi block chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block chỉ được ánh xạ vào một trong mười sáu line xác định

5.69. Khi truy nhập cache, xét ánh xạ liên kết hoàn toàn, phát biểu nào sau đây là sai:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ
- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong tám line xác định
- c. Mỗi block không chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block không chỉ được ánh xạ vào một trong bốn line xác định

5.70. Khi truy nhập cache, xét ánh xạ liên kết tập hợp, phát biểu nào sau đây là đúng:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ
- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong một tập line xác định
- c. Mỗi block có thể ánh xạ vào một line duy nhất trong một tập line xác định
- d. Mỗi block chỉ được ánh xạ vào một line duy nhất

- 5.71. Khi truy nhập cache, xét ánh xạ liên kết tập hợp, phát biểu nào sau đây là sai:
- a. Mỗi block có thể ánh xạ vào một line bất kỳ trong một tập line xác định
 - b. Mỗi block không chỉ được ánh xạ vào một line duy nhất
 - c. Mỗi block chỉ ánh xạ vào một line duy nhất trong một tập line xác định
 - d. Mỗi block chỉ được ánh xạ duy nhất vào một tập line xác định

CHƯƠNG 6. HỆ THỐNG VÀO RA

- 6.1. Không thể nối trực tiếp thiết bị ngoại vi (TBNV) với bus hệ thống, vì:
- a. BXL không thể điều khiển được tất cả các TBNV
 - b. Tốc độ trao đổi, khuôn dạng dữ liệu khác nhau
 - c. Tất cả có tốc độ chậm hơn BXL và RAM
 - d. Tất cả các ý đều đúng
- 6.2. Chức năng của Modul vào/ra:
- a. Nối ghép với BXL và hệ thống nhớ
 - b. Nối ghép với một hoặc nhiều TBNV
 - c. Cả a và b đều đúng
 - d. Cả a và b đều sai
- 6.3. Các thành phần cơ bản của TBNV:
- a. Bộ chuyển đổi tín hiệu, Logic điều khiển, Bộ đệm
 - b. Bộ chuyển đổi trạng thái, Logic đọc, Bộ đếm tiến
 - c. Bộ chuyển đổi hiện thời, Logic ghi, Bộ kiểm tra
 - d. Bộ chuyển đổi địa chỉ, Logic nhận, Bộ đếm lùi
- 6.4. Đối với chức năng của Modul vào/ra, phát biểu nào sau đây là sai:
- a. Điều khiển và định thời gian
 - b. Một Modul chỉ nối ghép được với một TBNV
 - c. Trao đổi thông tin với BXL, với TBNV
 - d. Bộ đệm dữ liệu, phát hiện lỗi
- 6.5. Có các phương pháp địa chỉ hoá cổng vào/ra:
- a. Vào/ra cách biệt
 - b. Vào/ra theo bản đồ bộ nhớ
 - c. Vào ra theo bản đồ thanh ghi
 - d. Cả a và b đúng
- 6.6. Đối với phương pháp vào/ra cách biệt, phát biểu nào sau đây là sai:
- a. Không gian địa chỉ cổng không nằm trong không gian địa chỉ bộ nhớ
 - b. Dùng các lệnh truy nhập bộ nhớ để truy nhập cổng
 - c. Tín hiệu truy nhập cổng và truy nhập bộ nhớ là khác nhau
 - d. Sử dụng các lệnh vào/ra trực tiếp

- 6.7. Đối với phương pháp vào/ra cách biệt, phát biểu nào sau đây là đúng:
- Không gian địa chỉ cổng nằm trong không gian địa chỉ bộ nhớ
 - Dùng các lệnh truy nhập bộ nhớ để truy nhập cổng
 - Sử dụng các lệnh vào/ra trực tiếp
 - Dùng chung tín hiệu truy nhập cho cả bộ nhớ và cổng vào/ra
- 6.8. Đối với phương pháp vào/ra theo bản đồ bộ nhớ, phát biểu nào sau đây là sai:
- Không gian địa chỉ cổng nằm trong không gian địa chỉ bộ nhớ
 - Dùng các lệnh truy nhập bộ nhớ để truy nhập cổng
 - Cần có tín hiệu phân biệt truy nhập cổng hay bộ nhớ
 - Dùng chung tín hiệu truy nhập cho cả cổng và bộ nhớ
- 6.9. Đối với phương pháp vào/ra theo bản đồ bộ nhớ, phát biểu nào sau đây là đúng:
- Không gian địa chỉ cổng nằm ngoài không gian địa chỉ bộ nhớ
 - Phải phân biệt tín hiệu khi truy nhập bộ nhớ hay cổng vào/ra
 - Sử dụng các lệnh vào/ra trực tiếp
 - Dùng các lệnh truy nhập bộ nhớ để truy nhập cổng
- 6.10. Có 3 phương pháp điều khiển vào/ra như sau:
- Vào/ra bằng chương trình, bằng ngắt, bằng DMA
 - Vào/ra bằng chương trình, bằng hệ thống, bằng DMA
 - Vào/ra bằng ngắt, bằng truy nhập CPU, bằng DMA
 - Vào/ra bằng ngắt, bằng truy nhập CPU, bằng hệ điều hành
- 6.11. Với phương pháp vào/ra bằng chương trình (CT), phát biểu nào sau đây là sai:
- Dùng lệnh vào/ra trong CT để trao đổi dữ liệu với cổng
 - TBNV là đối tượng chủ động trong trao đổi dữ liệu
 - Khi thực hiện CT, gặp lệnh vào/ra thì CPU điều khiển trao đổi dữ liệu với TBNV
 - TBNV là đối tượng bị động trong trao đổi dữ liệu
- 6.12. Với phương pháp vào/ra bằng chương trình (CT), phát biểu nào sau đây là đúng:
- Đây là phương pháp trao đổi dữ liệu đơn giản nhất
 - Đây là phương pháp trao đổi dữ liệu nhanh nhất
 - Thiết kế mạch phức tạp
 - Cả b và c đều đúng
- 6.13. Với phương pháp vào/ra bằng ngắt, phát biểu nào sau đây là sai:
- TBNV là đối tượng chủ động trao đổi dữ liệu
 - CPU không phải chờ trạng thái sẵn sàng của TBNV
 - Modul vào/ra được CPU chờ trạng thái sẵn sàng
 - Modul vào/ra ngắt CPU khi nó ở trạng thái sẵn sàng
- 6.14. Với phương pháp vào/ra bằng ngắt, phát biểu nào sau đây là đúng:
- TBNV là đối tượng chủ động trong trao đổi dữ liệu
 - Là phương pháp hoàn toàn xử lý bằng phần cứng

- c. CPU là đối tượng chủ động trong trao đổi dữ liệu
- d. Là phương pháp hoàn toàn xử lý bằng phần mềm

6.15. Số lượng phương pháp xác định modul ngắt là:

- a. 4 phương pháp
- b. 3 phương pháp
- c. 2 phương pháp
- d. 1 phương pháp

6.16. Các phương pháp xác định modul ngắt gồm có:

- a. Kiểm tra vòng bằng phần mềm và phần cứng, chiếm bus, chiếm CPU
- b. Nhiều đường yêu cầu ngắt, kiểm tra vòng bằng phần mềm, chiếm bus, chiếm bộ nhớ
- c. Chiếm bus, kiểm tra vòng bằng phần cứng, nhiều đường yêu cầu ngắt, ngắt mềm
- d. Nhiều đường yêu cầu ngắt, kiểm tra vòng bằng phần mềm và phần cứng, chiếm bus

6.17. Với phương pháp nhiều đường yêu cầu ngắt (trong việc xác định modul ngắt), phát biểu nào sau đây là đúng:

- a. CPU có một đường yêu cầu ngắt cho các modul vào/ra
- b. CPU phải có các đường yêu cầu ngắt khác nhau cho mỗi modul vào/ra
- c. Số lượng thiết bị có thể đáp ứng là khá lớn
- d. CPU có nhiều đường yêu cầu ngắt cho mỗi modul vào/ra

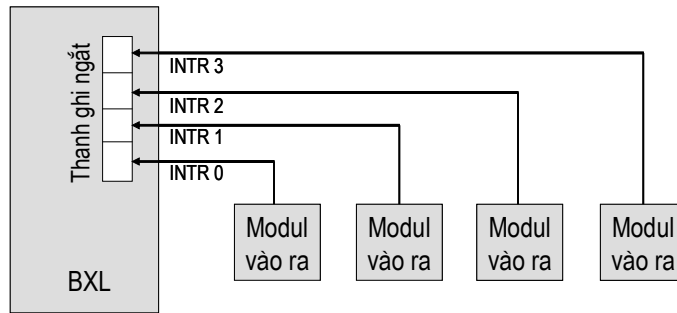
6.18. Với phương pháp kiểm tra vòng bằng phần mềm (trong việc xác định modul ngắt), phát biểu nào sau đây là đúng:

- a. BXL kiểm tra một lúc nhiều modul vào/ra
- b. Tốc độ khá nhanh
- c. BXL thực hiện kiểm tra từng modul vào/ra
- d. BXL thực hiện phần mềm kiểm tra từng modul vào/ra

6.19. Với phương pháp kiểm tra vòng bằng phần cứng (trong việc xác định modul ngắt), phát biểu nào sau đây là sai:

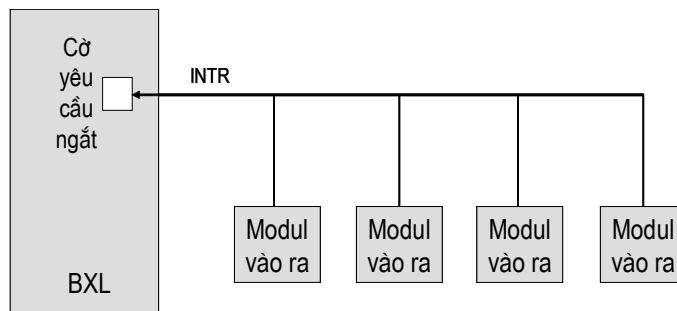
- a. BXL phát tín hiệu chấp nhận ngắt đến chuỗi các modul vào/ra
- b. Modul vào/ra đặt vectơ ngắt lên bus dữ liệu
- c. BXL dùng vectơ ngắt để xác định CTC điều khiển ngắt
- d. Tất cả đều sai

6.20. Hình vẽ dưới là sơ đồ của phương pháp xác định modul ngắt nào:



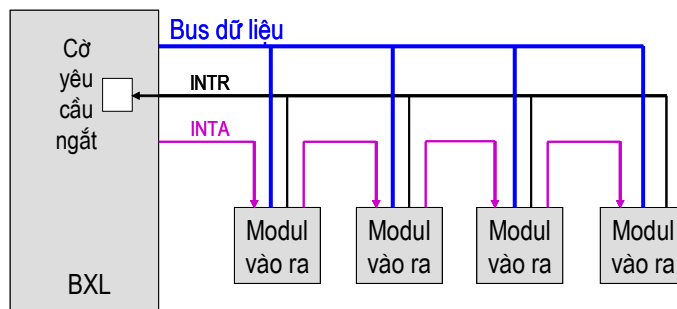
- a. Kiểm tra vòng bằng phần mềm
- b. Kiểm tra vòng bằng phần cứng
- c. Nhiều đường yêu cầu ngắt
- d. Chiếm bus

6.21. Hình vẽ dưới là sơ đồ của phương pháp xác định modul ngắt nào:



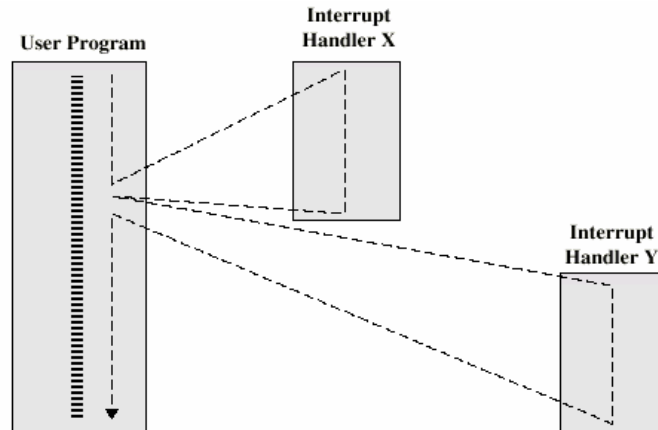
- a. Kiểm tra vòng bằng phần mềm
- b. Kiểm tra vòng bằng phần cứng
- c. Nhiều đường yêu cầu ngắt
- d. Chiếm bus

6.22. Hình vẽ dưới là sơ đồ của phương pháp xác định modul ngắt nào:



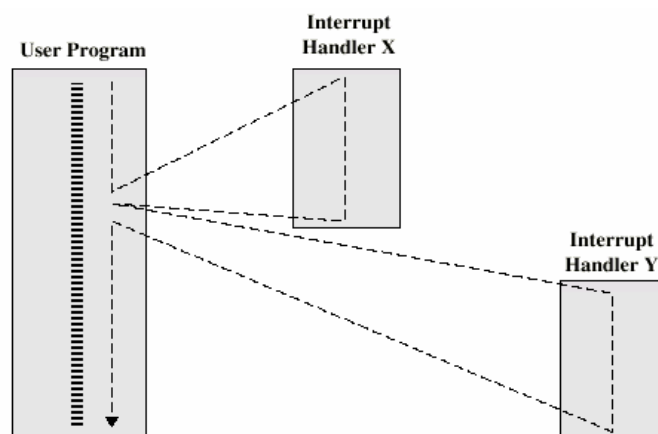
- a. Kiểm tra vòng bằng phần mềm
- b. Kiểm tra vòng bằng phần cứng**
- c. Nhiều đường yêu cầu ngắt
- d. Chiếm bus

6.23. Với hình vẽ dưới đây, phát biểu nào sau đây là đúng:



- a. Ngắt X và ngắt Y cùng được đáp ứng một lúc
- b. Đây là sơ đồ ngắt lồng nhau
- c. Ngắt X và ngắt Y gửi tín hiệu yêu cầu cùng một lúc
- d. Xử lý xong ngắt X rồi xử lý ngắt Y**

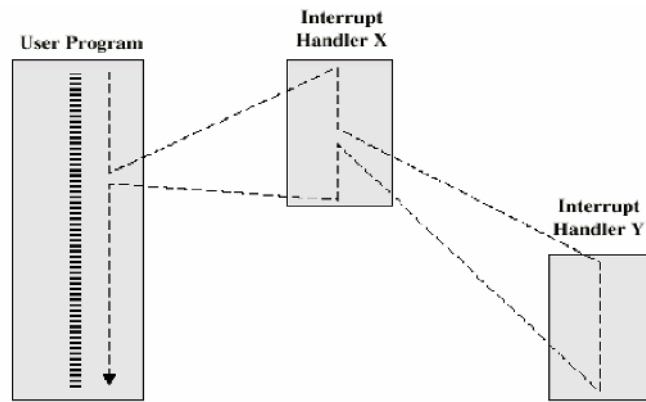
6.24. Với hình vẽ dưới đây, phát biểu nào sau đây là sai:



- a. Đây là sơ đồ ngắt tuần tự

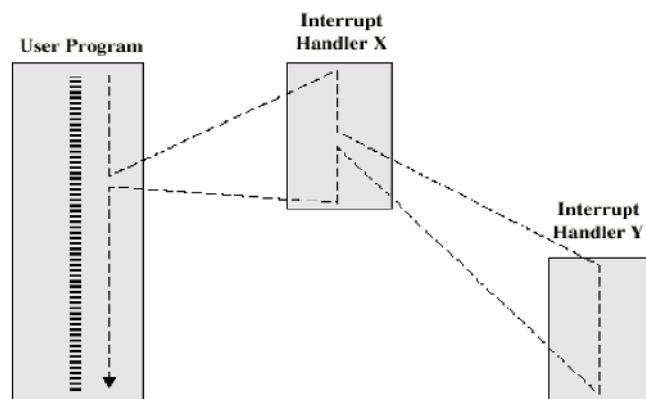
- b. Ngắt X được phục vụ trước ngắt Y
- c. Ngắt Y gửi yêu cầu ngắt trước ngắt X
- d. Ngắt Y được phục vụ sau ngắt X

6.25. Với hình vẽ dưới đây, phát biểu nào sau đây là đúng:



- a. Đây là sơ đồ ngắt tuần tự
- b. Đây là sơ đồ ngắt lồng nhau
- c. Ngắt X có mức ưu tiên cao hơn ngắt Y
- d. Ngắt X và ngắt Y có cùng mức ưu tiên

6.26. Với hình vẽ dưới đây, phát biểu nào sau đây là sai:



- a. Ngắt Y có mức ưu tiên cao hơn ngắt X
- b. Đây là sơ đồ ngắt lồng nhau
- c. Ngắt Y được xử lý xong trước ngắt X
- d. Ngắt X được xử lý xong trước ngắt Y

- 6.27. Với phương pháp vào/ra bằng DMA, phát biểu nào sau đây là đúng:
- a. Là phương pháp do CPU điều khiển trao đổi dữ liệu
 - b. Là phương pháp không do CPU điều khiển trao đổi dữ liệu
 - c. Là phương pháp được thực hiện bằng phần mềm
 - d. Là phương pháp trao đổi dữ liệu giữa TBNV và CPU nhanh nhất
- 6.28. Với phương pháp vào/ra bằng DMA, phát biểu nào sau đây là đúng:
- a. TBNV dùng tín hiệu DACK để yêu cầu trao đổi dữ liệu
 - b. CPU dùng tín hiệu DREQ để trả lời đồng ý DMA
 - c. DMAC gửi tín hiệu HRQ để xin dùng các đường bus
 - d. DMAC gửi tín hiệu HLDA để xin dùng các đường bus
- 6.29. Với phương pháp vào/ra bằng DMA, phát biểu nào sau đây là sai:
- a. Hoàn toàn do DMAC điều khiển trao đổi dữ liệu
 - b. Đây là quá trình trao đổi dữ liệu giữa TBNV và bộ nhớ
 - c. CPU không can thiệp vào quá trình trao đổi dữ liệu
 - d. CPU và DMAC kết hợp điều khiển trao đổi dữ liệu
- 6.30. Với phương pháp vào/ra bằng DMA, phát biểu nào sau đây là sai:
- a. Đây là phương pháp có tốc độ trao đổi dữ liệu chậm
 - b. Đây là phương pháp có tốc độ trao đổi dữ liệu nhanh
 - c. Trước khi điều khiển, DMAC phải xin phép CPU
 - d. Nhu cầu trao đổi dữ liệu xuất phát từ TBNV
- 6.31. Có các kiểu trao đổi dữ liệu DMA như sau:
- a. DMA cả mảng, DMA theo khối, DMA một lần
 - b. DMA ăn trộm chu kỳ, DMA một nửa, DMA trong suốt
 - c. DMA một nửa, DMA ăn trộm chu kỳ, DMA cả mảng
 - d. DMA theo khối, DMA ăn trộm chu kỳ, DMA trong suốt
- 6.32. Đối với ngắt cứng, phát biểu nào sau đây là đúng:
- a. Có hai loại ngắt cứng
 - b. Mọi ngắt cứng đều chắn được
 - c. Mọi ngắt cứng đều không chắn được
 - d. Ngắt cứng MI là ngắt không chắn được
- 6.33. Đối với ngắt cứng, phát biểu nào sau đây là sai:
- a. Có hai loại ngắt cứng
 - b. Mọi ngắt cứng đều chắn được
 - c. Ngắt cứng MI còn gọi là ngắt INTR
 - d. Ngắt cứng MI là ngắt chắn được
- 6.34. Đối với ngắt mềm, phát biểu nào sau đây là đúng:
- a. Do BXI sinh ra
 - b. Do TBNV gửi đến
 - c. Do lệnh ngắt nằm trong chương trình sinh ra
 - d. Không phải là lệnh trong chương trình

- 6.35. Đối với ngắt mềm, phát biểu nào sau đây là sai:
- a. Không do bộ nhớ sinh ra
 - b. Không do TBNV gửi đến
 - c. Không phải là một lệnh trong chương trình
 - d. Là một lệnh trong chương trình
- 6.36. Đối với ngắt ngoại lệ, phát biểu nào sau đây là đúng:
- a. Là ngắt do lỗi chương trình sinh ra
 - b. Là ngắt từ bên ngoài gửi đến
 - c. Là ngắt từ ROM gửi đến
 - d. Là ngắt không bình thường
- 6.37. Đối với ngắt ngoại lệ, phát biểu nào sau đây là sai:
- a. Lệnh chia cho 0 sinh ra ngắt ngoại lệ
 - b. Lệnh sai cú pháp sinh ra ngắt ngoại lệ
 - c. Tràn số sinh ra ngắt ngoại lệ
 - d. Lỗi bộ nhớ sinh ra ngắt ngoại lệ
- 6.38. Các bước của quá trình DMA diễn ra theo thứ tự sau đây:
- a. DREQ -> HLDA -> DACK -> HRQ -> trao đổi dữ liệu-> kết thúc
 - b. DREQ -> HRQ -> HLDA -> DACK -> trao đổi dữ liệu-> kết thúc
 - c. HRQ -> HLDA -> DACK -> DREQ -> trao đổi dữ liệu-> kết thúc
 - d. HRQ -> DACK -> DREQ -> HLDA -> trao đổi dữ liệu-> kết thúc
- 6.39. Đối với kiểu DMA theo khối, phát biểu nào sau đây là đúng:
- a. Lúc nào bus rỗi thì truyền dữ liệu
 - b. BXL bị ép buộc treo tạm thời từng chu kỳ bus
 - c. Truyền không liên tục từng byte dữ liệu
 - d. Truyền xong hết dữ liệu mới trả lại bus cho BXL
- 6.40. Đối với kiểu DMA theo khối, phát biểu nào sau đây là sai:
- a. BXL nhường hoàn toàn bus cho DMAC
 - b. BXL không bị ép buộc treo tạm thời từng chu kỳ bus
 - c. Truyền không liên tục từng nhóm 2 byte dữ liệu
 - d. Truyền xong hết dữ liệu mới trả lại bus cho BXL
- 6.41. Đối với kiểu DMA ăn trộm chu kỳ, phát biểu nào sau đây là đúng:
- a. BXL và DMAC xen kẽ nhau sử dụng bus
 - b. BXL sử dụng bus hoàn toàn
 - c. DMAC sử dụng bus hoàn toàn
 - d. Khi bộ nhớ rỗi thì DMAC dùng bus
- 6.42. Đối với kiểu DMA ăn trộm chu kỳ, phát biểu nào sau đây là sai:
- a. DMAC chỉ sử dụng một số chu kỳ nào đó của bus
 - b. BXL không sử dụng bus hoàn toàn
 - c. DMAC sử dụng bus hoàn toàn
 - d. Dữ liệu không được truyền một cách liên tục

- 6.43. Đối với kiểu DMA trong suốt, phát biểu nào sau đây là đúng:
- a. Khi DMAC không dùng bus thì BXL tranh thủ dùng bus
 - b. Khi BXL không dùng bus thì tranh thủ tiến hành DMA**
 - c. BXL và DMAC xen kẽ dùng bus
 - d. BXL bị DMAC ép buộc nhường bus
- 6.44. Đối với kiểu DMA trong suốt, phát biểu nào sau đây là sai:
- a. Khi DMAC không dùng bus thì BXL tranh thủ dùng bus**
 - b. DMA được tiến hành khi BXL không dùng bus
 - c. BXL và DMAC dùng bus xen kẽ nhau
 - d. BXL và DMAC không cùng một lúc dùng bus