#10
量子回路の最適化

Quantum Circuit Optimization

2025/09/04

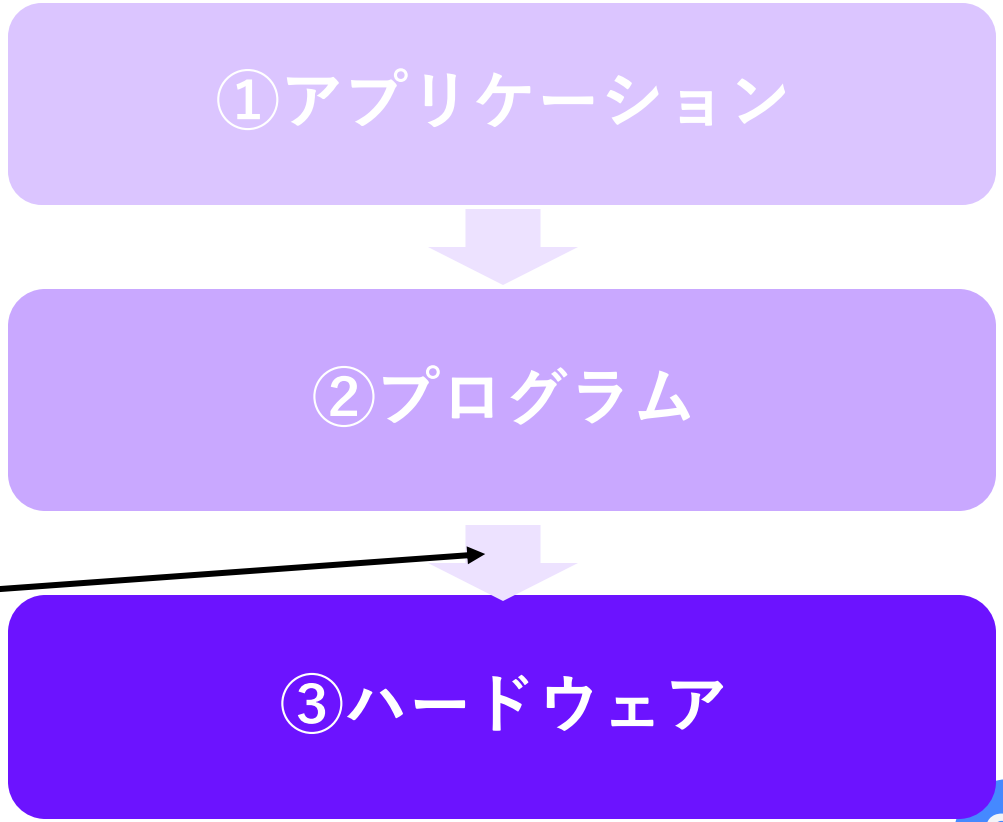
Translated and modified by Daiki Murata
Created by Toshinari Itoko

今日のテーマ

チャプター（リンクはYouTubeのReplay）

1. はじめ
2. 量子ビット・量子ゲート・量子回路
3. 量子テレポーテーション
4. グローバーのアルゴリズム
5. 量子位相推定
6. 量子変分アルゴリズム
7. 量子系のシミュレーション
8. 古典計算によるシミュレーション
9. 量子ハードウェア
10. **量子回路の最適化**
11. 量子エラー緩和
12. 量子ユーティリティーの実験 I
13. 量子ユーティリティーの実験 II
14. 量子ユーティリティーの実験 III

②
①
③



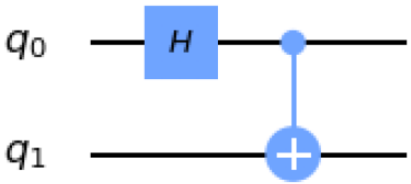
今日のゴール

量子プログラム（回路）が量子コンピューターで実行される前に、
どのように「コンパイル」（変換・最適化）されるかを理解しましょう！

古典

```
int a = 2;
int b = 3;
int c = a + b;
```

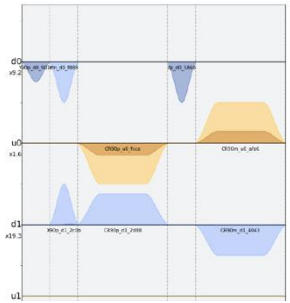
量子



プログラム（量子回路）

コンパイル

```
10110000 00000010  ;
10110011 00000011  ;
00000001           ;
```



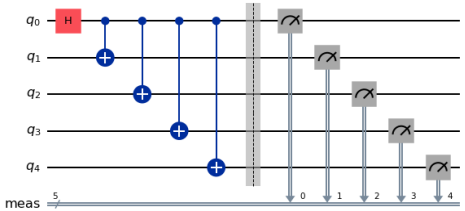
制御指示(スケジュール)

量子コンパイラの目標

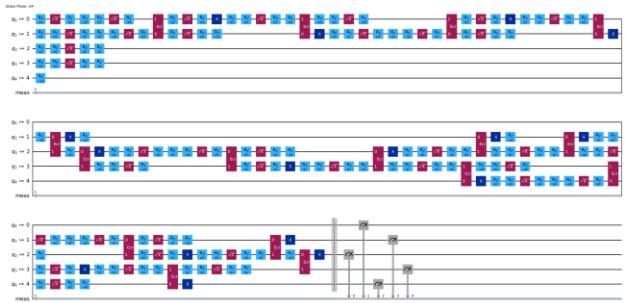
- 利用可能な基底ゲートセットの制約
- 量子ビットの接続性の制約

1. 使用する量子プロセッサの**制約を満たして**量子プログラムを実行可能にする
2. 量子プログラムを**最適化して**より速く、より正確に実行可能にする

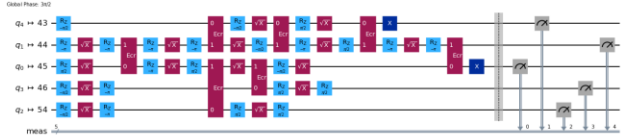
コンパイル前の回路

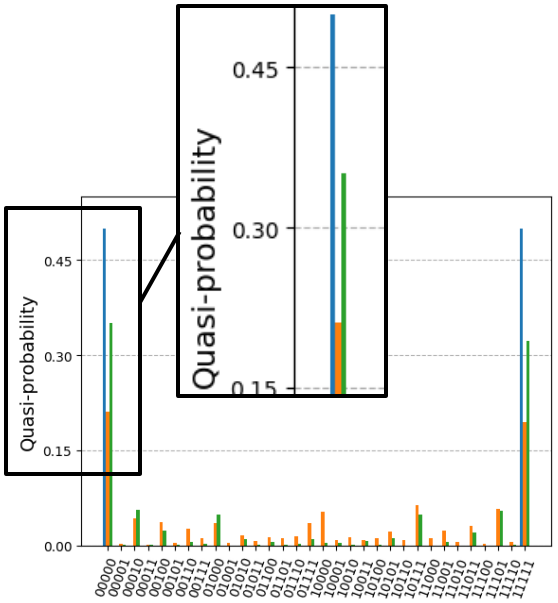


最適化なし



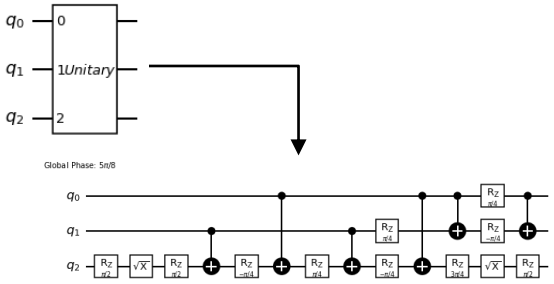
最適化あり



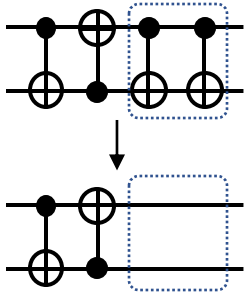


コンパイルの流れ

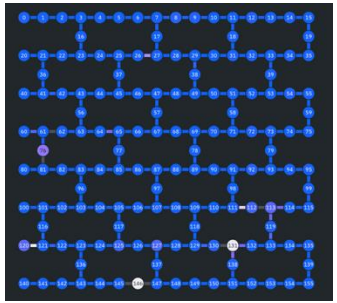
①量子回路の合成



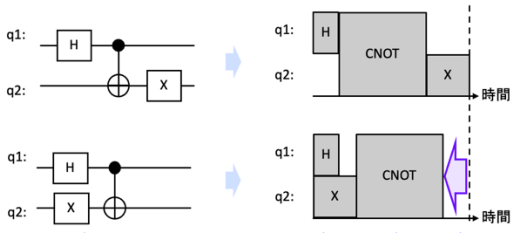
②量子回路の最適化



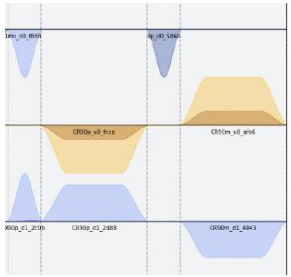
③量子ビットマッピング



④実行スケジューリング

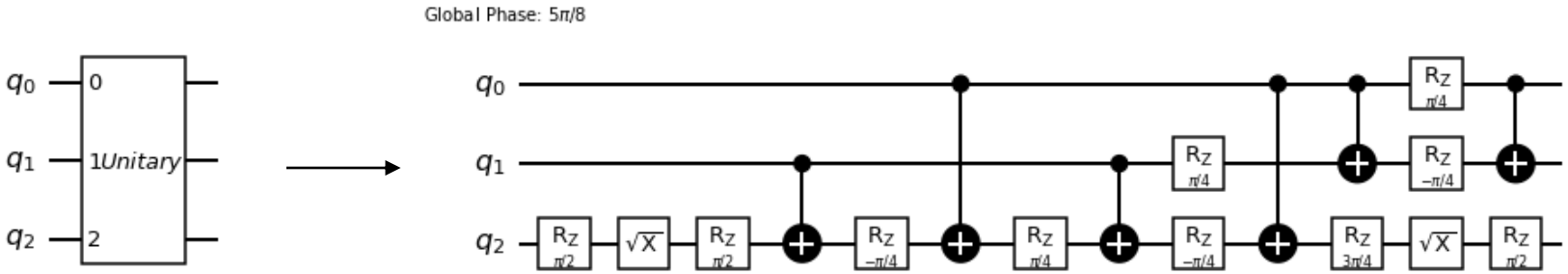


⑤低水準化



量子回路の合成（ゲートの分解）

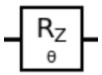
使用する量子プロセッサで利用可能な基底ゲートセットの制約を前提として、 ハイレベルな量子ゲートをハードウェアがサポートする基底ゲートを使って合成する



基底ゲートセットの例

- 通常、 ユニバーサルゲートセット
  任意のゲートを任意の精度に近似できるゲートセット
- 通常、1 量子ビットおよび 2 量子ビットのゲート

Z回転
(位相シフト)

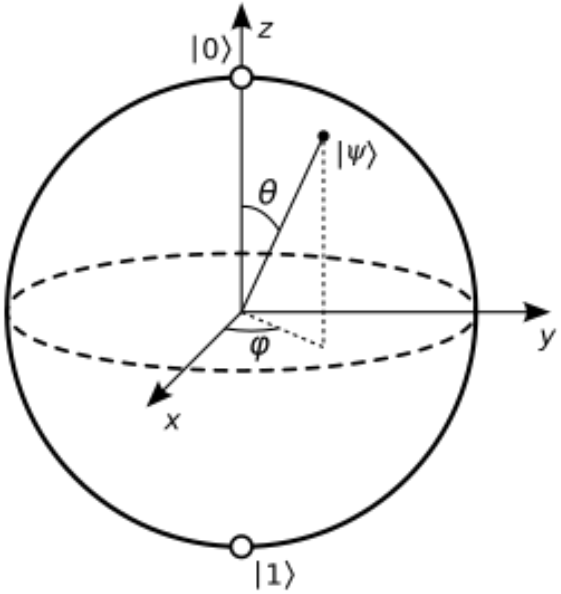


SX

CNOT

補足：1量子ビットゲートの分解

全ての1量子ビットゲートの操作はBloch球上の操作であり、U3ゲートの1表現とみなすことができる
→回転ゲートの組み合わせに分解することが可能（Euler分解）
→Rz と SX（Rx）を用いて1量子ビットを表現することが可能



$$\mathrm{U3}(\theta,\phi,\lambda)$$

球面上の操作はZ軸回転→Y軸回転→Z軸回転の3回で表現できるはず

$$R_z(\phi)R_y(\theta)R_z(\lambda)$$

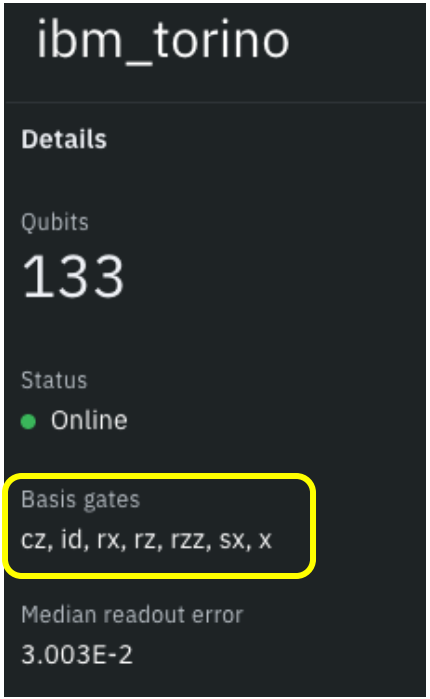
ハードウェアの制約がある
例) 任意角度のRyやRxを直接サポートしないが、固定角度だけを基底にしている(SXゲート)

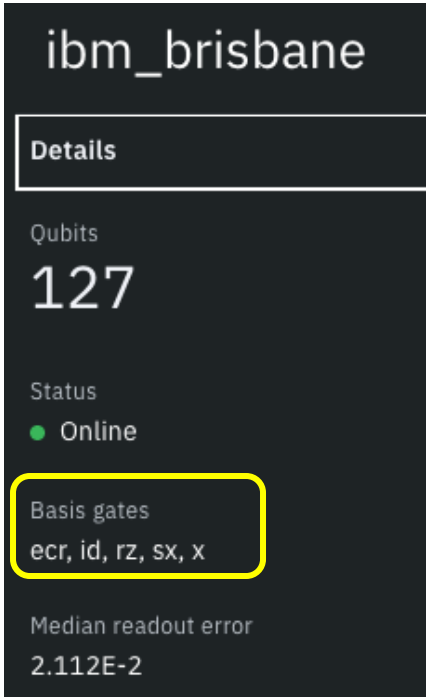
$$R_z(\phi)\underbrace{R_x\left(-\frac{\pi}{2}\right)}_{SX^\dagger}R_z(\theta)\underbrace{R_x\left(\frac{\pi}{2}\right)}_{SX}R_z(\lambda)$$

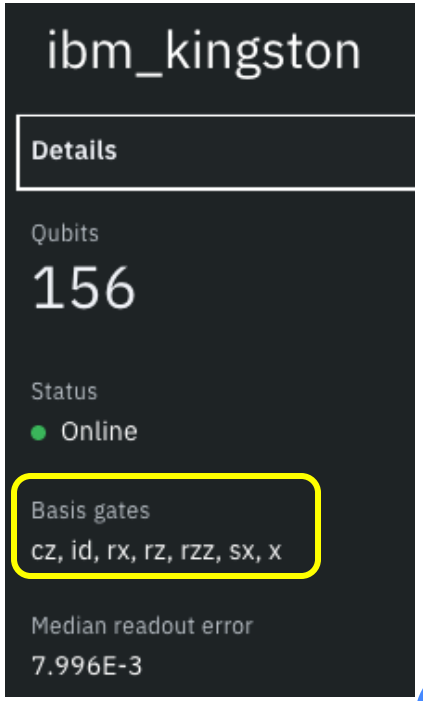
Qt

IBM Quantumプロセッサーの基底ゲート

- 一般的な 1 量子ビットゲート: Rz、SX 、X
- 異なる2量子ビットゲート:　　CX、ECR、CZ







https://quantum.cloud.ibm.com/computers

回路の最適化

与えられた回路をよりシンプルな回路に変換する

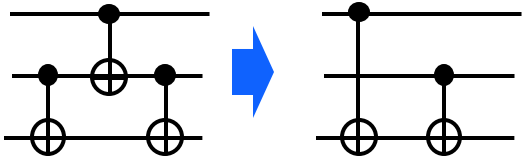
作戦① パターンに当てはめる

例: CNOT ゲートを減らす

例①

(恒等演算)

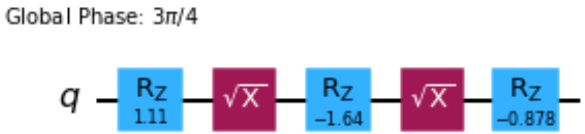
例②



作戦② 1量子ビットゲートをまとめる

Euler分解の考え方を逆転

1. 1量子ビットの操作はどんなに数が多くても Bloch球面上の操作
2. 回転ゲートの組で表現できるはず



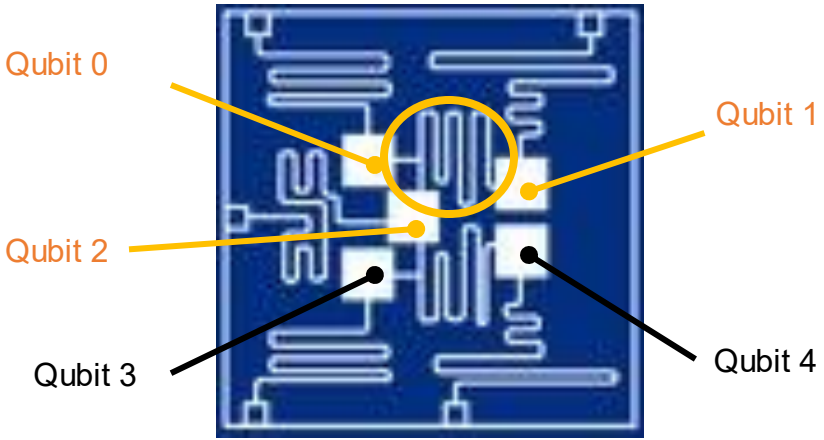
回路のマッピング（①レイアウト）

量子コンピュータの制約：2 量子ビットゲートは、「結合された」 量子ビットでのみ実装可能

コンパイルの作戦：

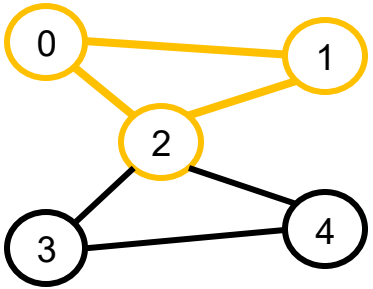
① 量子回路中で頻繁に相互作用する論理量子ビット同士を、隣り合う物理量子ビットに配置（レイアウト）

② 回路の途中で発生する「隣接していない量子ビット同士のCNOT」に対応できるように、SWAPゲートを挿入して論理量子ビットを物理的に移動させ、必要な位置関係を一時的に作り出す（ルーティング）



Device image of IBM Q 5 Tenerife [ibmqx4]

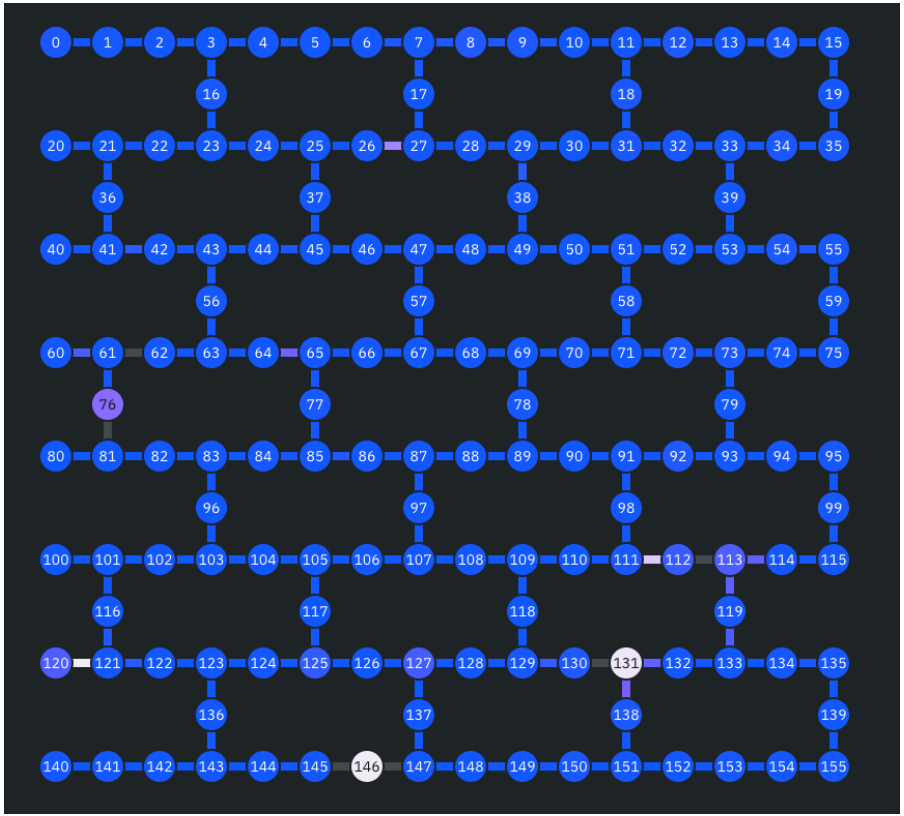
モデル化
（抽象化）



カップリンググラフ（マップ）
ノード ⇔ 量子ビット
エッジ ⇔ カプラー

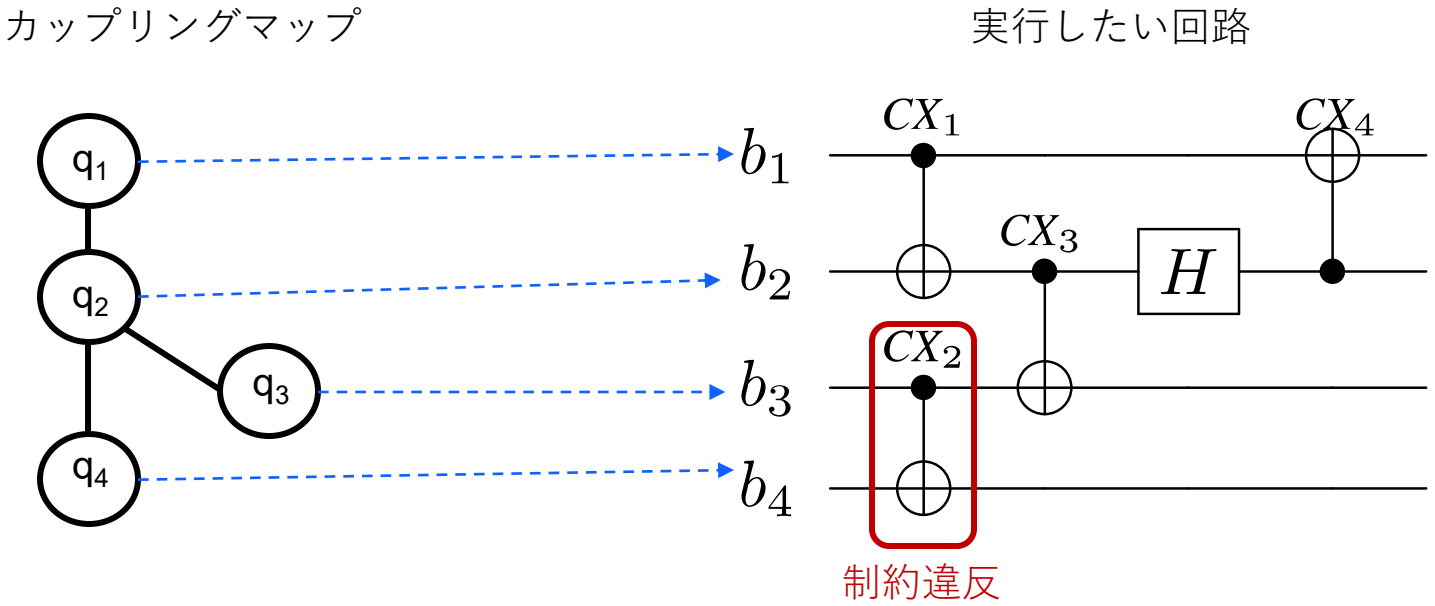
補足：IBM Quantumプロセッサーの結合マップ

例：IBM_KINGSTON 156量子ビット



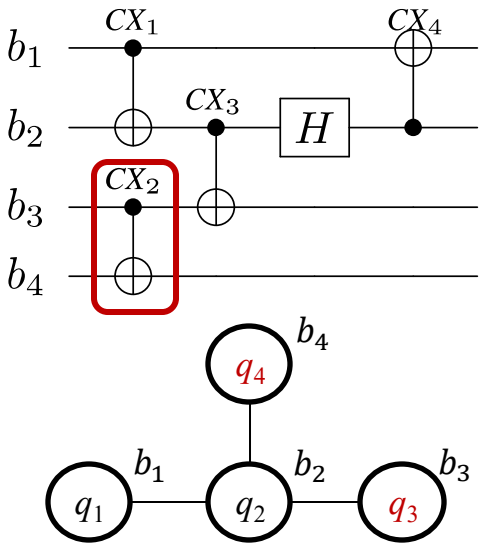
回路のマッピング（②ルーティング）

そうはいっても、制約を完璧に満たす初期配置が見つからない場合が必ずある

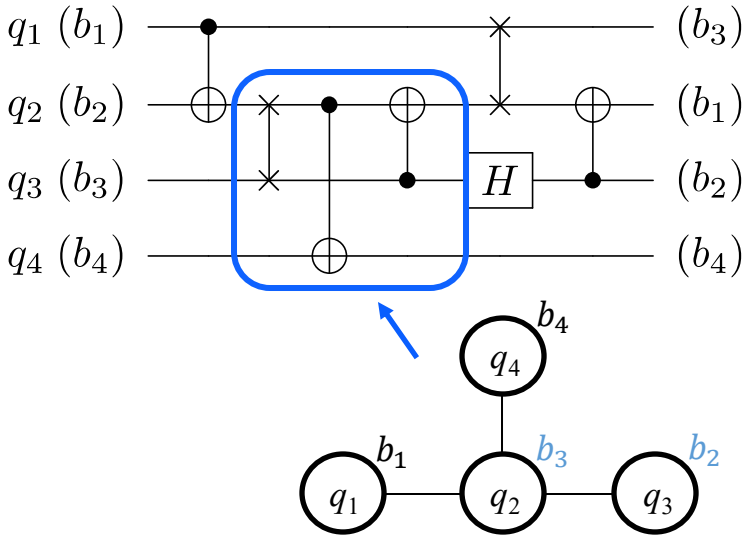


回路のマッピング（②ルーティング）

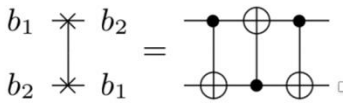
2つの量子ビットの状態を入れ替えるSWAPゲートを活用することで、論理的な量子ビットの隣接関係を一時的に作り出し、制約を満たしながらアルゴリズムを実行させる



ルーティング



ただしSWAPゲートはエラー率の高いCNOTゲートの集合
→ SWAPゲート数の最適化は必須

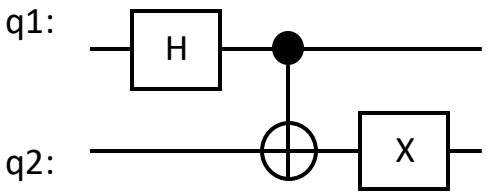


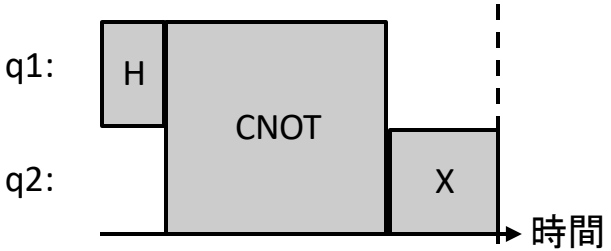
実行スケジューリング

マッピングされた回路に対し、アルゴリズムの意味を変えない範囲でゲートの実行順やタイミングを最適化

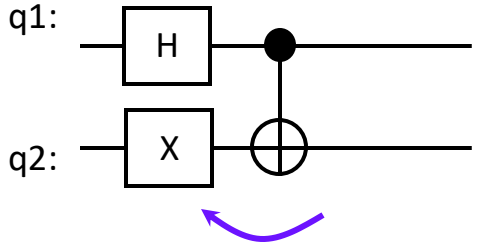
1. 回路の実行時間を短縮
2. 並列実行できるゲートを同時に走らせる
3. ハードウェアの制約を守る

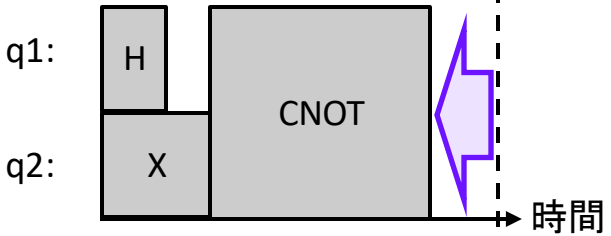
マッピング後





スケジューリング後

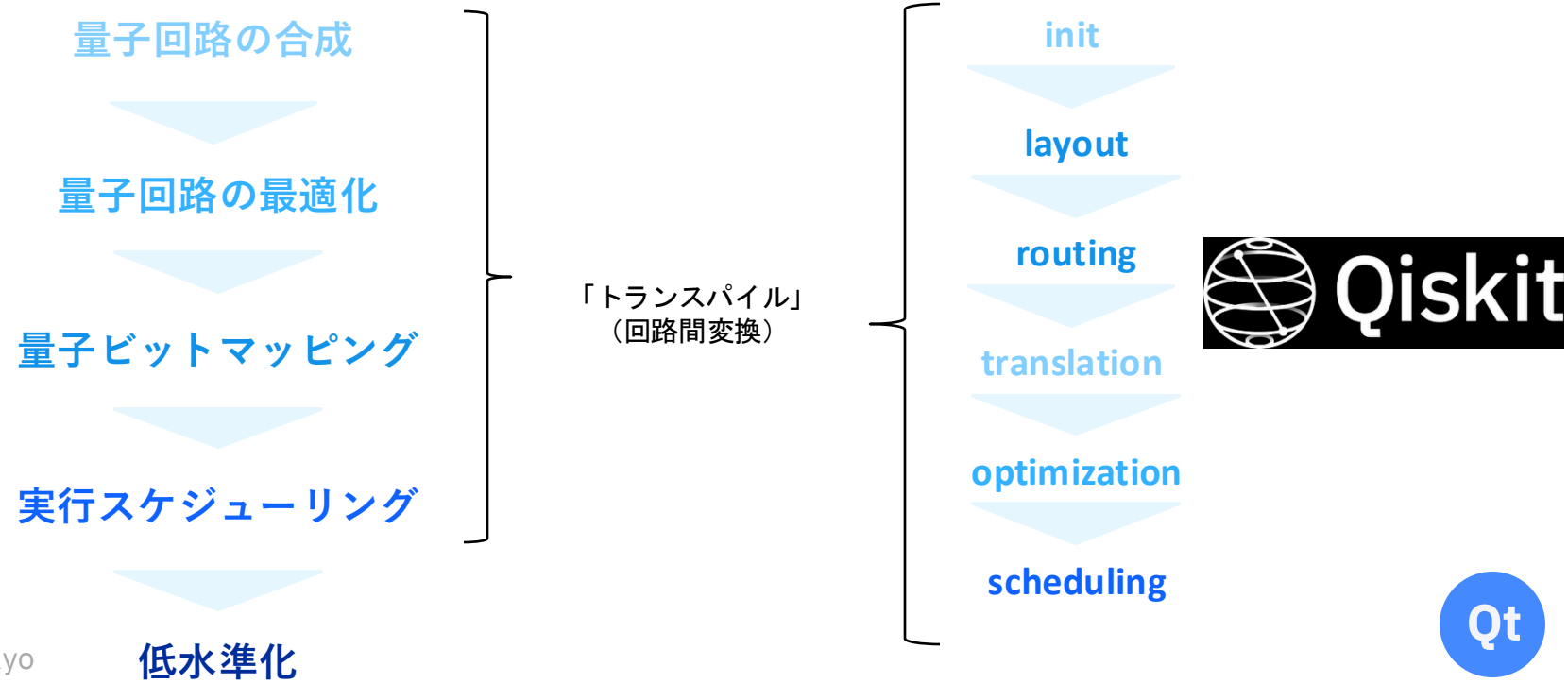




より短い=より良いスケジュール

まとめ

量子コンパイラとは
1. 使用する量子プロセッサの制約を満たして量子プログラムを実行可能にする
2. 量子プログラムを最適化してより速く、より正確に実行可能にする



最後に：もっと勉強したい方へ

https://quantum-tokyo.github.io/introduction/courses/utility-scale-quantum-computing/overview-ja.html

IBM Quantum Learning
「Utility-scale quantum computing」の日本語解説

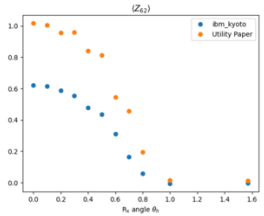
チャプター	日程
1. はじめ	-
2. 量子ビット・量子ゲート・量子回路	7/7(月)
3. 量子テレポーテーション	7/16(水)
4. グローバーのアルゴリズム	7/16(水)
5. 量子位相推定	7/28(月)
6. 量子変分アルゴリズム	7/28(月)
7. 量子系のシミュレーション	8/22(金)
8. 古典計算によるシミュレーション	skip
9. 量子ハードウェア	9/4(木)
10. 量子回路の最適化	9/4(木)
11. 量子エラー緩和	9/24(水)
12. 量子ユーティリティーの実験 I	9/24(水)
13. 量子ユーティリティーの実験 II	TBD
14. 量子ユーティリティーの実験 III	TBD

Replay (YouTube)：
https://www.youtube.com/playlist?list=PLA-UlvpIBvpuzFXRPNTqiK94kfRgYCBMs

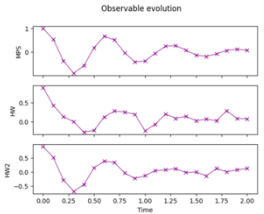
Jupyter notebookの和訳：
https://quantum-tokyo.github.io/introduction/courses/utility-scale-quantum-computing/overview-ja.html

English version (IBM Quantum Platform)：
https://quantum.cloud.ibm.com/learning/en/courses/utility-scale-quantum-computing

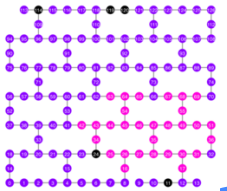
I. Nature paper
(127 qubits x 60 entangling gates)



II. 1D Transverse Ising model
(70 qubits x 80 entangling gates)



III. The largest GHZ state challenge



Quantum Tokyo