

**OBJETIVO**

Descrever um circuito gerador e verificador de paridade em VHDL.

COMPONENTES

- FPGA Cyclone DE2-115.

PROCEDIMENTO PRÁTICO

Descreva o sistema digital apresentado no diagrama de blocos da Figura 1 abaixo em VHDL. O circuito corresponde ao modelo de canal (BSC) é apresentado na Figura 2. Neste circuito, as entradas $D_3..D_0$ correspondem os *bits* que devem ser enviados em um canal de transmissão. As entradas $E_3...E_0$ são *bits* controladores de erro. Assim sendo, quando $E_3 = 1$, é aplicado um erro ao *bit* 3 (troca-se o valor), ao passo que quando $E_3 = 0$, não se aplica erro ao *bit* 3 (o valor é mantido). O mesmo comportamento é aplicado aos outros *bits*.

Estes devem ser implementados como blocos em VHDL, de forma separada, utilizando apenas expressões lógicas. O sistema digital completo deverá ser implementado em VHDL utilizando PORT MAP dos blocos projetados anteriormente.

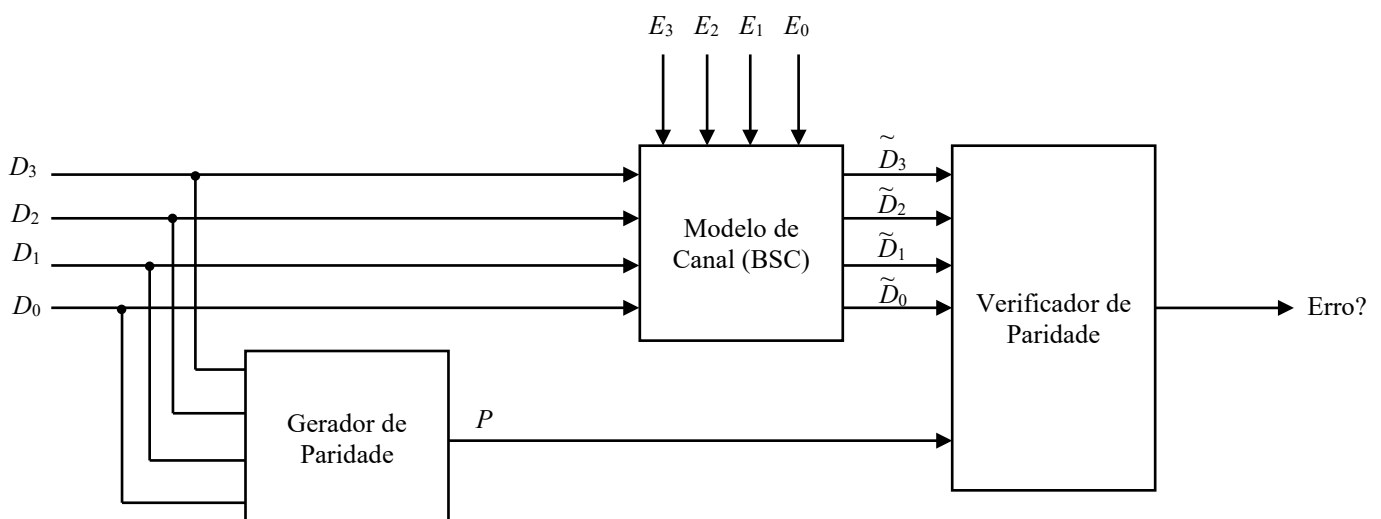


Figura 1 – Circuito gerador e verificador de paridade.

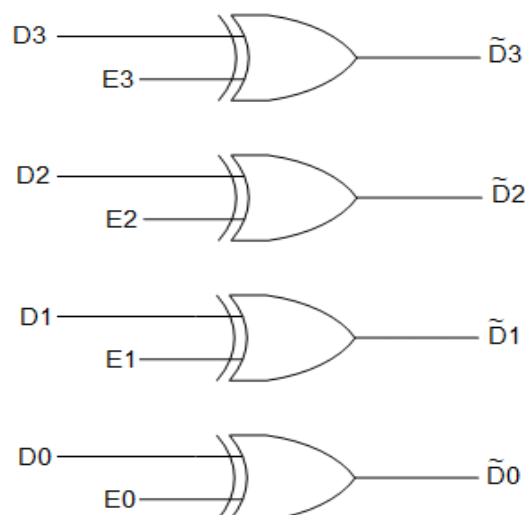


Figura 2 – Modelo de um Canal BSC.

1. Projete os circuitos correspondentes aos blocos de gerador e verificador de paridade.
2. Descreva o circuito da Figura 1 em VHDL.
3. Simule o funcionamento do circuito do QuestaSim ou no ModelSim. Para isso:
 - a. Fixe as entradas $D_3D_2D_1D_0$ em um número fixo (por exemplo 1011);
 - b. Verifique a saída E para todos os casos das entradas $E_3E_2E_1E_0$;Apresente o gráfico da forma de onda.
4. Implemente esse sistema na FPGA. Para isso, mapeie as entradas em chaves e a saída em LEDs (Dica: caso queira, talvez seja interessante verificar os sinais antes da entrada do verificador de paridade).
5. Cite uma limitação do circuito de geração/verificação de paridade apresentados.