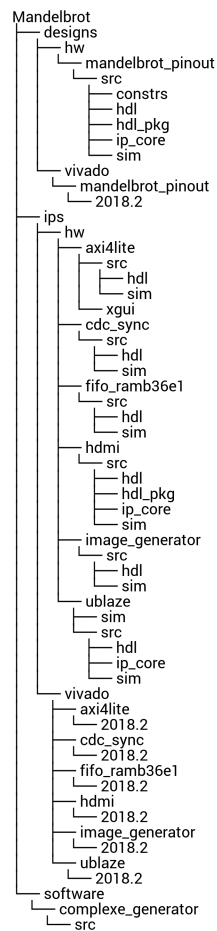


Laboratoire Mandelbrot - organisation du projet

Joachim Schmidt <joachim.schmidt@hesge.ch>

HEPIA - CoRES

1 Arborescence du projet



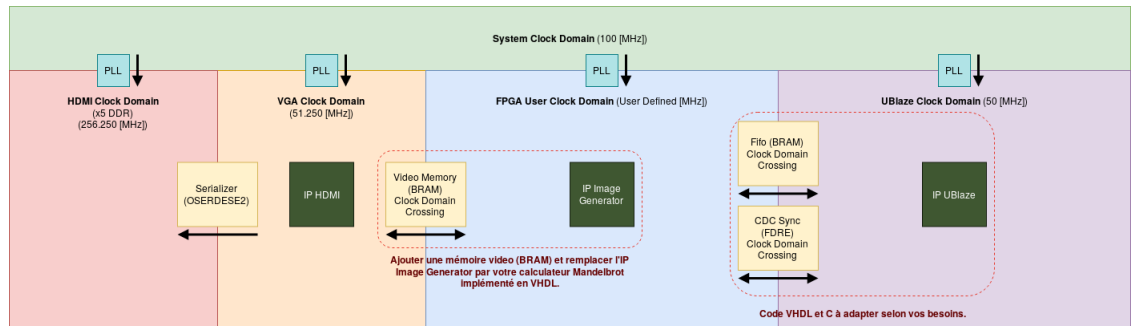
L'arborescence du projet est séparée en deux parties principales. La partie "designs" où se trouve le projet complet qui sera chargé sur le fpga et la partie "ips" qui contient les différentes IPs utilisées dans le projet.

Chacun de ses deux dossiers comporte une sous structure de deux dossiers. Le dossier "hw" contient les fichiers sources du projet ou des IPs. Quant au dossier "vivado", il contient le projet Vivado du design ou des IPs.

Cette structure permet de facilement suivre les fichiers textes (non binaire) sur un système de gestion de version comme Git et de pouvoir facilement utiliser les IPs que vous avez créés dans d'autres projets.

Concernant le projet Vivado Mandelbrot, il se trouve dans **"Mandelbrot -> designs -> vivado -> mandelbrot_pinout -> 2018.2 -> mandelbrot_pinout.xpr"**.

2 Structure du projet



Le projet est organisé en 5 domaine d'horloge.

- Le premier domaine (vert) vient d'un oscillateur externe au FPGA dont la fréquence de fonctionnement est de 100 [Mhz].
- Le deuxième et troisième domaines (rouge et orange) concernent la partie HDMI et VGA.
- Le troisième domaine (bleu) est celui que vous allez devoir utiliser pour la conception de votre calculateur Mandelbrot. Ainsi, vous pourrez choisir la meilleure fréquence de fonctionnement selon les timings spécifiés dans votre design.
- Le quatrième domaine (violet) concerne le MicroBlaze. La fréquence de fonctionnement de ce dernier étant limitée, il est nécessaire de l'isoler du troisième domaine (bleu) afin de ne pas affecter la fréquence de fonctionnement de votre logique.



La figure ci-dessus représente la structure du code VHDL du fichier "mandelbrot_pinout.vhd" (top level). Celui-ci est scindé en plusieurs blocs représentant les différents domaines d'horloge (orange, bleu et violet). A l'intérieur de ceux-ci se trouve la logique et les différentes IPs qui fonctionnent respectivement avec les horloges de ces domaines.

Les blocks en jaune représentent les IPs et la logique qui servent à croiser deux domaines d'horloge.

2.1 Exemple

Dans le projet de base qui vous a été fourni, le domaine d'horloge "Fpga User Clock Domain" n'existe pas. L'IP "image_generator" est connecté à la partie VGA. Les étapes que vous devez réaliser sont les suivantes :

- Instancier une mémoire BRAM qui servira de mémoire vidéo.
- Connecter la logique de l'IP "image_generator" au domaine d'horloge système (vert). Ne pas utiliser de PLL pour l'instant.
- Connecter le port de lecture de la mémoire BRAM au domaine d'horloge "VGA Clock Domain".
- Connecter l'IP "image_generator" au port de lecture de la mémoire BRAM.

Attention : Il ne faut pas faire transiter des signaux directement entre les domaines d'horloge "VGA Clock Domain" et "FPGA User Clock Domain", mais uniquement en utilisant la mémoire BRAM.

Petite remarque : Les IPs mémoire BRAM et PLL pour le domaine "FPGA User Clock Domain" sont déjà instanciées dans le projet et commentées dans le code. Il suffit de réactiver les deux IPs dans l'arborescence Vivado, de décommenter le code et de reconnecter correctement les différents signaux.

2.2 Comment connecter une PLL

Cette étape sera à mettre en oeuvre uniquement lorsque le cours sur les PLLs aura été donné.

