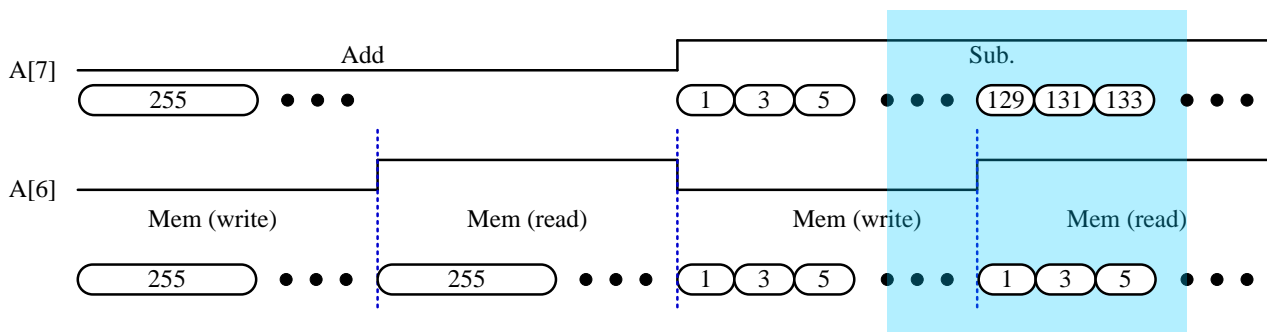
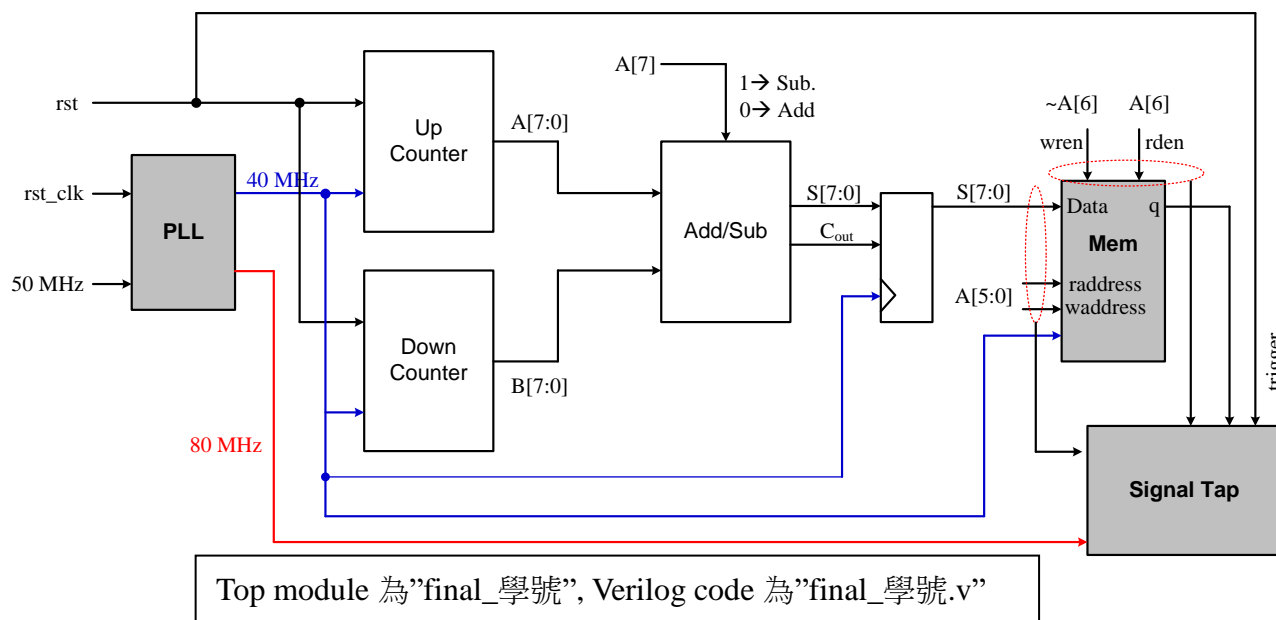


邏設實驗(II)期末 Lab

請完成以下電路的 Verilog 設計，並執行其 Quartus-II FPGA 流程與測試



將期中 Lab 的設計內容加上 PLL(產生 40MHz 與 80MHz clock)與 Memory(加減法後的結果存取於此)後，利用 Signal Tap 觀測相關結果(控制信號與 Memory I/O)。其中 rst, rst_clk 與 50MHz (clk_src)須接至板子上的 SW 與 clock 來源(參考之前的 Lab)。Signal Tap 可以 rst 作 trigger 設定。

上傳資料內容：

- (1) Verilog code (run Quartus-II 前，不含 PLL 與 Mem；即期中 Lab 的版本) (20%)
- (2) Verilog testbench(不含 PLL 與 Mem；即期中 Lab 的版本) (10%)
- (3) Simulation waveform (run Quartus-II 前，不含 PLL 與 Mem；即期中 Lab 的版本) (20%)
- (4) Verilog code (run Quartus-II 前，**加上** PLL 與 Mem；即**期末** Lab 的版本) (20%)
- (5) Timming constraint 的設定檔→xxx.sdc (包含 50MHz, 40MHz, 80MHz) (10%)
- (6) Pin assignment 的設定檔→xxx.pin (10%)
- (7) Signal Tap 的量測波形(run Quartus-II 後)(顯示上方 timming 圖的藍色區域) (20%)

(黑色字體標示→直接上傳檔案；藍色字體標示→寫在報告裡)>> 最後壓縮在一起上傳

以上 items, 若同學只能執行到(1)-(3), 則可在報告中加入以下 items(可完成(4)以後 item 之同學則不必加寫以下 items)

- (i) 期中 Lab 內容說明(50 字以上)(可加圖示) (視內容加分: 10%為參考)
- (ii) 心得(學習)報告(100 字以上) (視內容加分: 10%為參考)

加分題: 額外執行 Simulation 與 Signal-Tap 的量測結果做比對
另外的上傳資料內容:

- (1) RTL Simulation waveform (run Quartus-II 前) (顯示上頁 timing 圖的藍色區域) (15%)
- (2) Post-Simulation waveform (run Quartus-II 後) (顯示上頁 timing 圖的藍色區域) (15%)

(同樣的原則，黑色字體標示→直接上傳檔案；藍色字體標示→寫在報告裡)

(不含加分題)>> 內容完整者，依 items 給分，總分最高 110。各 item 之內容若有不全或不正確者，(酌量)扣分。

(含加分題)>>內容完整者，依 items 給分，總分最高為 140 分