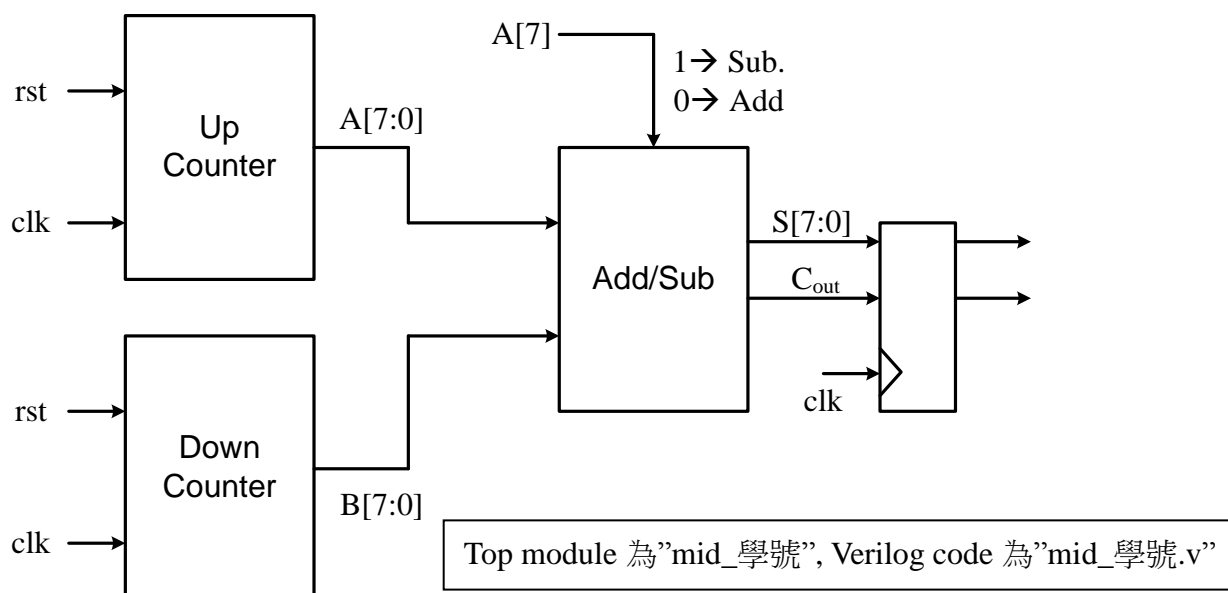


## 邏設實驗(II)期中 Lab

請完成以下電路的 Verilog 設計，並執行其 Quartus-II FPGA 流程



Up Counter: "Reset"之初始值為"0"，之後一直上數至 255 後，值停留不變。

Down Counter: "Reset"之初始值為"255"，之後一直下數至 0 後，值停留不變。

rst 為"Async." Reset。

clk 為 40 MHz clock。

上傳資料內容：

- (1) Verilog code (run Quartus-II 前) (20%)
- (2) Verilog test bench (10%)
- (3) Simulation waveform (run Quartus-II 前) (包含加法與減法運算兩部分的驗證) (20%)
- (4) 合成後的圖(RTL schematic 或 Technology schematic 二選一即可) (10%)
- (5) Timming constraint 的設定檔→xxx.sdc (10%)
- (6) Pin assignment 的設定檔→xxx.pin (10%)
- (7) 執行 post-simulation 的 netlist→xxx.vo (10%)
- (8) Post-Simulation waveform (run Quartus-II 後) 包含加法與減法運算兩部分的驗證) (20%)

(黑色字體標示→直接上傳檔案；藍色字體標示→寫在報告裡)>> 最後壓縮在一起上傳

以上 items, 若同學只能執行到(1)-(3), 則可在報告中加入以下 items(可完成(4)以後 item 之同學則不必加寫以下 items)

- (i) 期中 Lab 內容說明(50 字以上)(可加圖示) (視內容加分: 10%為參考)
- (ii) 心得(學習)報告(100 字以上) (視內容加分: 10%為參考)

加分題：當  $A[7:0] \geq 128$  之後， $A[7:0]$  與  $B[7:0]$  輸入 Add/Sub 的值對調，但 Add/Sub 的加或減控制仍是由  $A[7]$  決定。

另外的上傳資料內容：

- (1) Verilog code (run Quartus-II 前) (請用新的檔名與 module name: 例如 "mid\_學號\_II.v") (10%)
- (2) Simulation waveform (run Quartus-II 前) (包含加法與減法運算兩部分的驗證) (10%)
- (3) Post-Simulation waveform (run Quartus-II 後) 包含加法與減法運算兩部分的驗證) (10%)

(同樣的原則，黑色字體標示→直接上傳檔案；藍色字體標示→寫在報告裡)

(不含加分題) >> 內容完整者，依 items 給分，總分最高 110。各 item 之內容若有不全或不正確者，(酌量)扣分。

(含加分題) >> 內容完整者，依 items 給分，總分最高為 140 分