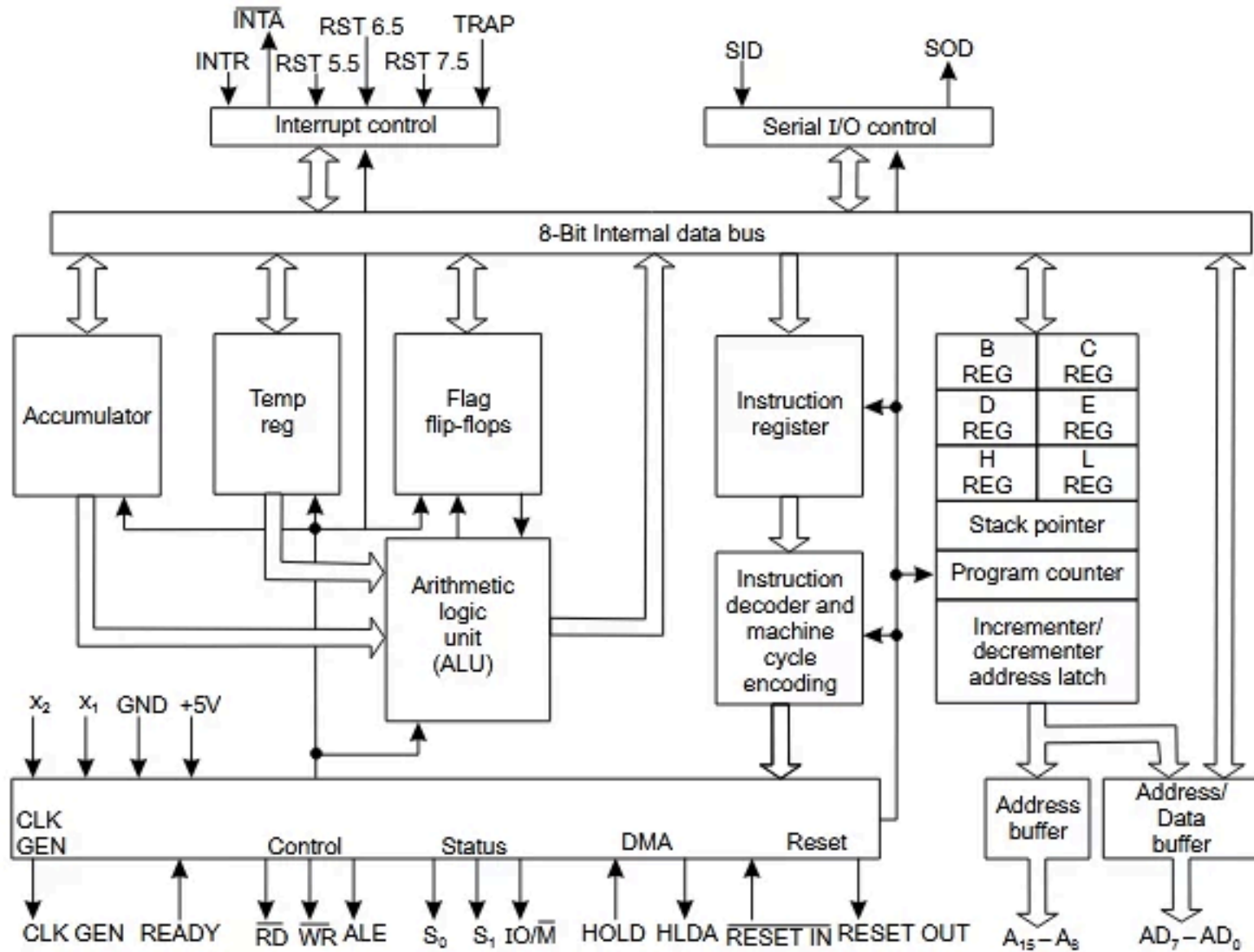


NHẮC LẠI BUỔI 2

- 8 bit, nguồn đơn 5V
- Tần số tối đa 5MHz;
có bộ tạo dao động bên trong dùng mạch LC, RC, thạch anh
- 16 bit địa chỉ \rightarrow có thể truy nhập 2^{16} giá trị địa chỉ tương đương 64KB
- 8 bit địa chỉ cổng vào ra \rightarrow điều khiển được $2^8=256$ cổng vào/ra
- Có sử dụng **chân ($AD_0 - AD_7$) tín chung cho cả tín hiệu địa chỉ và dữ liệu** \rightarrow cần phân tách tín hiệu thành A_0-A_7 và $D_0 - D_7$.
- **chế độ địa chỉ**: trực tiếp, thanh ghi, gián tiếp, trung gian và Implied
- Các thanh ghi 8 bit (B,C,D,E,H,L) và 16 bit (SP, PC)
- 5 ngắt cứng: TRAP, RST7.5; RST6.5; RST5.5 và INTR
- Cổng truyền thông nối tiếp
- Tín hiệu IO/\overline{M} , \overline{RD} , \overline{WR} để điều khiển quá trình đọc ghi dữ liệu
- Cho phép DMA



NHẮC LẠI BUỔI 2



Architecture of 8085

NHẮC LẠI BUỔI 2

Thanh ghi dùng chung A (Accumulator) - 3 trạng thái 8 bit,

Sử dụng trong các thao tác số học & logic, nạp & ghi dữ liệu, truy nhập cổng vào/ra

Tất cả các phép toán đều được nạp vào A

Thanh ghi cờ - 8 bit

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
S	Z	X	AC	X	P	X	CY

S – Sign - cờ dấu

Z- Zero - cờ không

AC- cờ tràn phụ;

P – cờ chắn lẻ

CY- cờ tràn

NHẮC LẠI BUỔI 2

Thanh ghi lệnh I 8 bit (Instruction)

Lưu mã lệnh trước khi thực hiện

Giá trị lưu trong I được đưa vào bộ giải mã trước khi thực thi

Thanh ghi bộ đếm chương trình PC 16 bit

Trở tới lệnh kế tiếp sẽ được thực thi

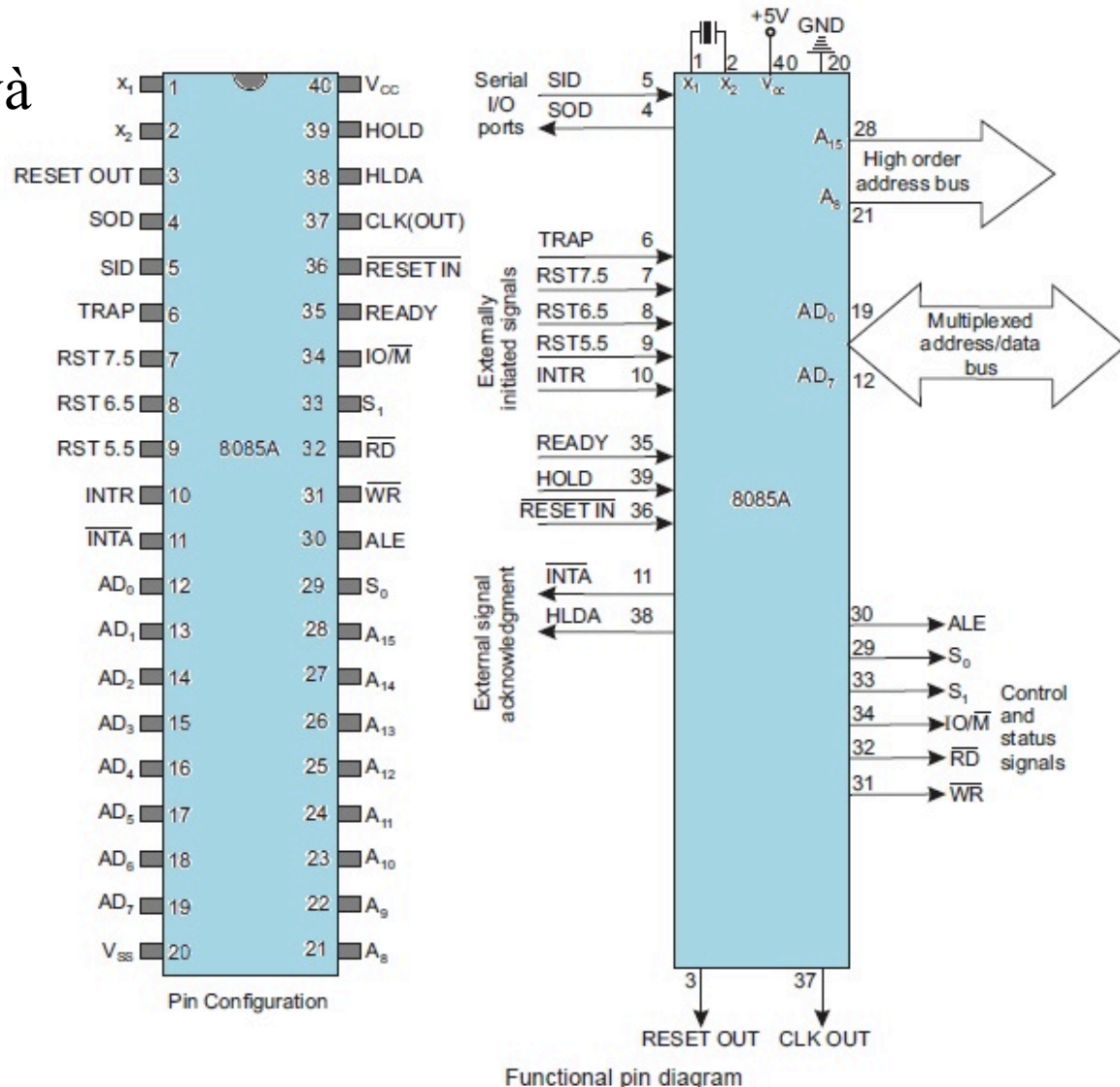
Thanh ghi con trỏ ngăn xếp SP 16 bit

Luôn trở tới đỉnh ngăn xếp

NHẮC LẠI BUỔI 2

Bao gồm các nhóm tín hiệu:

- Các chân tạo dao động và cấp nguồn
- Bus địa chỉ
- Bus dữ liệu
- Bus điều khiển
- Tín hiệu ngắt
- Tín hiệu vào/ra nối tiếp
- Tín hiệu tham nhập bộ nhớ trực tiếp DMA
- Tín hiệu Reset

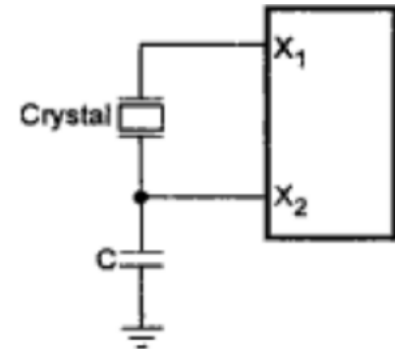


NHẮC LẠI BUỔI 2

Mạch tạo dao động:

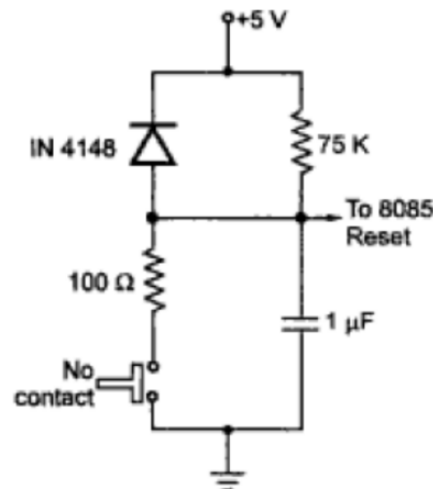
- 8085 cần thêm bộ tạo dao động cộng hưởng
- Bộ Flip-Flop bên trong thực hiện chia tần số dao động với hệ số 2,
→ **tần số hoạt động = $\frac{1}{2}$ tần số mạch cộng hưởng**

Mạch cộng hưởng thạch anh



Mạch reset:

Sau khi Reset, VXL nạp địa chỉ 0000H và PC hoạt động từ địa chỉ này



NHẮC LẠI BUỔI 2

- Hỗ trợ 2 dạng ngắt: **ngắt cứng** và **ngắt mềm**
- **Ngắt cứng**: các ngắt tác động vào VXL thông qua các chân ngắt

5 ngắt cứng: TRAP; RST7.5; RST6.5; RST5.5 và INTR

Dạng ngắt	Kiểu hoạt động	Mức độ ưu tiên	Che ngắt	Vecto địa chỉ
TRAP	Sườn và mức	1 (cao nhất)	Không	0024H
RST7.5	Sườn	2	Có	003CH
RST6.5	Mức	3	Có	003HH
RST5.5	Mức	4	Có	002CH
INTR	Mức	5 (thấp nhất)	Có	-

- Lệnh che và không che ngắt (masking/unmasking of interrupt): việc che ngắt được cho phép (enable) hoặc cấm (disable) nhờ các lệnh trong chương trình:
 - EI (enable interrupt): cho phép ngắt
 - DI (disable interrupt): cấm ngắt
 - SIM (set interrupt mask): thiết lập chế độ che ngắt

NHẮC LẠI BUỔI 2

- Ngắt gây ra bởi phần mềm (các lệnh gọi ngắt);
- 8 ngắt mềm từ RST0 đến RST7
- Địa chỉ vector ngắt (chương trình phục vụ ngắt) được tính như sau:

Vector address = số hiệu ngắt x 8

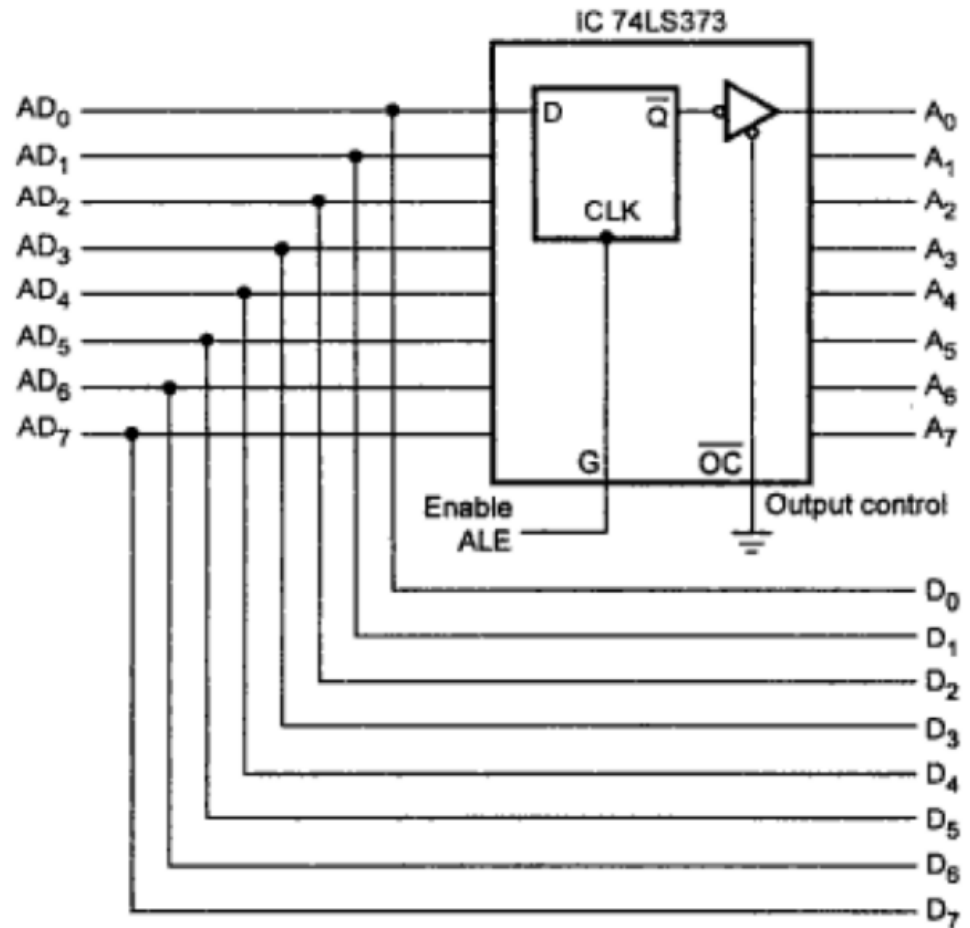
Ví dụ: địa chỉ vector ngắt của RST5 là: $5 \times 8 = 40 = 28H$

- Địa chỉ của các vector ngắt mềm:

Lệnh	Mã Hex	Vector địa chỉ
RST 0	C7	0000H
RST 1	CF	0008H
RST 2	D7	0010H
RST 3	DF	0018H
RST 4	E7	0020H
RST 5	EF	0028H
RST 6	F7	0030H
RST 7	FF	0038H

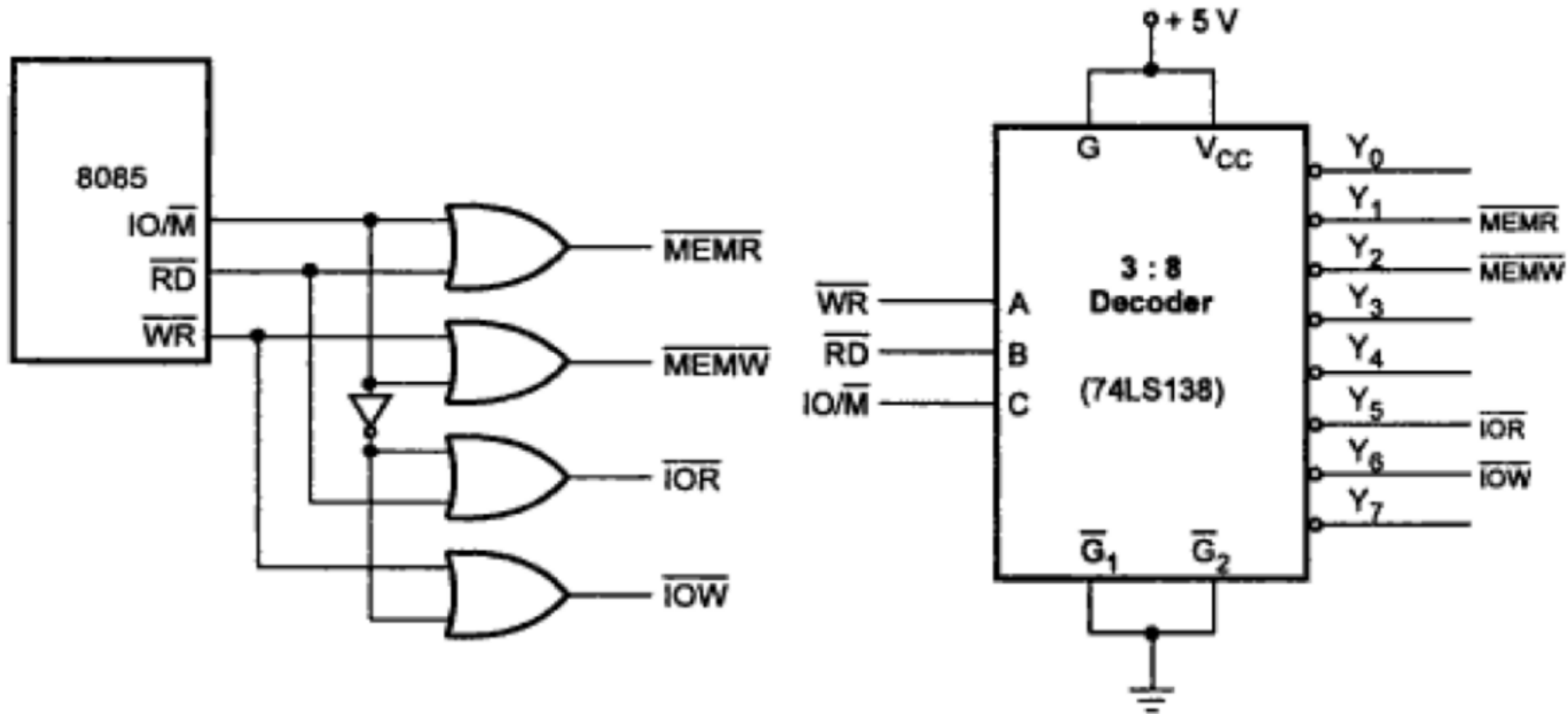
NHẮC LẠI BUỔI 2

- Tách kênh địa chỉ và dữ liệu:
 - AD_0 - AD_7 được dồn kênh
 - Các địa chỉ byte thấp A_0 - A_7 , hoạt động chỉ trong thời gian T_1 của chu kỳ máy
 - Thông qua mạch chốt IC74LS373 tách được các đường địa chỉ và dữ liệu
 - Các tín hiệu A_8 - A_{15} có thể đi trực tiếp đến chân địa chỉ của bộ nhớ hoặc cổng vào ra.



NHẮC LẠI BUỔI 2

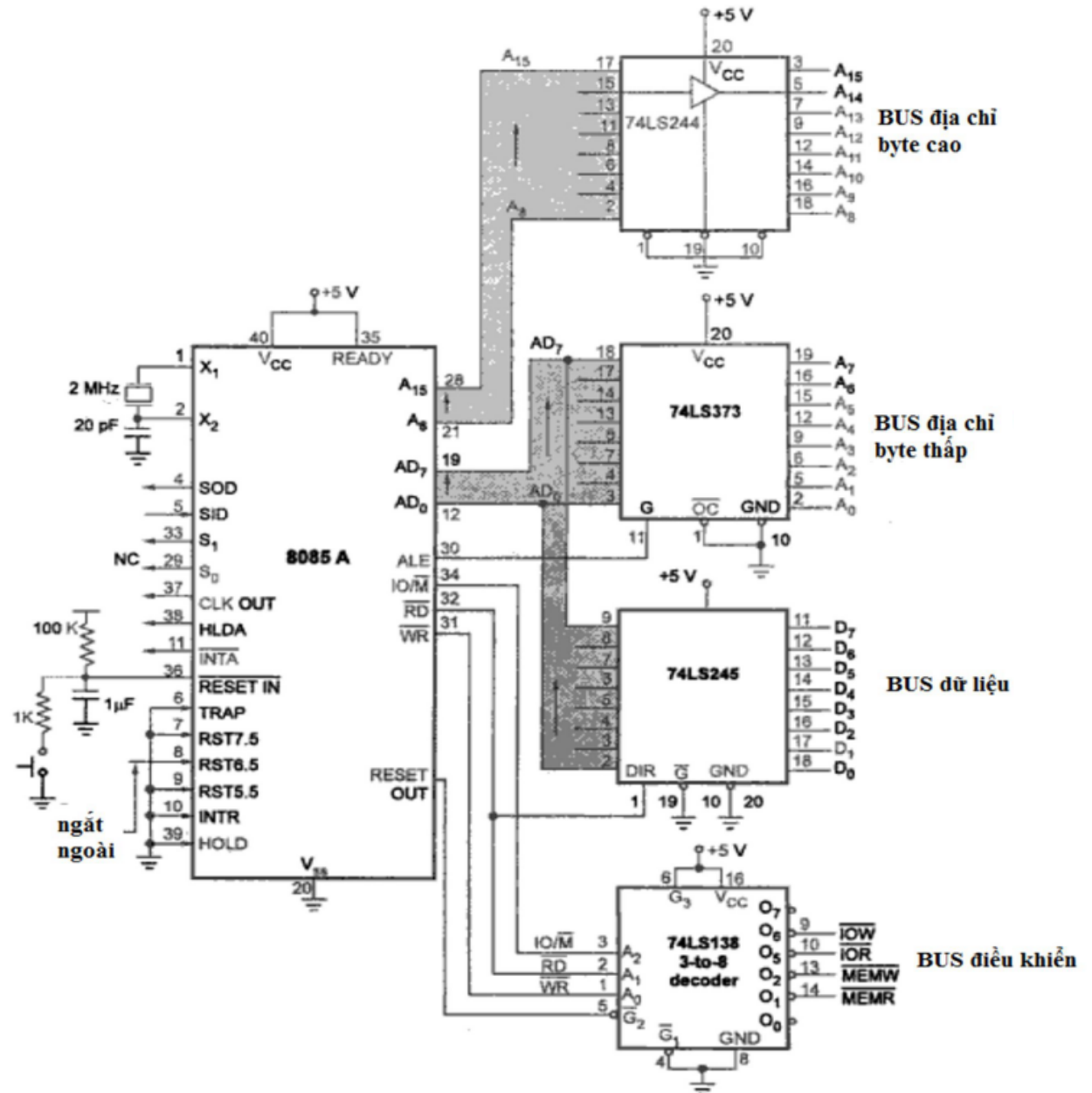
- Mục tiêu phân biệt tín hiệu điều khiển giữa Bộ nhớ và I/O



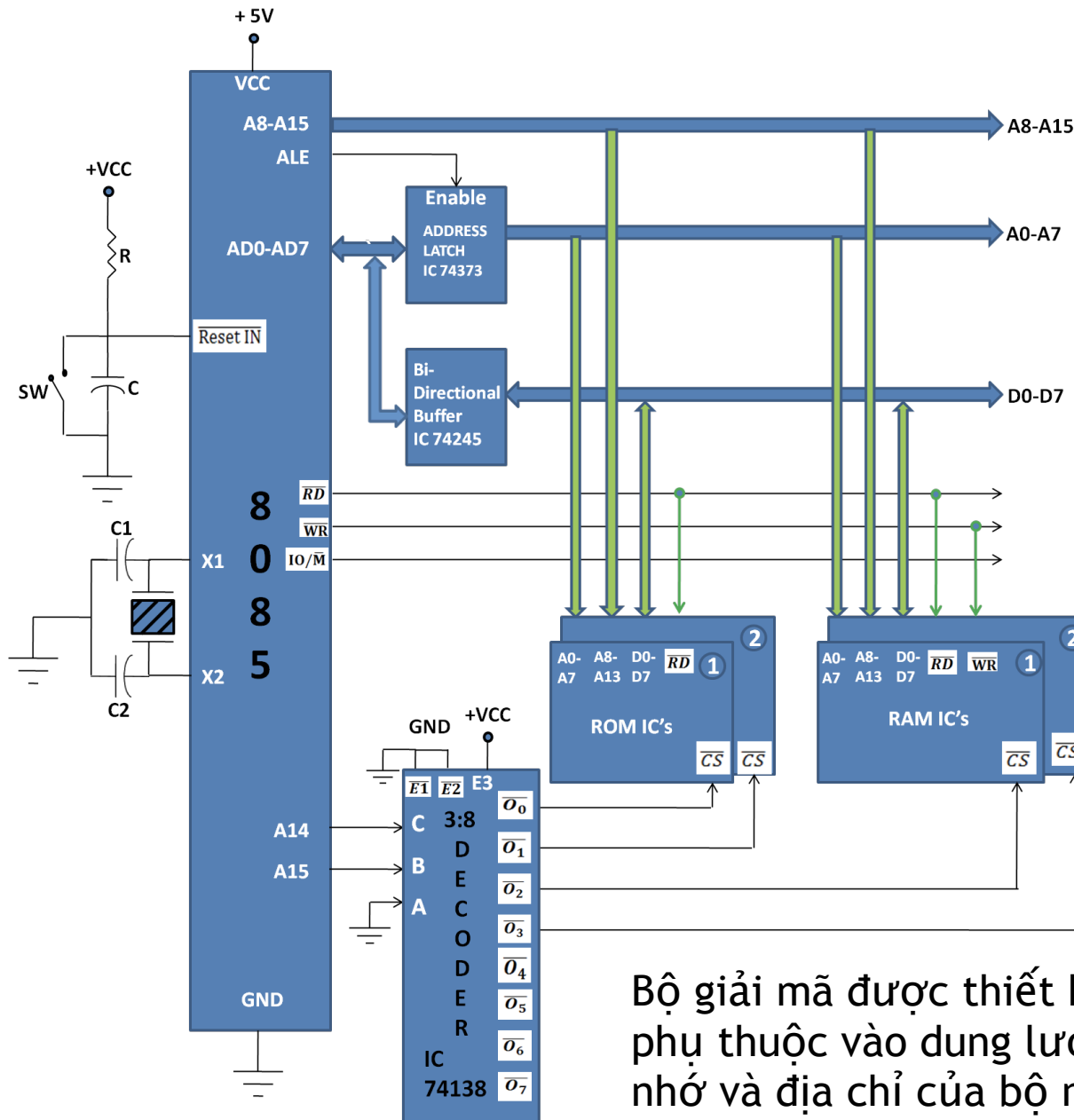
MEMR: Memory read
MEMW: Memory write

IOR: I/O read
IOW: I/O write

NHẮC LẠI BUỔI 2



NHẮC LẠI BUỔI 2



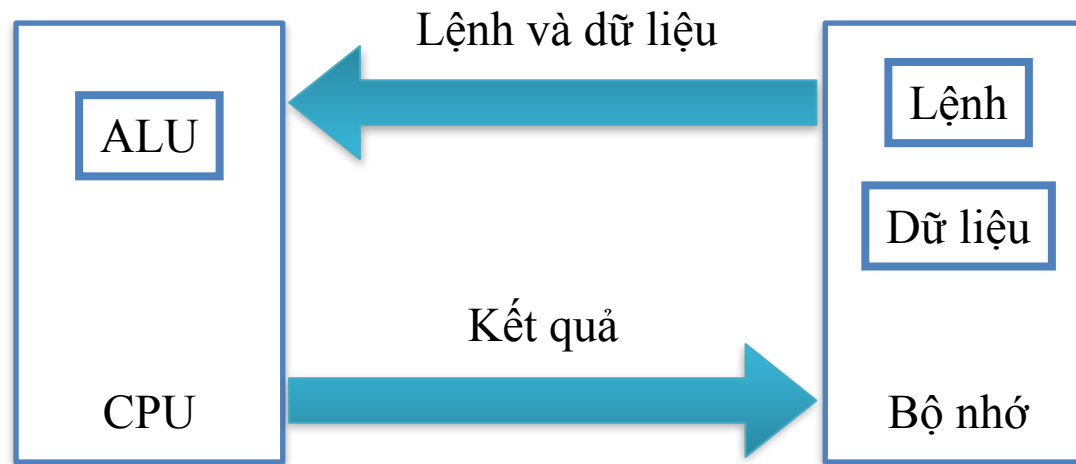
Bộ giải mã được thiết kế phụ thuộc vào dung lượng nhớ và địa chỉ của bộ nhớ

BÀI TẬP

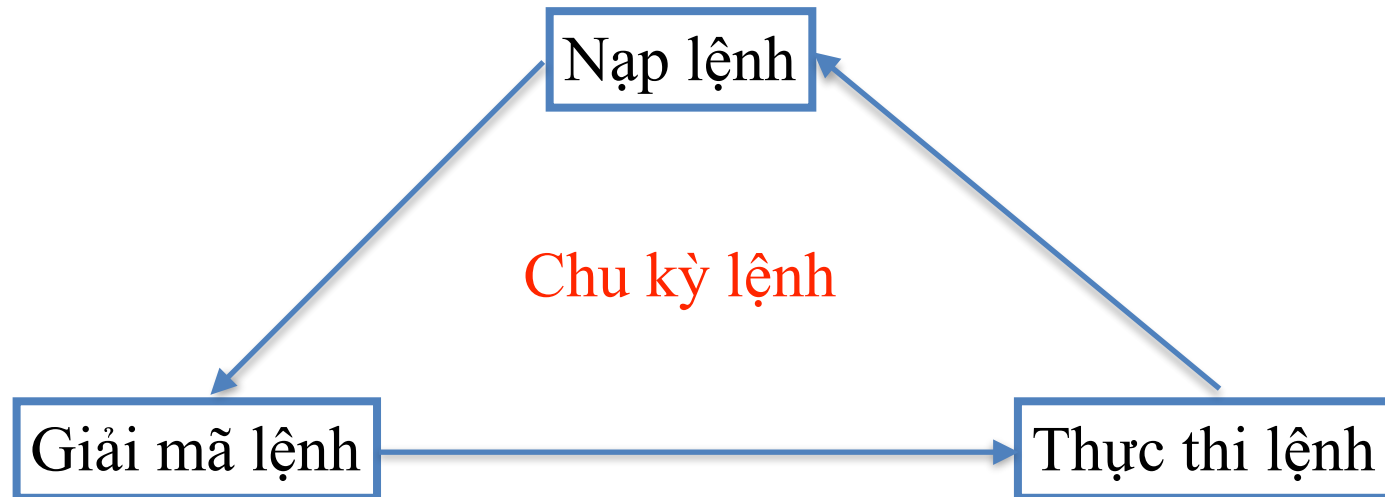
Phần Lý thuyết

1. Giới thiệu chung - Mô hình hệ VXL - Nguyên tắc hoạt động
2. Cấu trúc và hoạt động của vi xử lý 8085
3. Quá trình thực hiện 1 lệnh trong VXL 8085
4. Giới thiệu về vi điều khiển PIC
5. Bộ công cụ nạp chương trình, công cụ mô phỏng vi điều khiển
6. Bộ định thời Timer
7. Ghép nối với bộ hiển thị
8. ADC
9. Giao tiếp truyền dữ liệu
10. Ngắt
11. PWM

Quá trình thực hiện lệnh



Lệnh và dữ liệu nằm trong bộ nhớ nên cần được đọc về CPU để xử lý



Quá trình thực hiện lệnh

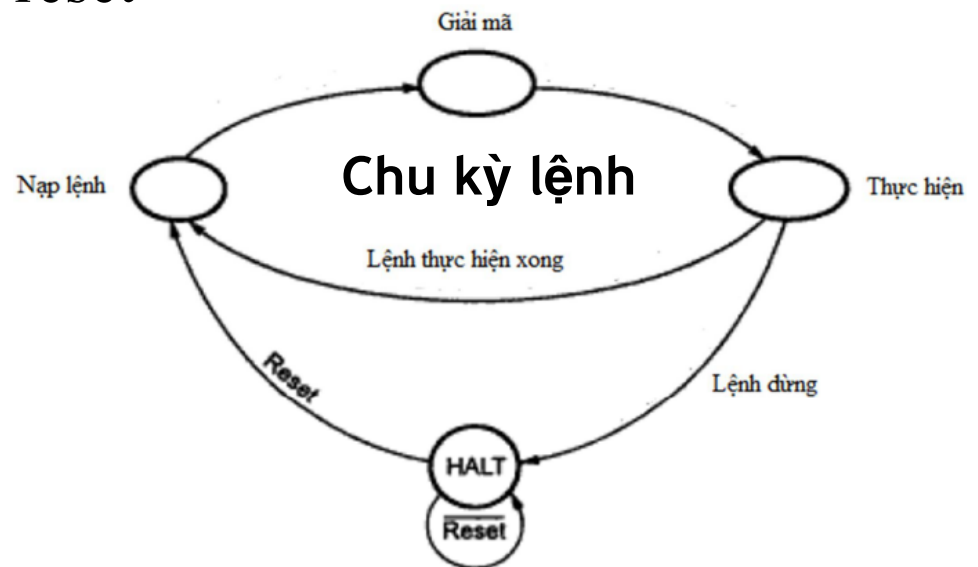
Chu kỳ lệnh:

là chu kỳ VXL tiến hành tuần tự các bước nạp lệnh, giải mã, thực thi

Quá trình này lặp lại đến khi gặp lệnh tạm dừng (Halt).

Khi lệnh Halt được gọi tới thì VXL chuyển vào trạng thái tạm dừng

Để thoát trạng thái tạm dừng cần reset



Quá trình thực hiện lệnh

Chu kỳ máy:

Khi thực hiện chu kỳ lệnh, VXL cần thực hiện 1 đến 5 thao tác đọc/ghi bộ nhớ hay thiết bị ngoại vi,

Mỗi lần thao tác với bộ nhớ hay thiết bị ngoại vi cần 1 chu kỳ thời gian gọi là chu kỳ máy

Lệnh $a + b$

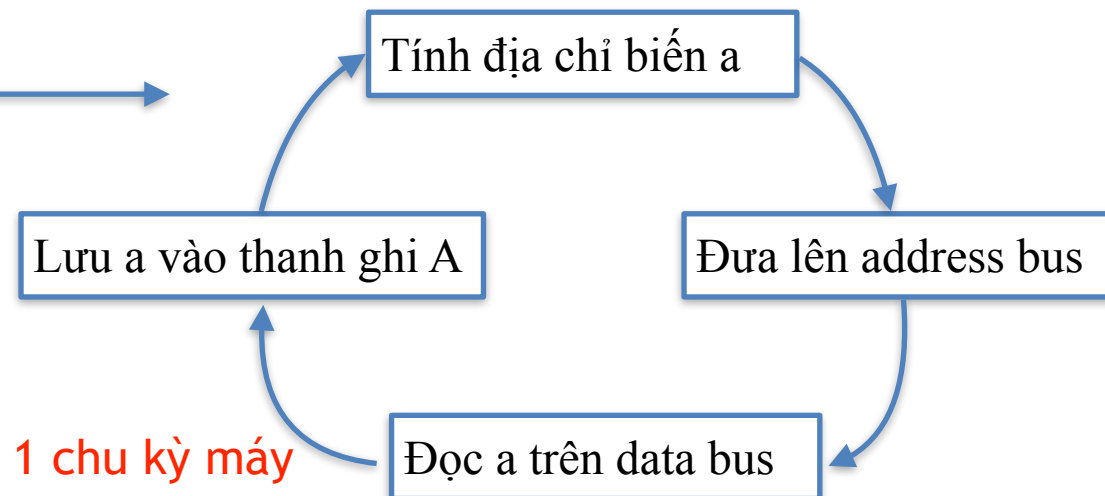
Đọc lệnh + từ bộ nhớ

Đọc biến a

Đọc biến b

Thực hiện phép toán +

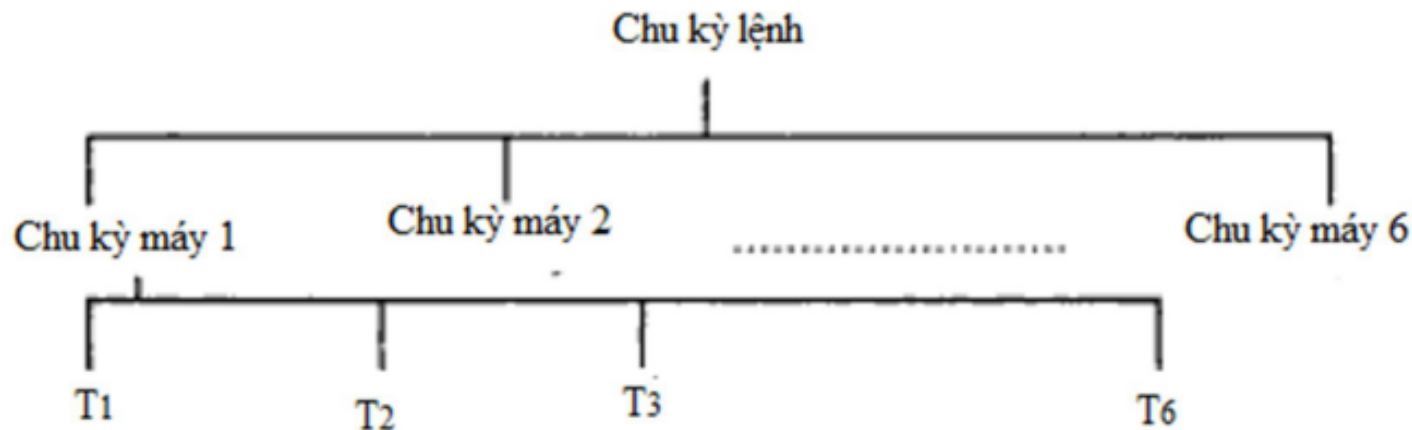
Lưu kết quả



Quá trình thực hiện lệnh

Nhịp thời gian T (T-State): mỗi chu kỳ máy chiếm khoảng 3 đến 6 xung nhịp đồng hồ, gọi là nhịp thời gian T (T state)

Như vậy: 1 chu kỳ lệnh chứa từ 1 đến 5 chu kỳ máy, 1 chu kỳ máy chứa từ 3 đến 6 nhịp thời gian T:



Quan hệ giữa chu kỳ lệnh - chu kỳ máy - nhịp thời gian T

Các dạng khác nhau của chu kì máy

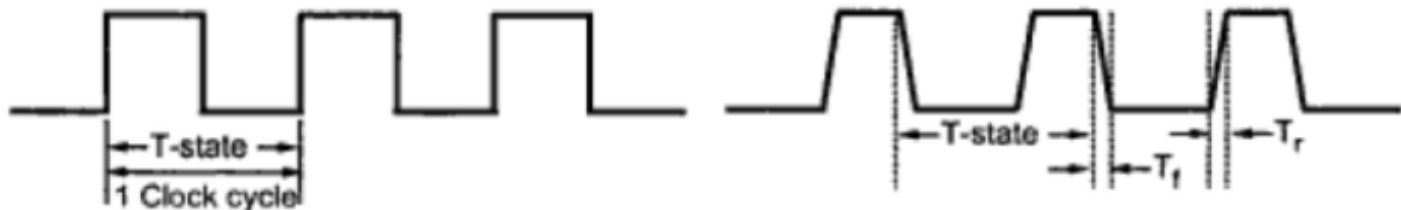
- Được mô tả bởi các tín hiệu IO/\overline{M} , S_0 , S_1 tạo ra tại 1 thời điểm đầu của chu kỳ máy và không thay đổi trong quá trình của chu kỳ máy:

Chu kỳ máy	Tín hiệu trạng thái			Tín hiệu điều khiển		
	IO/\overline{M}	S_1	S_0	\overline{RD}	\overline{WR}	INTA
Nạp lệnh	0	1	1	0	1	1
Đọc bộ nhớ	0	1	0	0	1	1
Ghi bộ nhớ	0	0	1	1	0	1
Đọc I/O	1	1	0	0	1	1
Ghi I/O	1	0	1	1	0	1
Đáp ứng INTR	1	1	1	1	1	0
BUS nghỉ	0	0	0	1	1	1

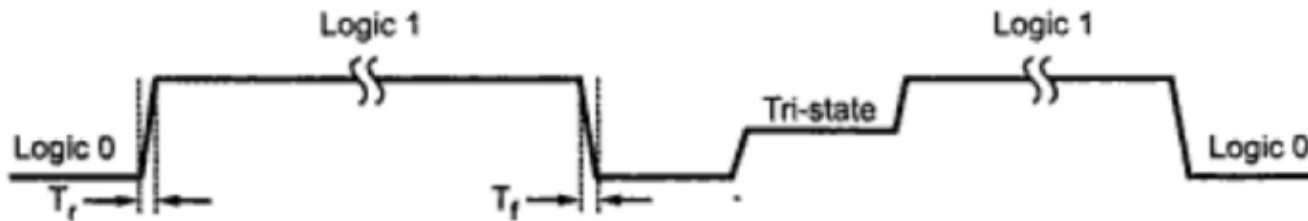
Các dạng tín hiệu trên giản đồ thời gian

VXL thực hiện tuần tự các chu kỳ máy, thể hiện trên các giản đồ thời gian

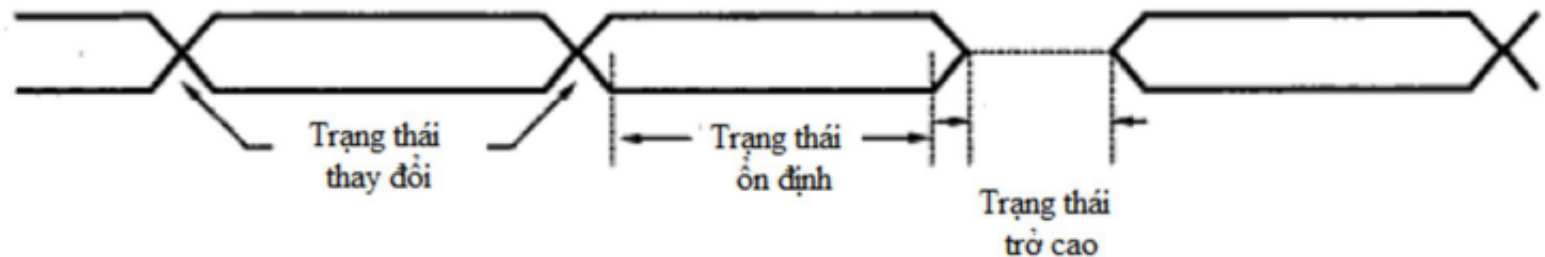
– Tín hiệu xung nhịp (Clock signal)



– Tín hiệu đơn:



– Nhóm tín hiệu (Bus):

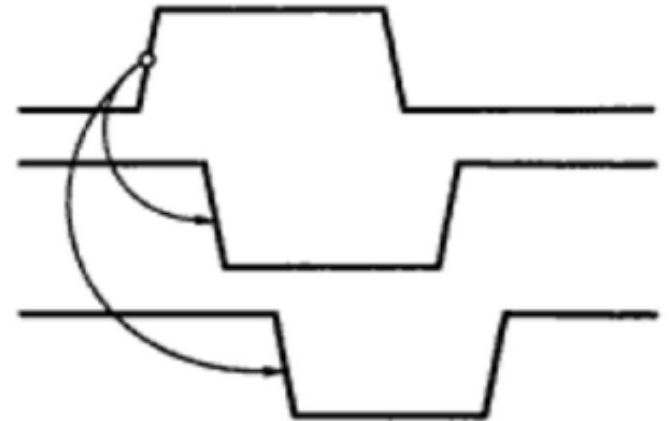
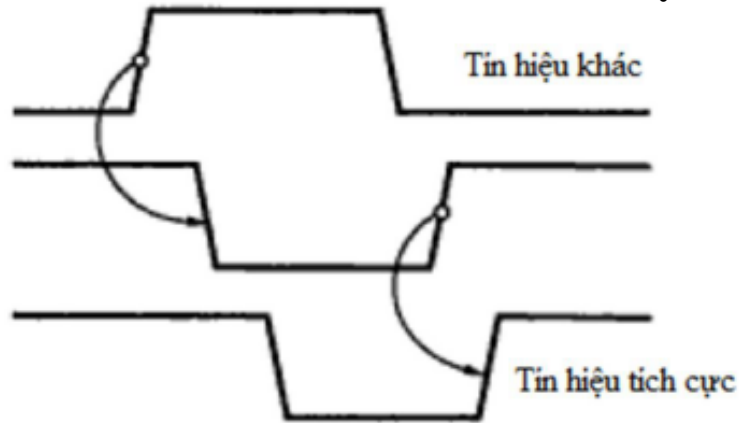


Khi nào thì tín hiệu thay đổi

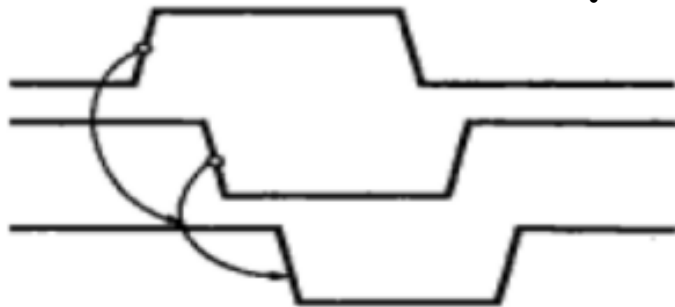
- Tích cực của 1 tín hiệu phụ thuộc sự thay đổi của 1 tín hiệu khác
- Tích cực của 1 tín hiệu phụ thuộc sự thay đổi của nhiều tín hiệu khác
- Tích cực của nhiều tín hiệu phụ thuộc sự thay đổi của 1 tín hiệu
- Tích cực của nhiều tín hiệu phụ thuộc sự thay đổi của nhiều tín hiệu

Khi nào thì tín hiệu thay đổi²

Phụ thuộc 1 tín hiệu



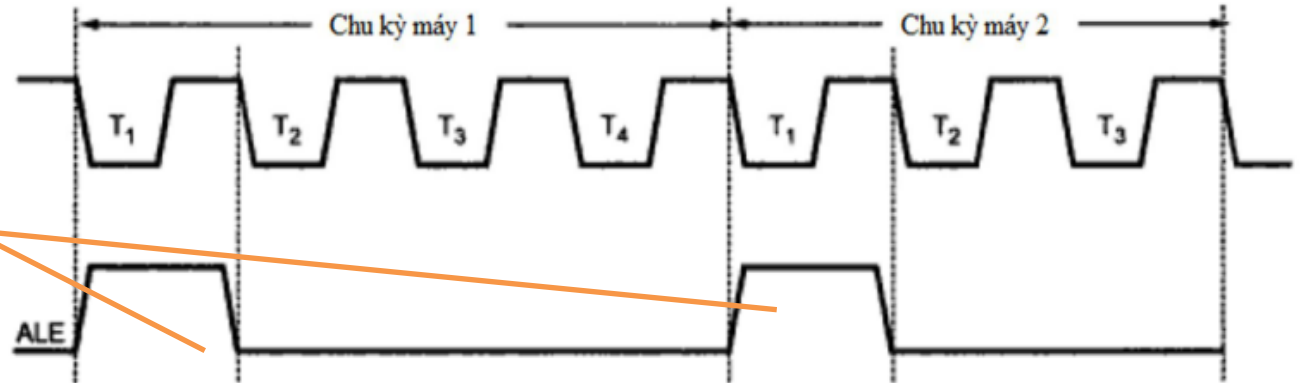
Phụ thuộc nhiều tín hiệu



Giản đồ thời gian một số tín hiệu

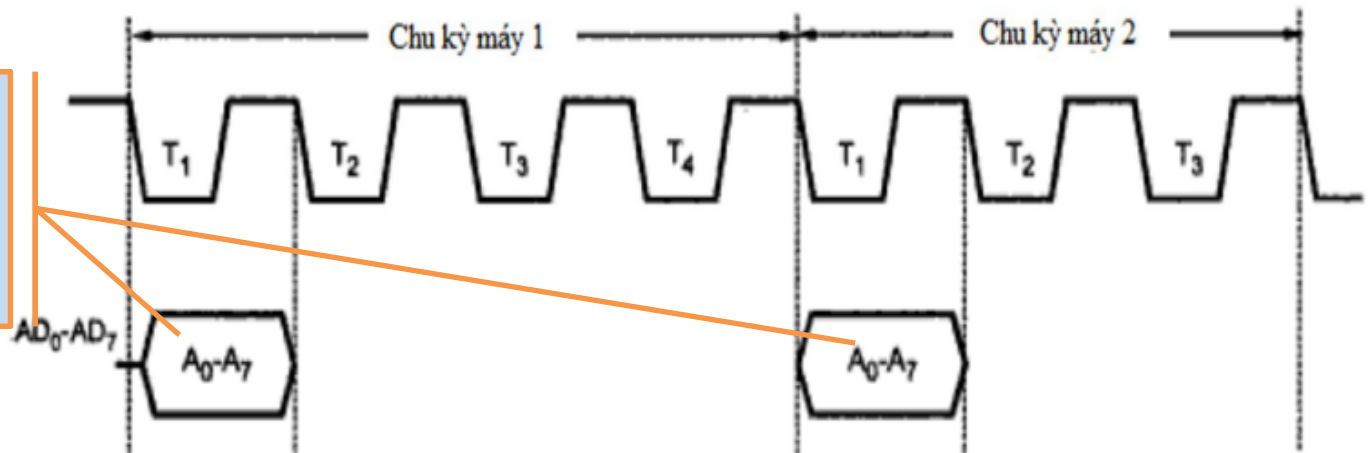
– Tín hiệu ALE:

Tích cực mức cao, tại thời điểm đầu của chu kỳ máy (T_1)



– A_0-A_7 : địa chỉ byte thấp

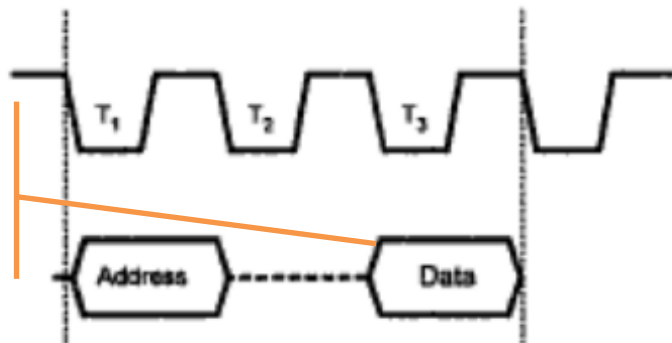
Địa chỉ lấy ra trong khoảng T_1 của chu kỳ máy (phù hợp ALE)



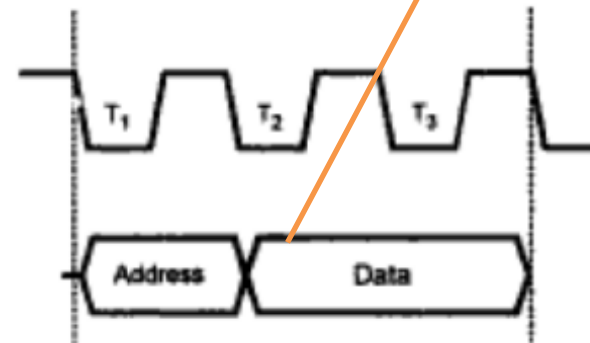
Giải đồ thời gian một số tín hiệu

– Bus dữ liệu (data bus):

Chu kỳ đọc dữ liệu: dữ liệu đưa lên bus vào cuối T_2



Chu kỳ ghi dữ liệu: dữ liệu đưa lên bus vào đầu T_2



Quá trình đọc

Chọn địa chỉ nhớ hoặc địa chỉ của thiết bị ngoại vi

Dữ liệu được đưa lên data bus



Cần thời gian truy cập

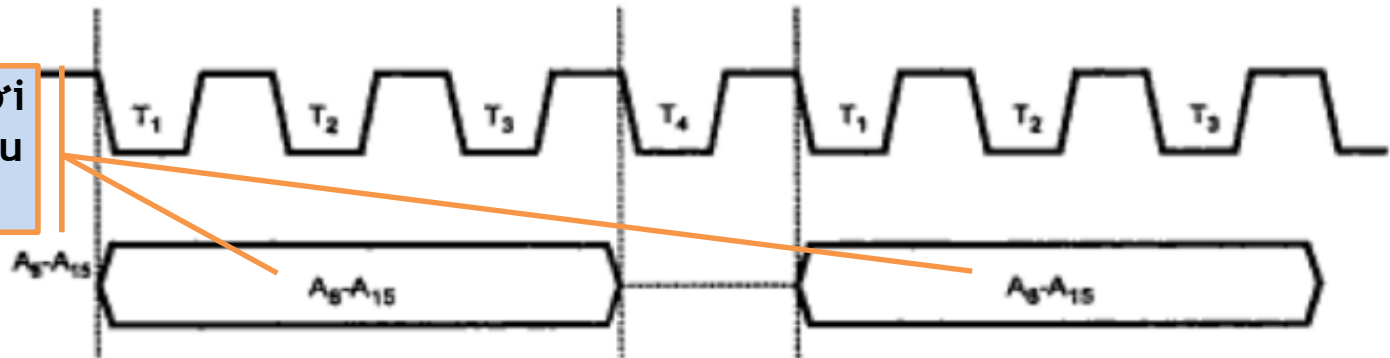
Quá trình ghi

Dữ liệu đã sẵn sàng ở thanh ghi của VXL và việc đưa dữ liệu ra bus dữ liệu có thời gian truy nhập bằng 0

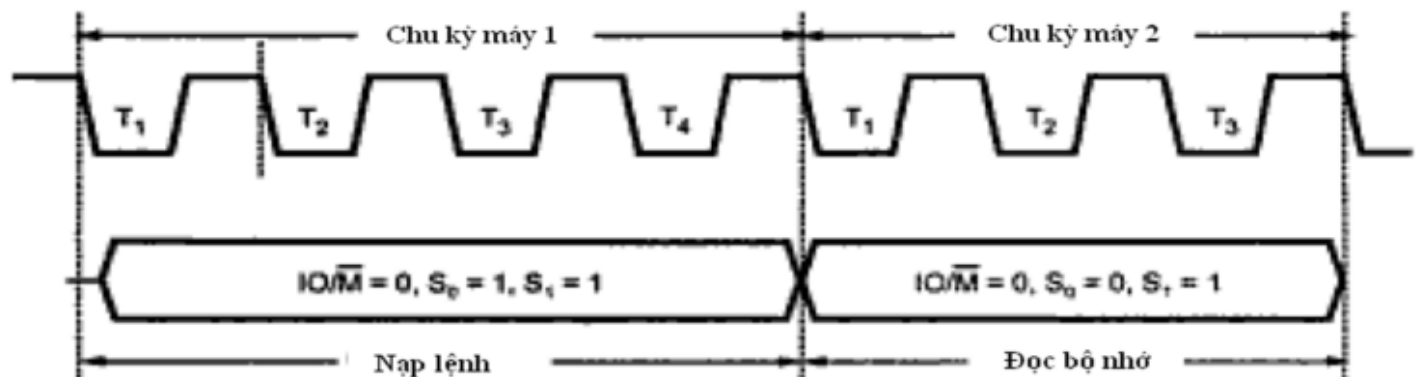
Giải đồ thời gian một số tín hiệu

- Địa chỉ byte cao A_8-A_{15} :

Trong khoảng thời gian T_1-T_3 của chu kỳ máy



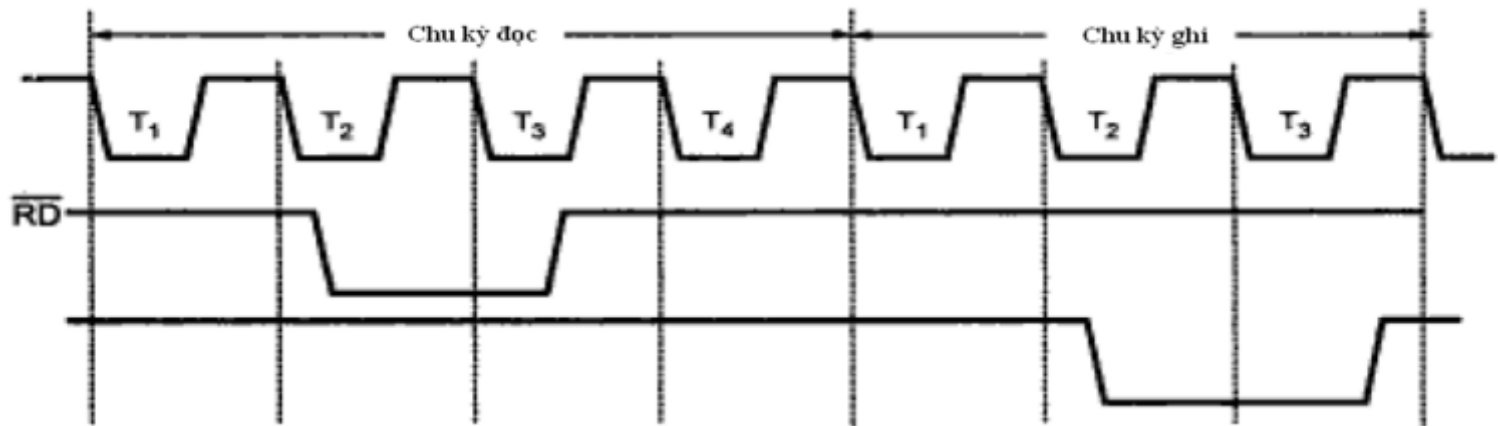
- IO/\overline{M} ; S_0 ; S_1 : đây là các tín hiệu trạng thái, tích cực từ T_1 và kéo dài hết chu kỳ máy. **Tín hiệu này quyết định dạng chu kỳ máy sẽ thực hiện**



Giản đồ thời gian một số tín hiệu

- Giản đồ thời gian của một số tín hiệu:

- RD và WR: quyết định chiều của quá trình truyền dữ liệu; 2 tín hiệu này không bao giờ tích cực tại cùng 1 thời điểm.



Chu kỳ máy

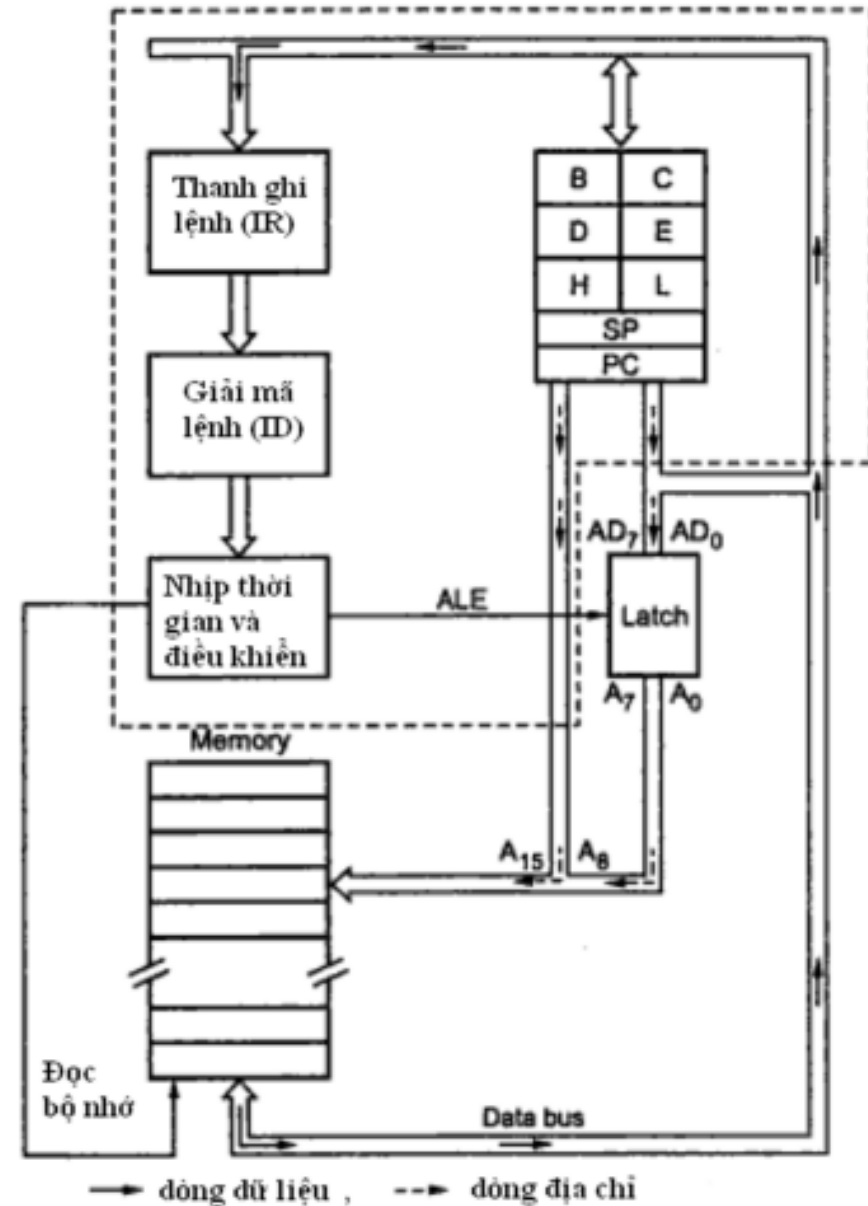
VXL 8085 có 7 dạng chu kỳ máy, gồm:

- Nạp lệnh (Opcode Fetch)
- Đọc bộ nhớ (read memory)
- Ghi bộ nhớ (write memory)
- Đọc I/O (read I/O)
- Ghi I/O (write I/O)
- Đáp ứng ngắt
- Bus ở trạng thái không hoạt động (Bus idle)

Nạp lệnh

Mô tả dòng dữ liệu từ bộ nhớ đến VXL

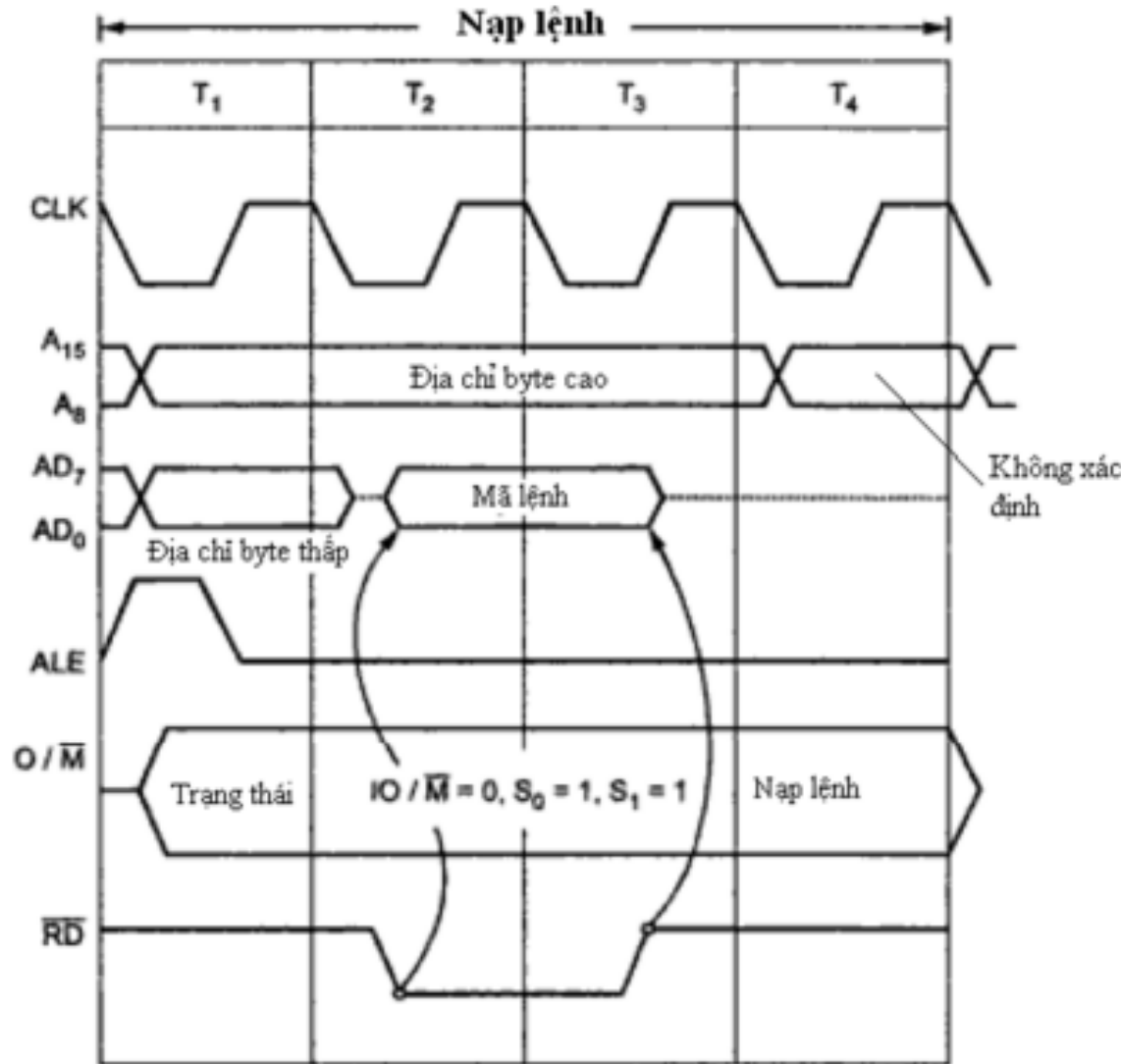
Chiều dài của chu kỳ nạp lệnh không cố định, dài từ 4T đến 6T phụ thuộc câu lệnh



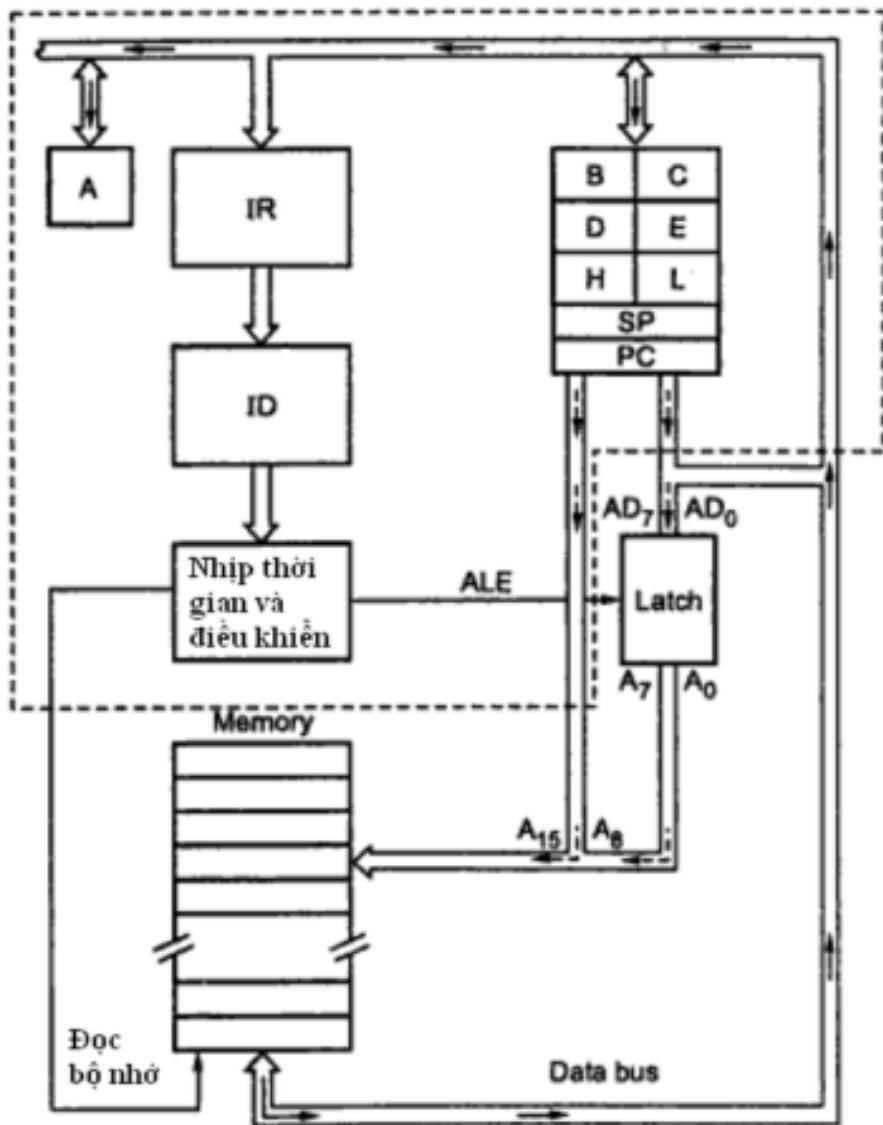
Nạp lệnh

Giản đồ thời gian chu kỳ nạp lệnh

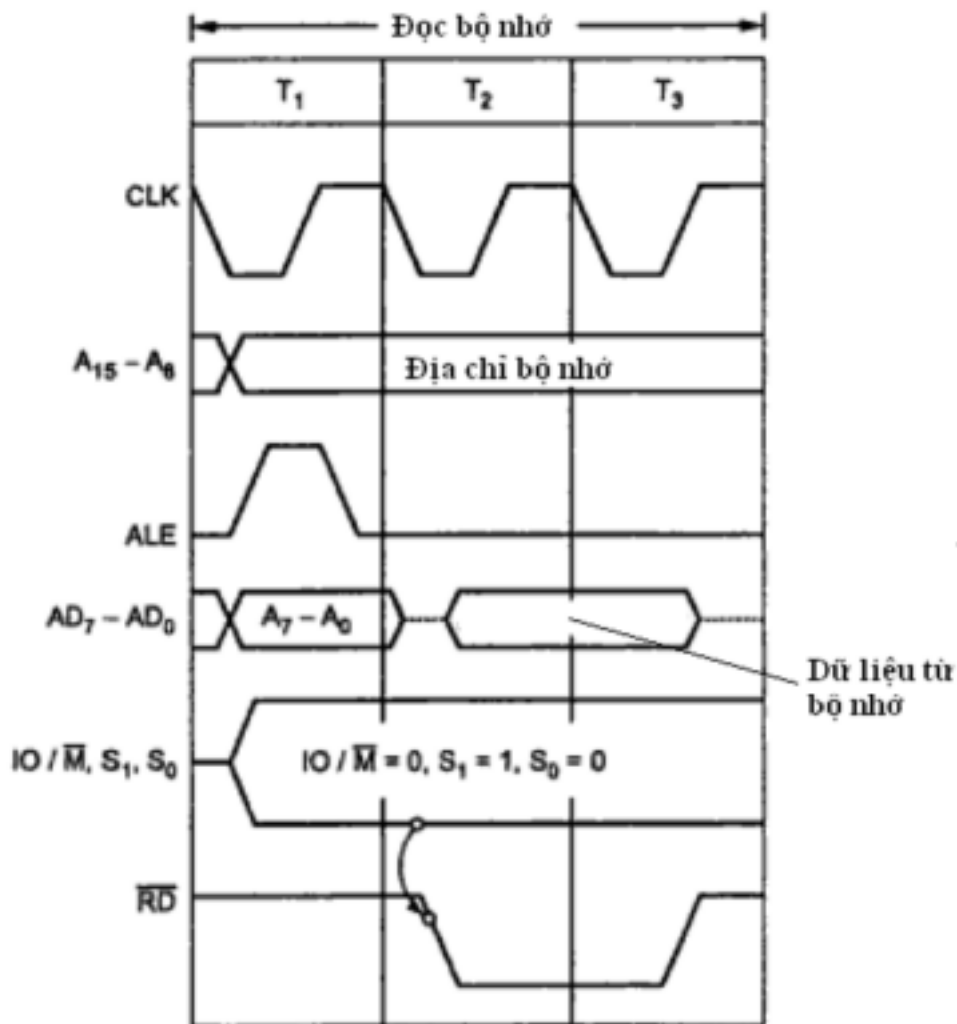
- T_1 (A_8-A_{15} ; $ALE \rightarrow A_0-A_7$; tín hiệu trạng thái 011);
- T_2 : $RD=0$; đọc dữ liệu từ bộ nhớ, đưa lên data bus
- T_3 : VXL nạp dữ liệu từ bus vào IR và cho $RD=1$ (cấm truy nhập bộ nhớ)
- T_4 : VXL giải mã lệnh, từ lệnh nhận được sẽ quyết định dùng T_5, T_6 hay quay về T_1 với lệnh kế tiếp



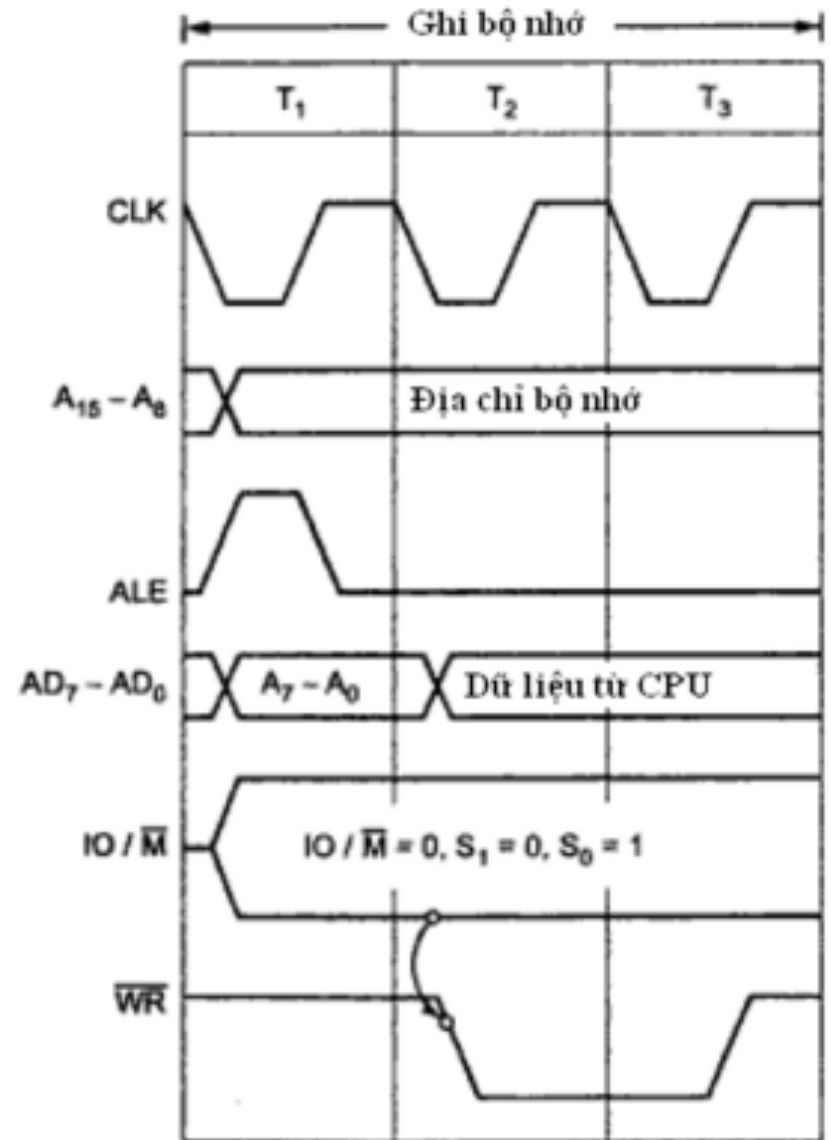
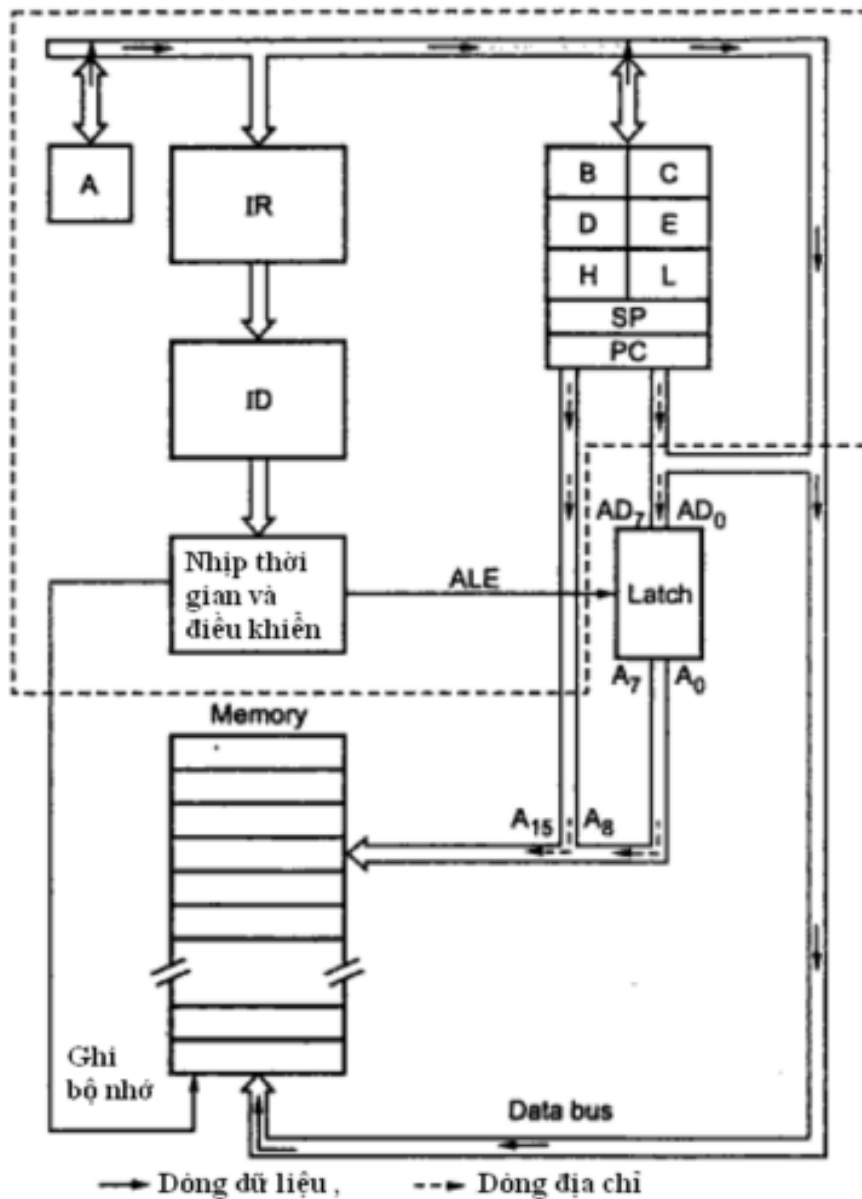
Đọc bộ nhớ



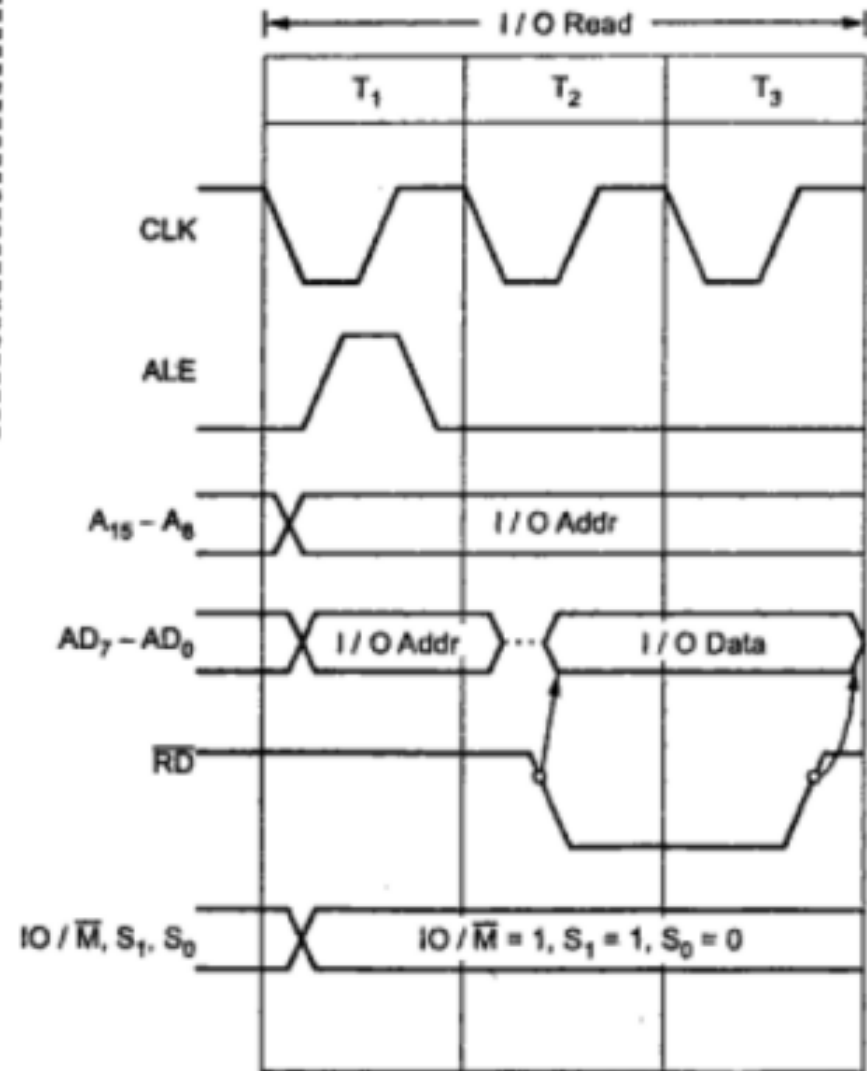
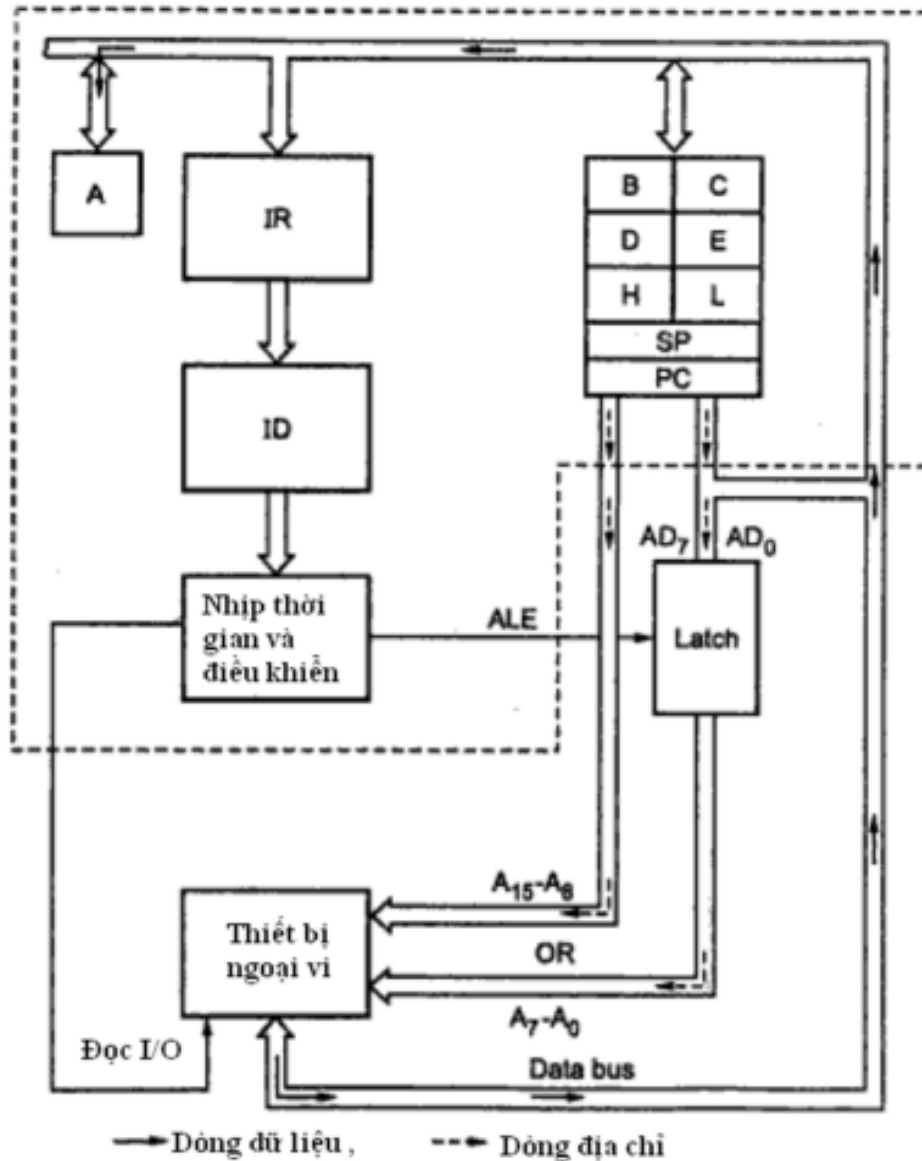
→ dòng dữ liệu, --> dòng địa chỉ



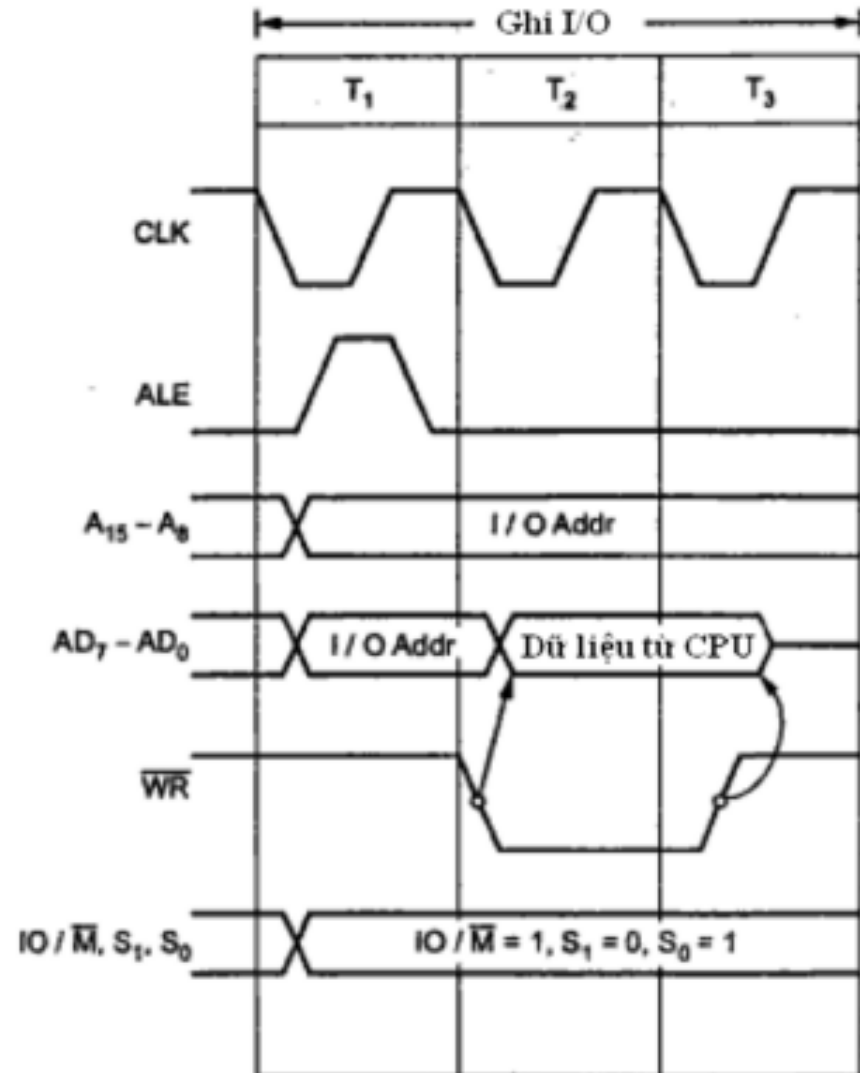
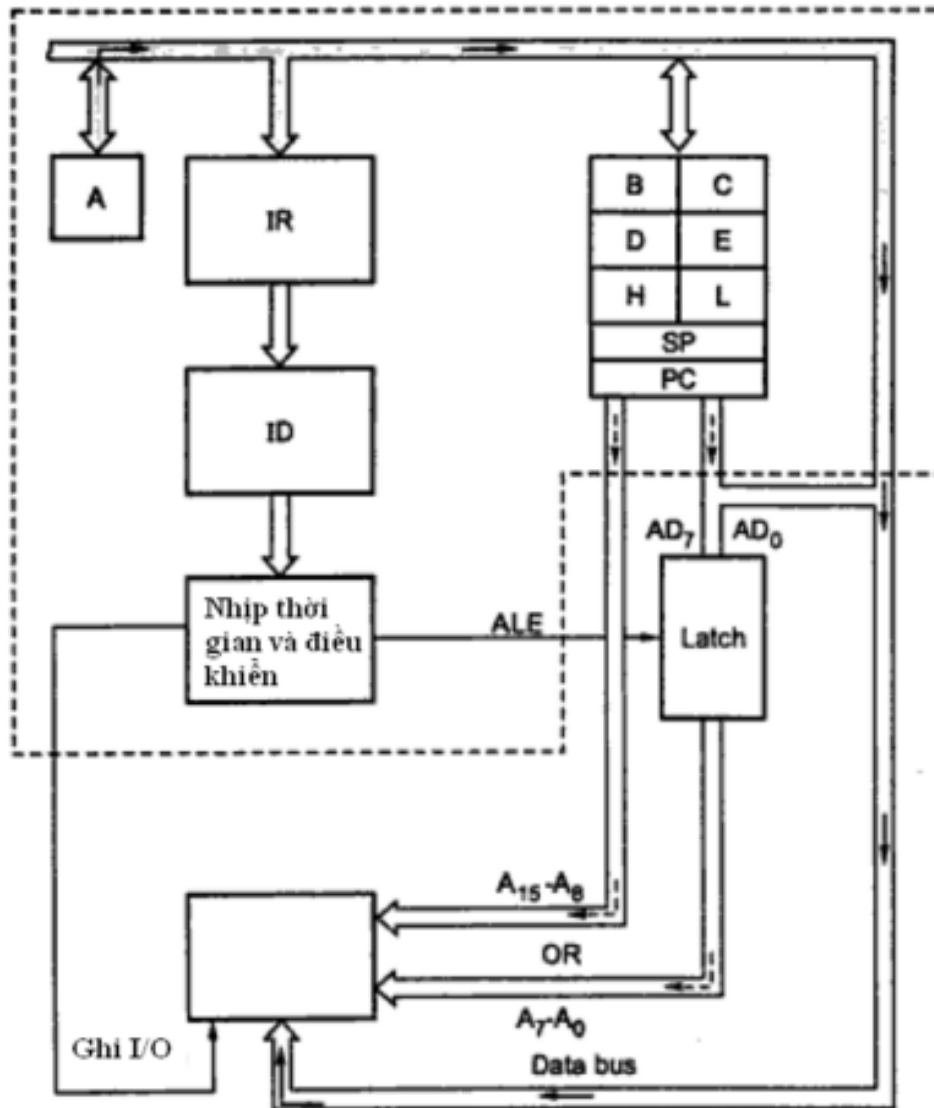
Ghi bộ nhớ



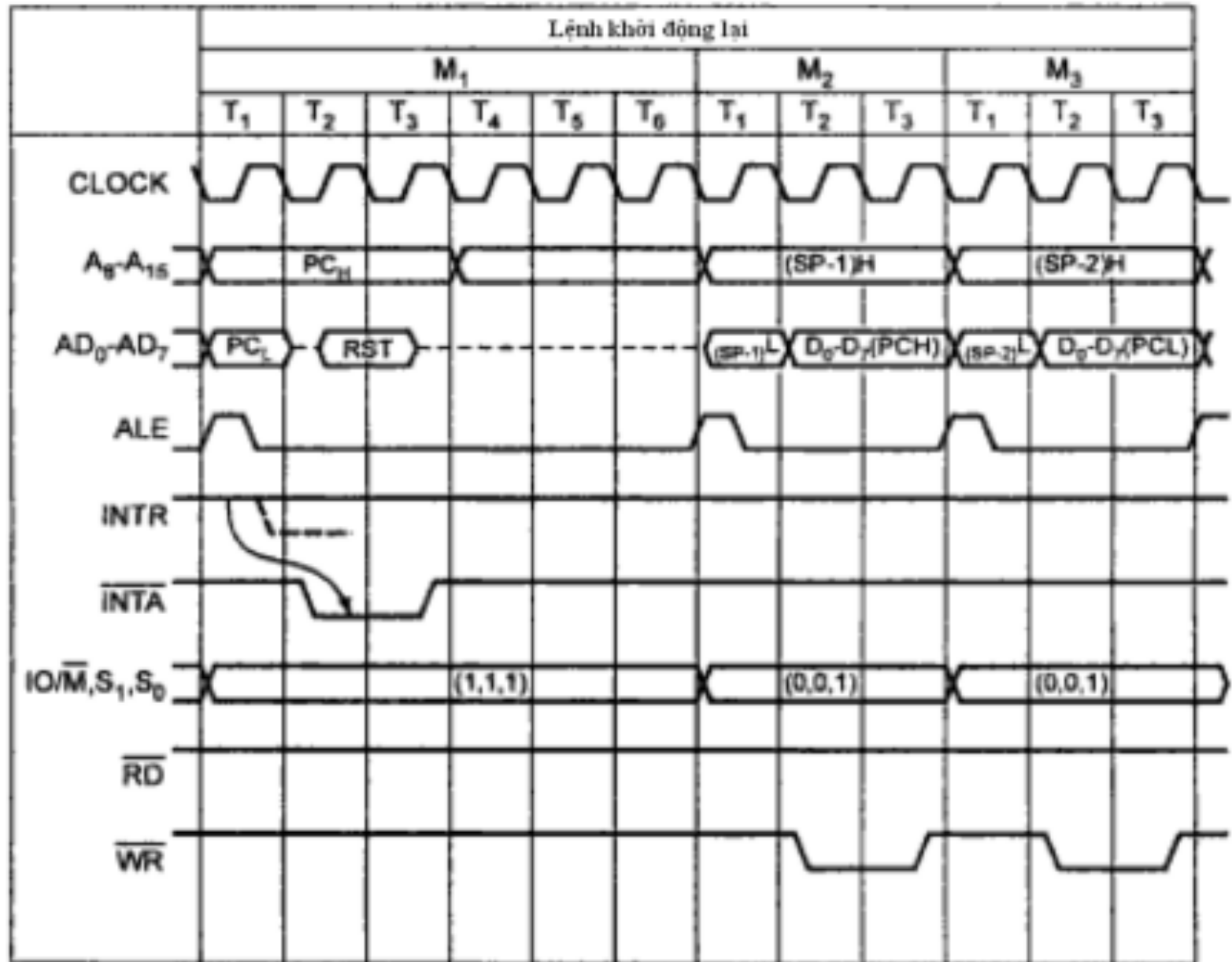
Đọc dữ liệu từ cổng ngoại vi



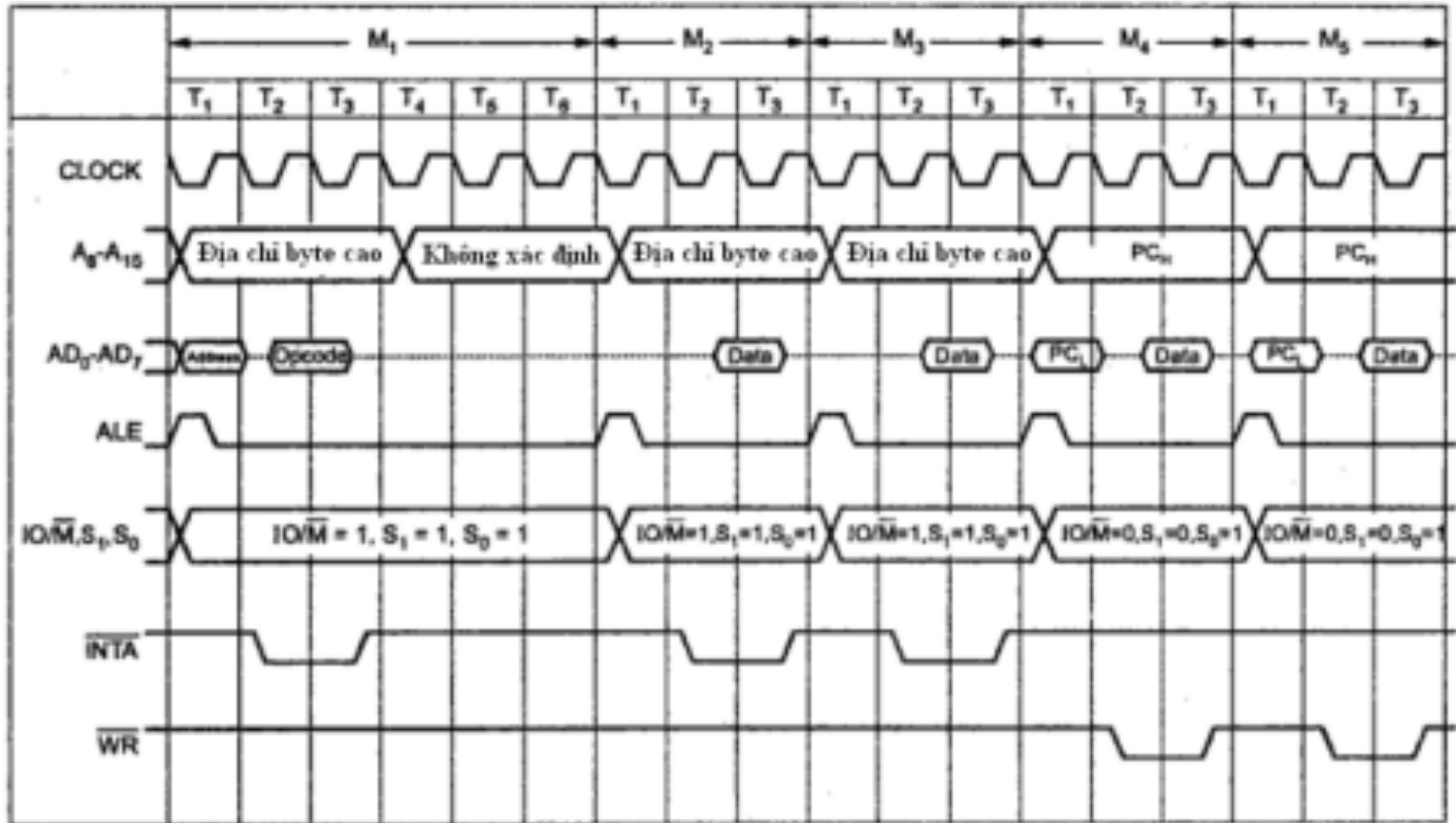
Đưa dữ liệu ra cổng ngoại vi



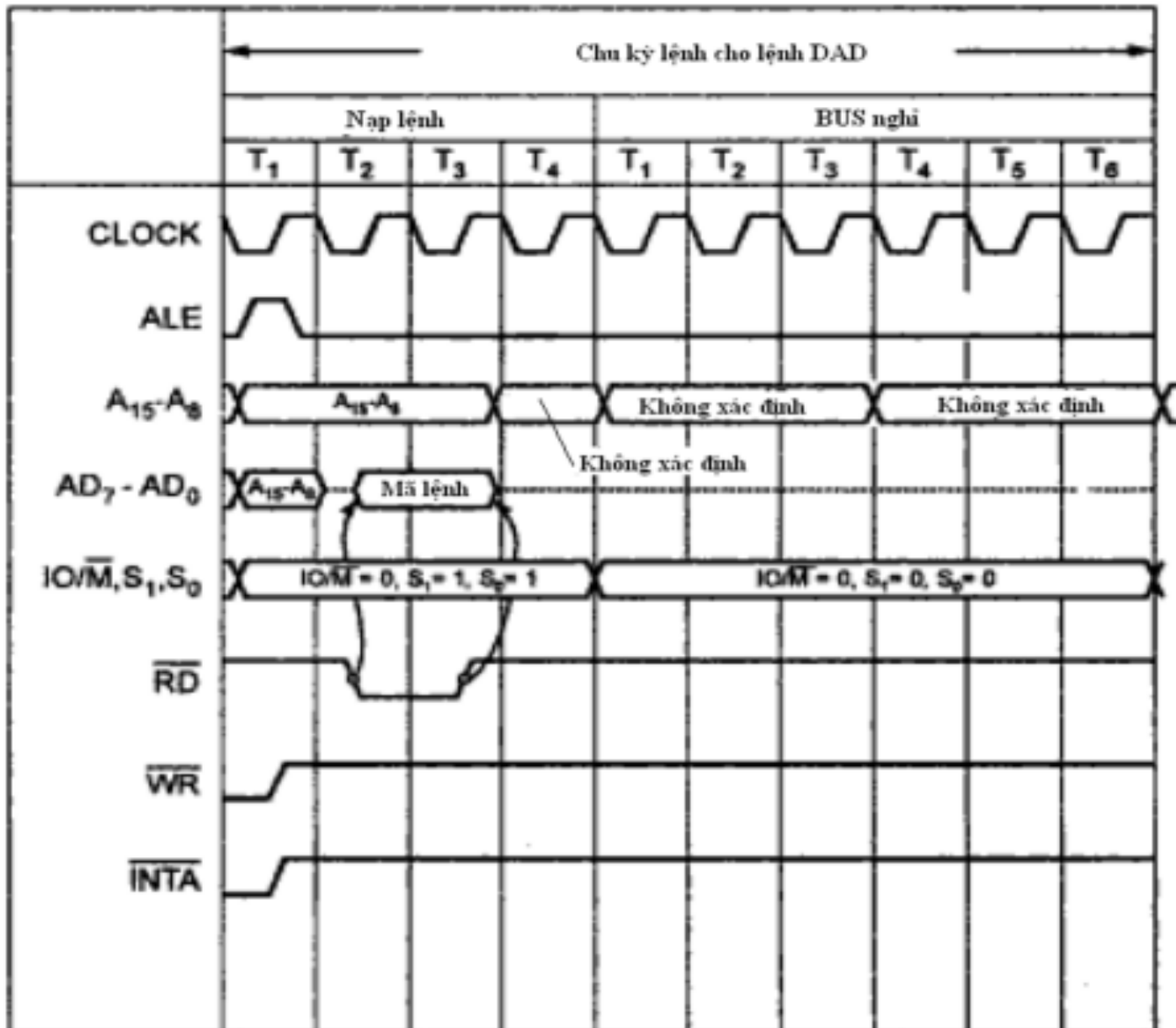
Chu kỳ đáp ứng ngắt RST



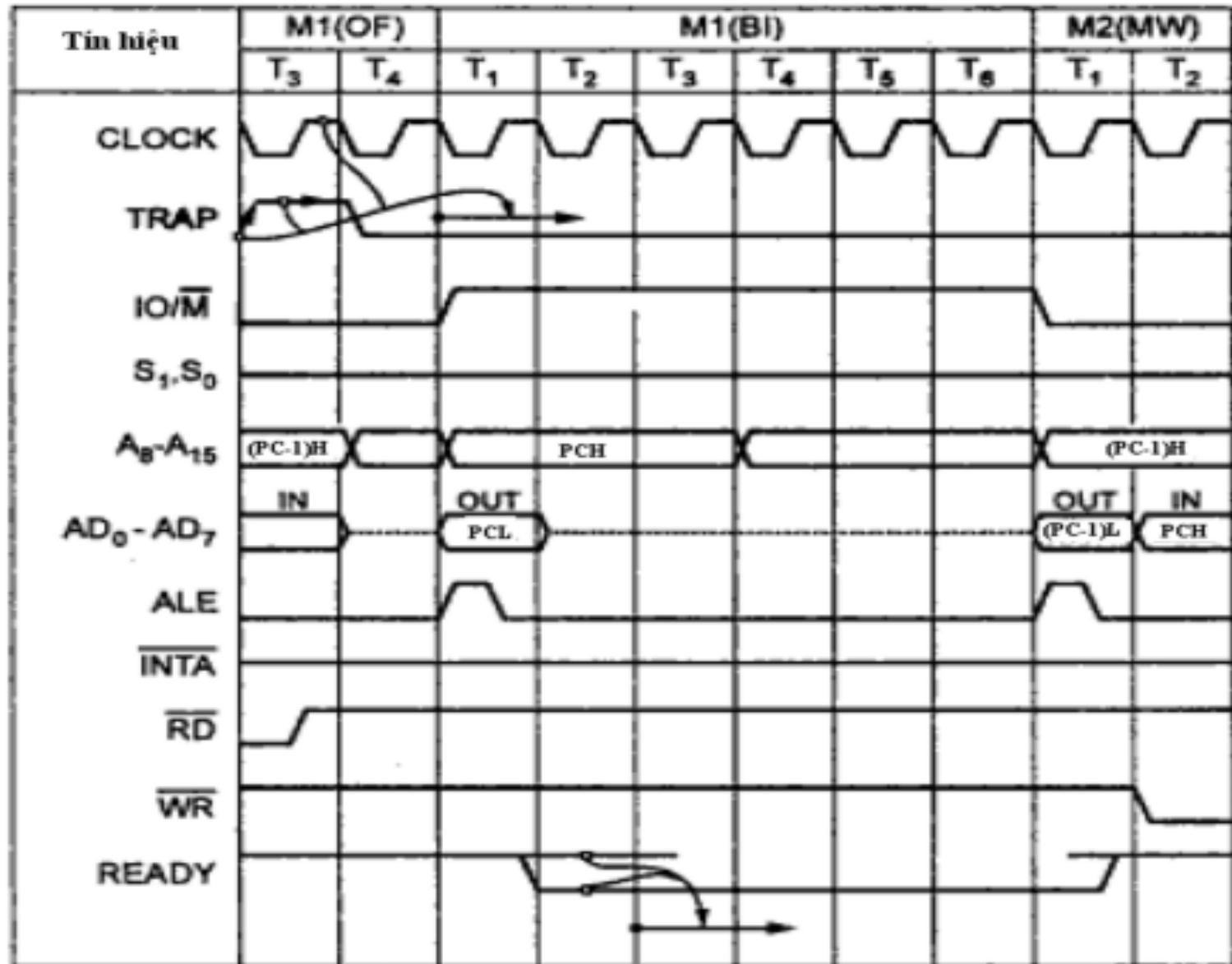
Giải đồ đáp ứng lệnh CALL



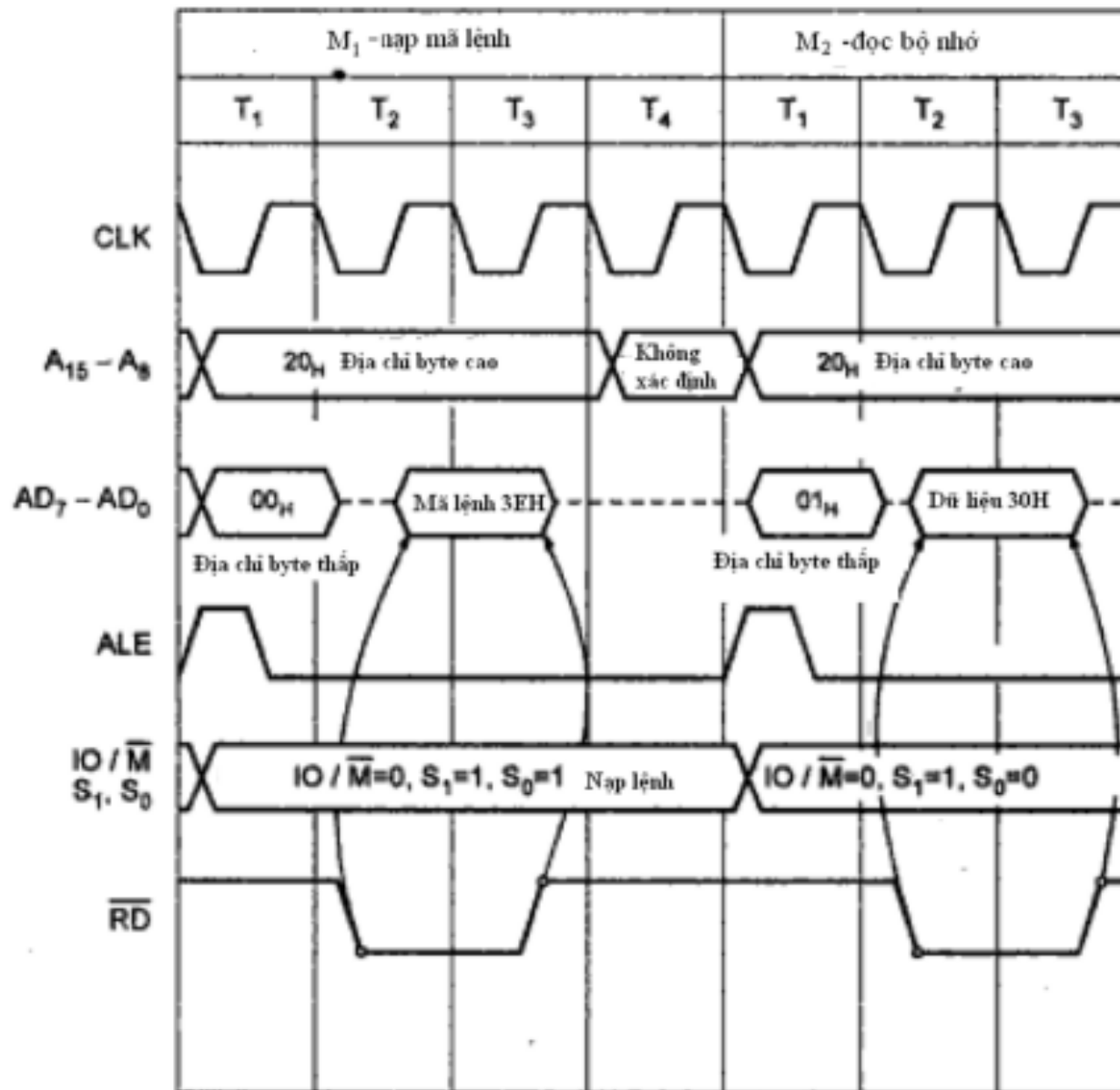
Giải đồ thời gian lệnh DAD



Giải đồ thời gian lệnh TRAP



Giản đồ thời gian lệnh MVI, 30A



Giải đồ thời gian lệnh STA

