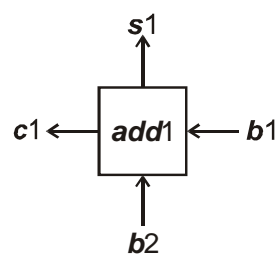
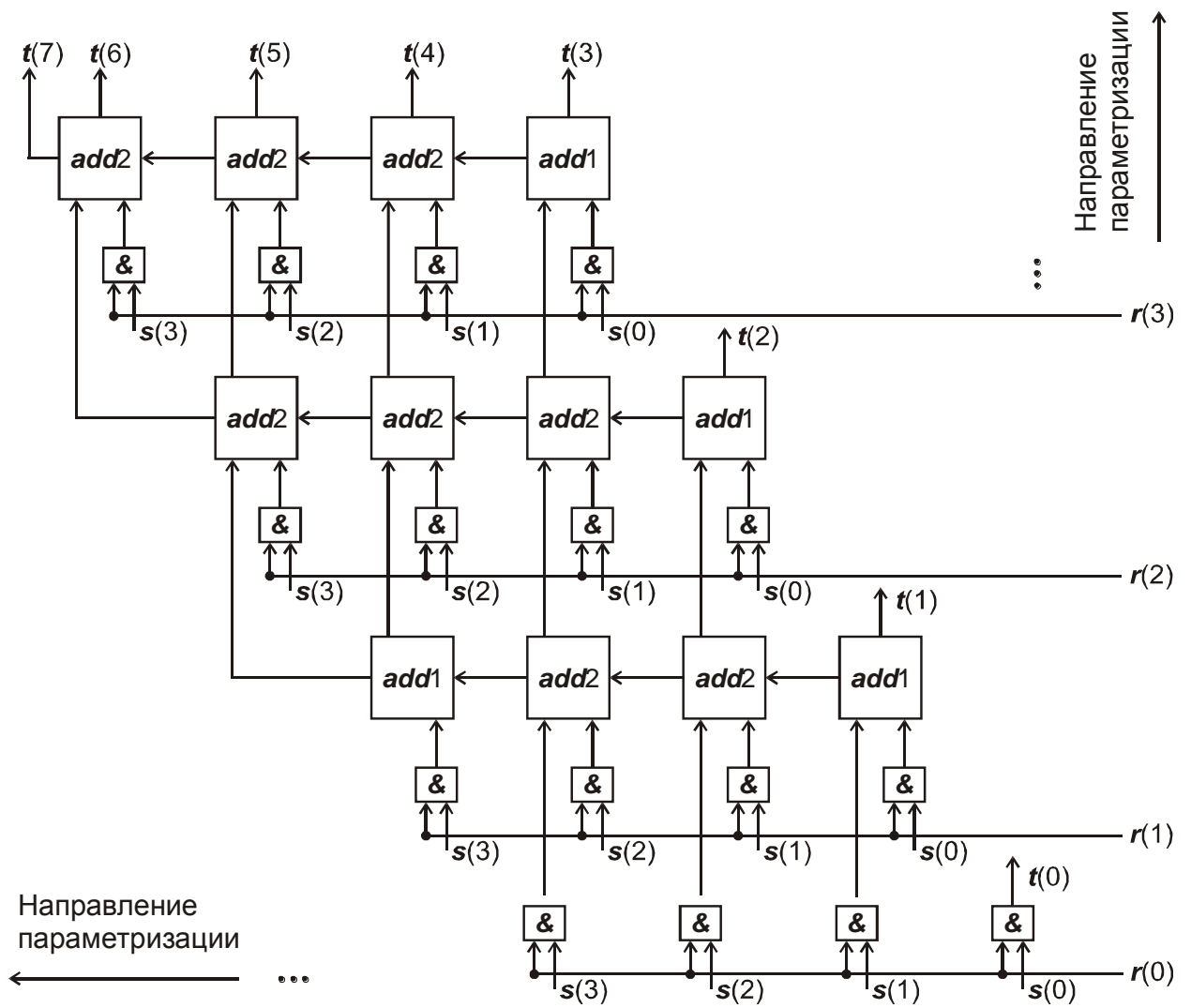


## **ЛАБОРАТОРНАЯ РАБОТА 3**

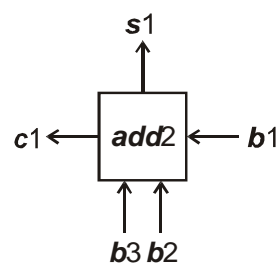
### **Описание и моделирование регулярных (систолических) схем**

#### **Вариант 46.**

- 1. Ввести имена входов и выходов схемы с использованием типа BIT\_VECTOR.**
- 2. Составить одну VHDL-модель с использованием операторов generate, generic для произвольной разрядности N.**
- 3. Составить тест и провести моделирование для N=4.**



Полусумматор  
 $(b1) + (b2) = (c1, s1)$



Сумматор **add2**  
 $(b1) + (b2) + (b3) = (c1, s1)$   
 s1 - сумма, c1 - перенос