國立虎尾科技大學

電 機 工 程 系

107學年度第2學期

硬體描述語言程式與模擬

期末報告

組別：第九組

報告撰寫人：40525226 陳羿齊

40525239 劉漢雄

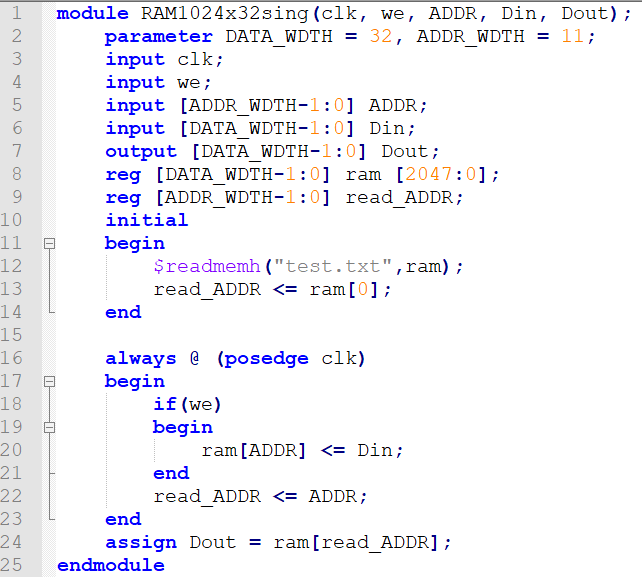
中華民國108年6月12日

**基本題(二)：**

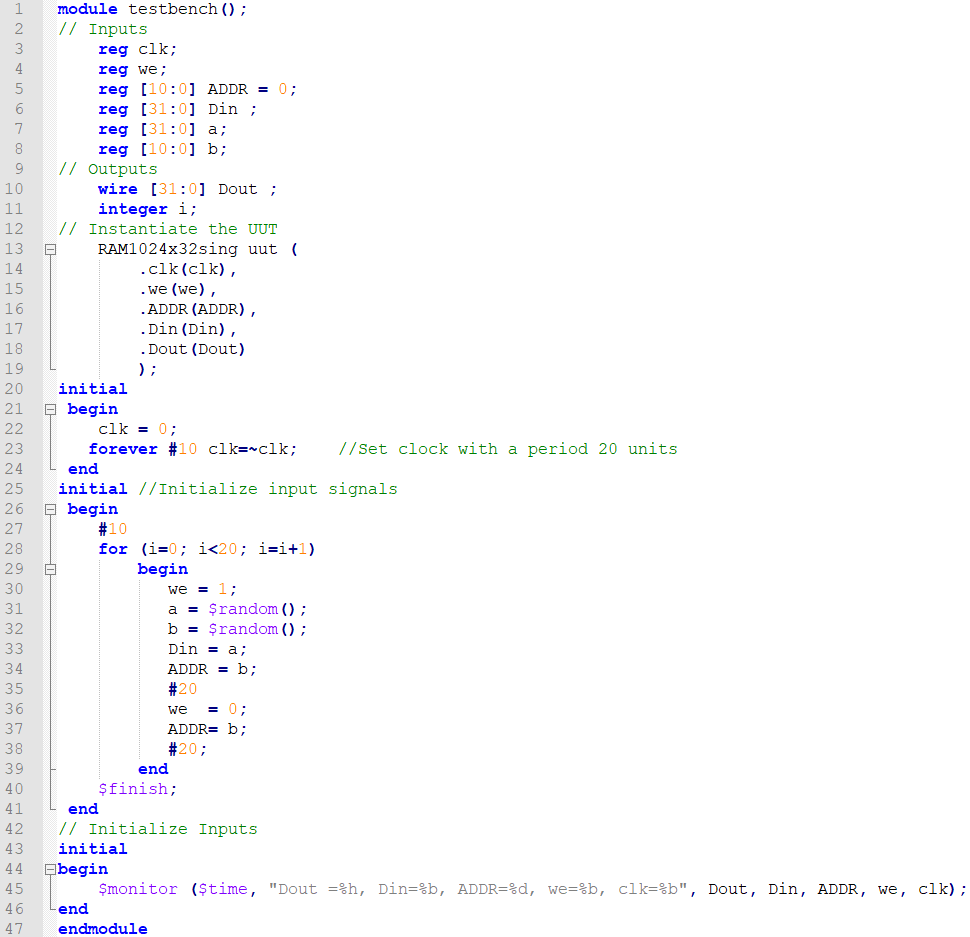
設計一個 2048x32 single port SRAM，記憶體預設內容需由txt文字檔案讀入，testbench隨機輸出20組位置內容

程式碼:

RAM2048x32sing.v

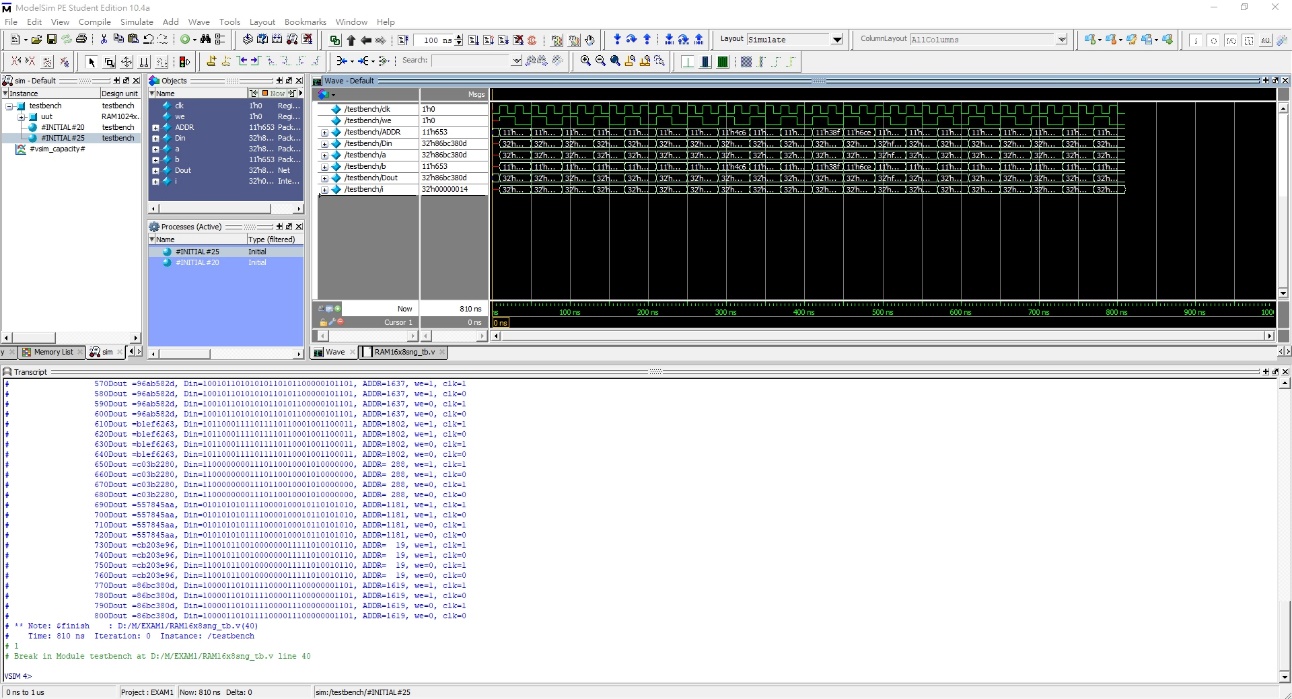


對XILINX FPGA而言，RAM的產生可使用區塊隨機記憶體(Block RAM)或分散隨機記憶體(Distributed RAM)加以實現，我們便以區塊隨機記憶體來完成一2048位元組單埠RAM，在寫入32位元組資料後，再將此32位元組逐一讀出驗證元件之正確性。

Testbench.v

此為模擬測試程式，經由題目要求，我們在外部建立了一個txt檔裡面初始條件給0000\_0000，並在程式裡添加for迴圈，週期設定為20個單位時間隨機寫入一筆資料，共寫入20筆資料。寫入同時出現於輸出埠Dout。最後再將資料逐次讀出並出現於輸出埠i上，驗證本記憶元件功能無誤。

執行結果

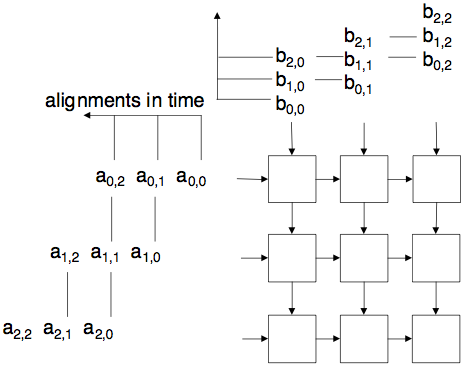






當過了10ns之後便開始從tb給值進來，當我Clk=0時則不會動作，Clk=1繼續做累加動作，寫入與讀出之模擬測試時序如圖所示，系統會以內建RAM實現。

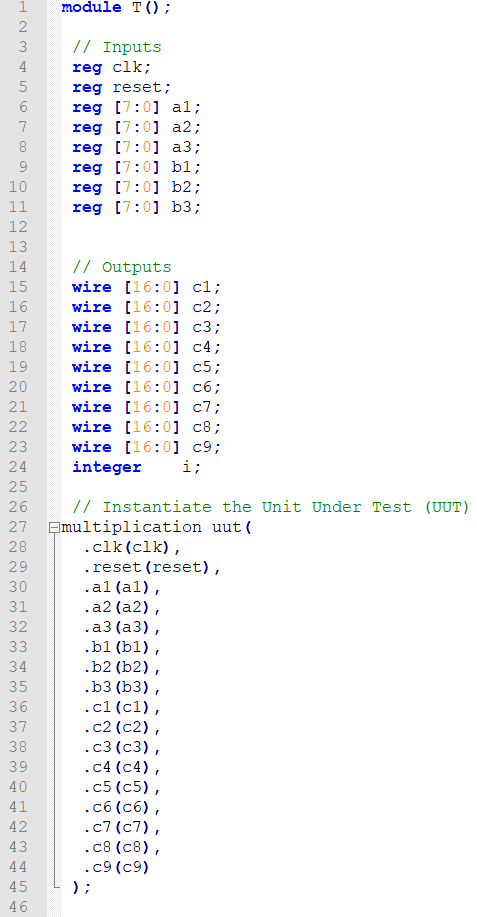
**進階題(二)：**

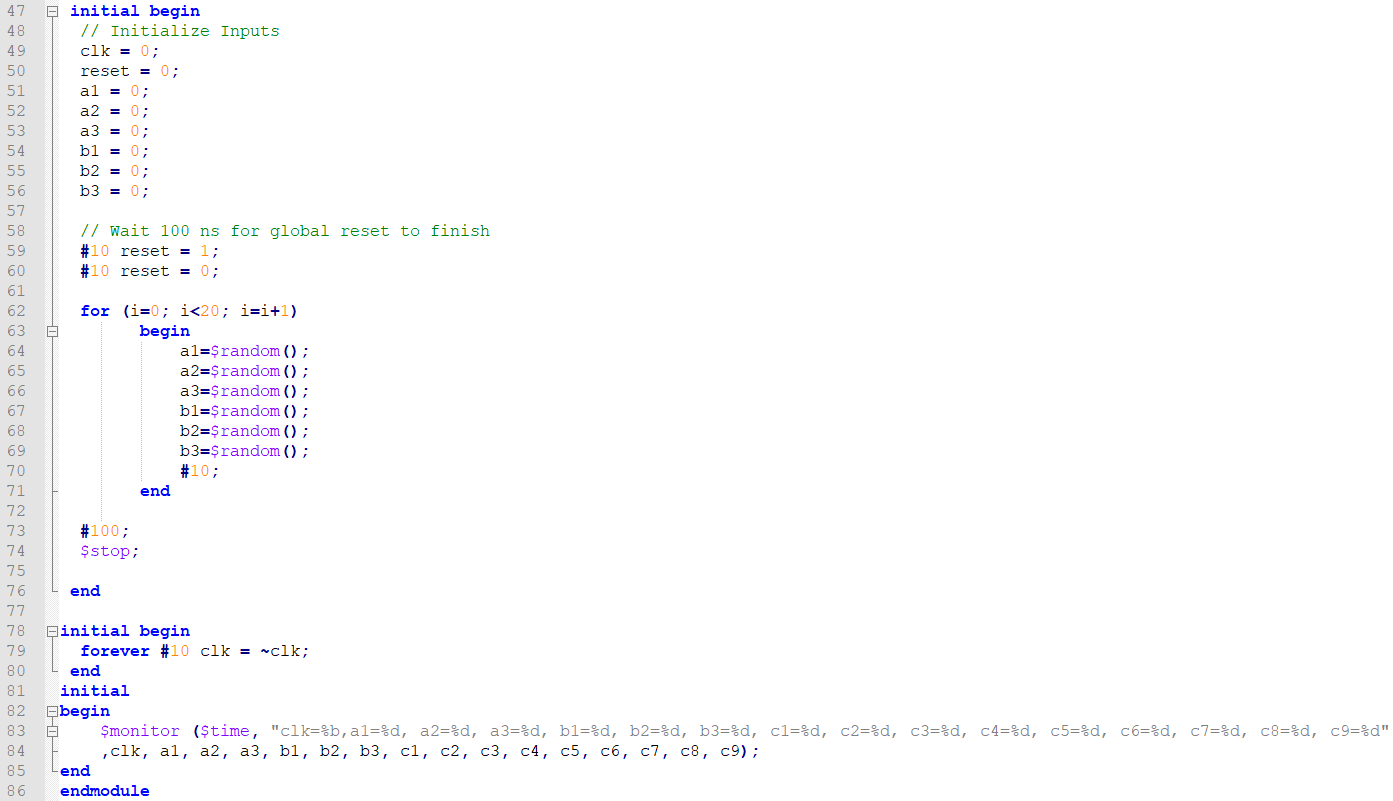
設計一個3x3 systolic array matrix multiplication，測試隨機20組，矩陣元素8bit

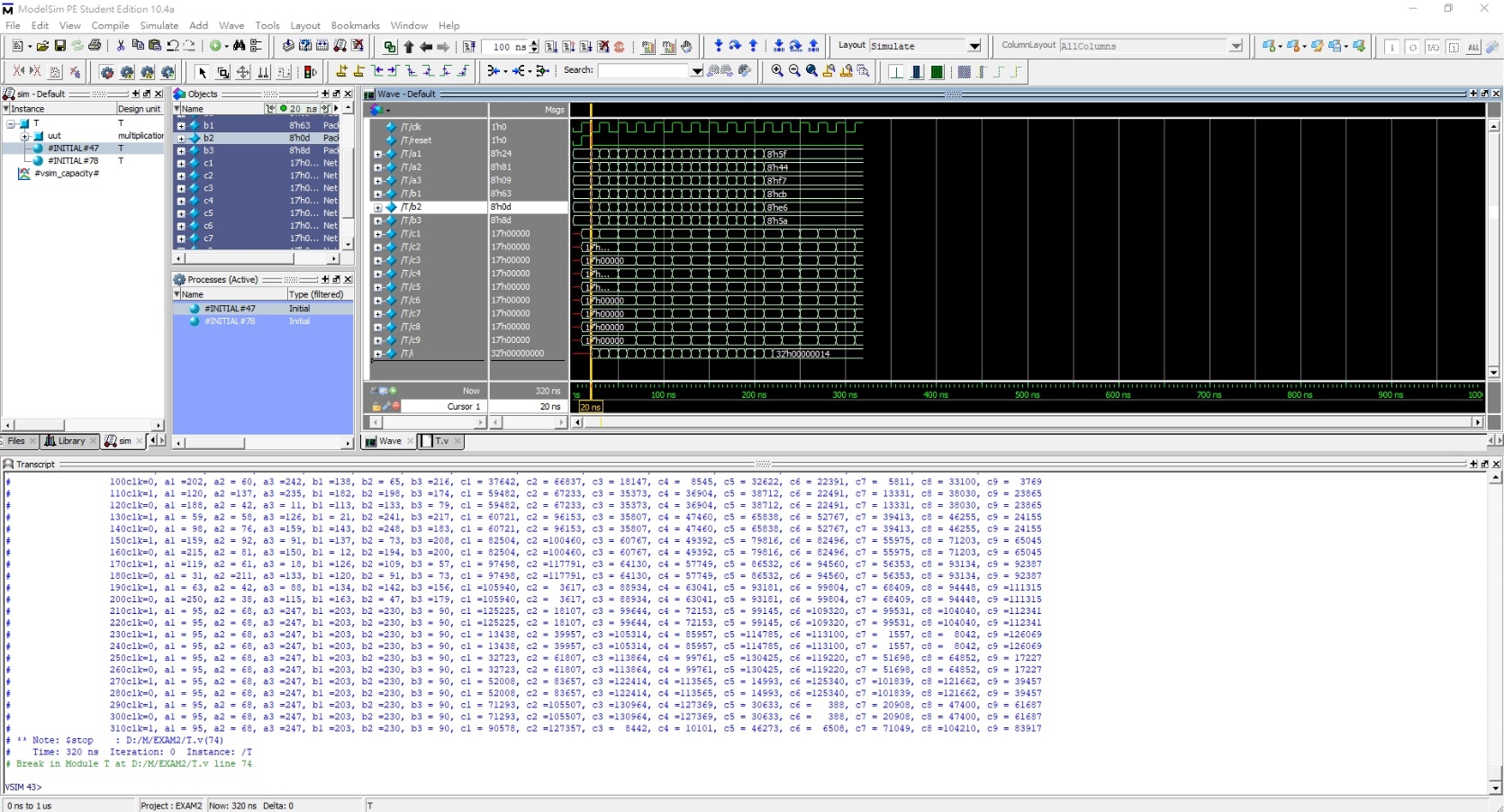
程式碼:

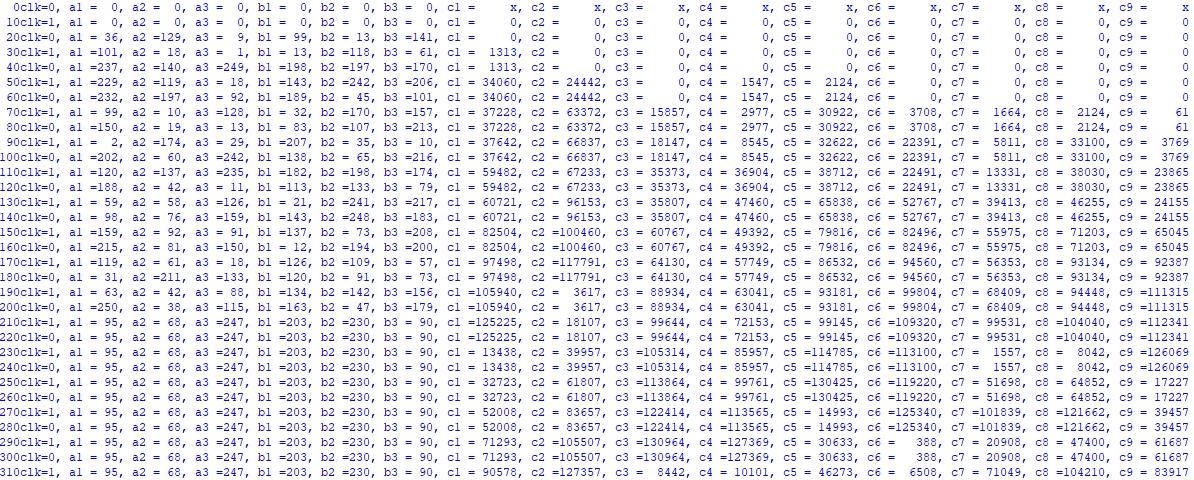
multiplication.v

矩陣乘法在工程和科學問題中是很常遇到的。對於計算大型矩陣時，在計算上非常耗時。所以針對這個問題提出了一種簡單的並行算法，而收縮陣列矩陣乘法實現這個目標。in\_a及in\_b是處理元件的輸入，out\_a及out\_b是輸出到處理元件。out\_c則用於獲取每個處理元素的輸出結果，而在a值及b值中透過for及random的方式隨機產生20組8bit矩陣元素。

T.v



執行結果



從模擬測試結果中可以看到每個元素在經過6個工作週期之後產生了20組不同的答案。在一般情況下，對於3x3矩陣乘法，迭代和計算需要3x3x3 = 27次。但在這種情況下，它所需要的時間較少（x6次），因為收縮結構是一類並行的管道式架構。