

# Microcontroladores

## Semana 7

Semestre 2023-2

Por Kalun José Lau Gan

1

### Preguntas previas

- ¿Qué es el “BRA \$-2”?
  - Es un salto (branch) de dos posiciones de memoria (asumiendo cada posición de un byte) hacia atrás.
- ¿Va a dejar debates en el AV?
  - --
- La redacción del informe es de manera impersonal
- En I2C cómo hacemos con las resistencias de pullup?
  - El PIC18F57Q43 posee pullups especialmente para dicha comunicación, revisar cap 19 del datasheet

2

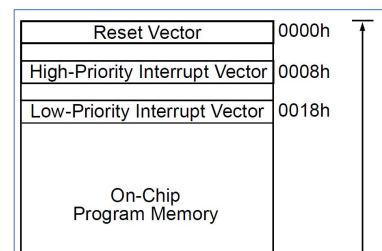
## Agenda:

- **Interrupciones** en el PIC18F57Q43 (cap 11 del datasheet)

3

## Interrupciones:

- Las interrupciones son **eventualidades** que detienen el flujo normal de operación del microcontrolador.
- Dos modos de operación: **Vectorizado** (MVECEN=ON) y el **Legacy** (MVECEN=OFF). MVECEN es un bit de configuración
- Cuando bit de configuración MVECEN = OFF:
  - En el PIC18F57Q43 tenemos dos vectores de interrupción:
    - Alta Prioridad (0x0008)
    - Baja Prioridad (0x0018)
  - Las interrupciones vienen desactivadas por defecto (GIE=0 y todos los xxxIE=0).
  - Las prioridades están desactivadas por defecto (IPEN=0), si están desactivadas, todas van al 0x0008)
  - Al activarse las prioridades (IPEN=1) todas las fuentes estarán en alta (xxxIP=1)
  - Todos los periféricos internos del microcontrolador (Timers, INTs externas, CCP, EUSART, A/D, comparadores analógicos, etc) pueden emitir interrupciones al CPU.
  - Las banderas que indican la fuente de interrupción (xxxIF) deberán de bajarse manualmente una vez activados.



```

ORG 000000H
bra configuro

ORG 000008H
bra INT_ISR_HP

ORG 000018H
bra INT_ISR_LP

ORG 000020H
configuro:  ;---
            ;---
            ;---
  
```

4

## Sobre el modo legacy en interrupciones

- Hay que tener en cuenta que para que funcione este modo, el bit de configuración MVECEN debe de estar en OFF
- Tener en cuenta que si no se trabaja con prioridades (IPEN=0), todos los eventos se van a la dirección 000008H
- Si es que se activa las prioridades, por defecto todas las fuentes de interrupción están en alta prioridad
- Políticas de atención en prioridades:
  - Cuando un evento de alta prioridad y un evento de baja prioridad ocurren al mismo, el CPU primero atiende al de alta prioridad dejando en cola la atención del de baja prioridad, luego de atender la de alta prioridad se procede a atender al de baja prioridad.
  - Cuando ocurre un evento de de interrupción de alta prioridad, la atiendes y en ese momento recibes una de baja prioridad, el CPU sigue atendiendo al de alta prioridad y luego de terminar atiende la de baja prioridad.
  - Cuando ocurre un evento de baja prioridad, la atiendes y en ese momento ocurre una de alta prioridad, el CPU pone en pausa la atención del de baja prioridad y se va a atender al de alta prioridad, una vez terminado de atender la alta prioridad resumen la atención del de baja prioridad.
  - Cuando se reciben dos interrupciones de la misma prioridad. El desarrollador tiene que decidir en el programa a quien atender primero.

5

## La interrupción del Timer0

- Dependiendo del modo de trabajo:
  - Modo 8 bit: El evento de interrupción proviene de la comparación en igualdad entre TMR0H (valor de referencia de comparación) y TMR0L (registro de cuenta) - tmr0\_match
  - Modo 16 bit: El evento de interrupción proviene del desborde del registro de cuenta (65535 hacia 0) – tmr0-overflow
- Tener en cuenta el valor que se le coloca en POSTSCALER, este dispositivo contará una cantidad de eventos (tmr0\_match o tmr0\_overflow) antes de activar la bandera TMR0IF y que va desde 1:1 hasta 1:16.
  - Si POSTSCALER = 1:1, cada evento (tmr0\_latch ó tmr0\_overflow) activará TMR0IF
  - Si POSTSCALER = 1:2, cada dos eventos (tmr0-matchó tmr0\_overflow) activará TMR0IF
- Cuando se levante la bandera (TMR0IF), ésta deberá de bajarse manualmente.
- Para habilitar la interrupción del Timer0:
  - Activar TMR0IE, ubicado en el bit7 del registro PIE3
  - Activar GIE, ubicado en el bit7 del registro INTCON0
- De usar prioridades en las interrupciones del Timer0:
  - Revisar el bit 7 (TMR0IP) del registro IPR3
  - Revisar bits IPEN, GIEH y GIEL del registro INTCON0

6

## Las interrupciones externas INT0, INT1, INT2

- Interrumpen al CPU del microcontrolador, estas acciones provienen de pines externos (INT0, INT1 e INT2).
- Pines externos (por defecto RB0 para INT0, RB1 para la INT1 y RB2 para INT2). Configurables su asignación por el PPS (registros INTxPPS, revisar cap 21).
- Pueden ser activos en alto (flanco ascendente) o activos en bajo (flanco descendente). Revisar bits INT0EDG, INT1EDG y INT2EDG.
- Los bits de habilitación de las interrupciones externas son INT0IE, INT1IE e INT2IE. Estos se encuentran en el grupo de **registros PIE**.
- Por defecto las tres interrupciones saltan al vector de alta prioridad (0x0008) al ser activadas. Si se requieren pasar a baja prioridad alguno de ellos deberán activar la prioridad de las interrupciones y configurar los bits INT0IP, INT1IP e INT2IP según requerimientos. Se encuentran en el grupo de **registros IPR**.
- Las banderas INT0IF, INT1IF e INT2IF deberán bajarse (acción manual) cuando se activen. Se encuentran en el grupo de **registros PIR**.
- Recordar que el GIE/GIEH (habilitador global, global alta prioridad), GIEL (habilitador global baja prioridad) e IPEN (habilitador de prioridades) se encuentran en el **registro INTCON0**.

7

## Las interrupciones externas INT0, INT1, INT2

	Peripheral	PPS Input Register	Default Pin Selection at POR	Register Reset Value at POR	Available Input Port								
					28-Pin Devices			40-Pin Devices			48-Pin Devices		
0x023E	Interrupt 0	INT0PPS	RB0	'b001 000	A	B	—	A	B	—	A	B	—
0x023F	Interrupt 1	INT1PPS	RB1	'b001 001	A	B	—	A	B	—	B	D	—
0x0240	Interrupt 2	INT2PPS	RB2	'b001 010	A	B	—	A	B	—	B	—	F

- Registros PPS de las interrupciones externas
- Tener en cuenta que estos registros se encuentran en el bank 2

**Name:** xxxPPS  
Peripheral Input Selection Register

Bit	7	6	5	4	3	2	1	0
Access			R/W	R/W	R/W	R/W	R/W	R/W
Reset			m	m	m	m	m	m

**Bits 5:3 – PORT[2:0]** Peripheral Input PORT Selection<sup>(1)</sup>  
See the [PPS Input Selection Table](#) for the list of available Ports and default pin locations.

PORT	Selection
101	PORTF
100	PORTE
011	PORTD
010	PORTC
001	PORTB
000	PORTA

Reset States: POR = mmm  
All other Resets = uuu

**Bits 2:0 – PIN[2:0]** Peripheral Input PORT Pin Selection<sup>(2)</sup>  
Reset States: POR = mmm  
All other Resets = uuu

Value	Description
111	Peripheral input is from PORTx Pin 7 (Rx7)
110	Peripheral input is from PORTx Pin 6 (Rx6)
101	Peripheral input is from PORTx Pin 5 (Rx5)
100	Peripheral input is from PORTx Pin 4 (Rx4)
011	Peripheral input is from PORTx Pin 3 (Rx3)
010	Peripheral input is from PORTx Pin 2 (Rx2)
001	Peripheral input is from PORTx Pin 1 (Rx1)
000	Peripheral input is from PORTx Pin 0 (Rx0)

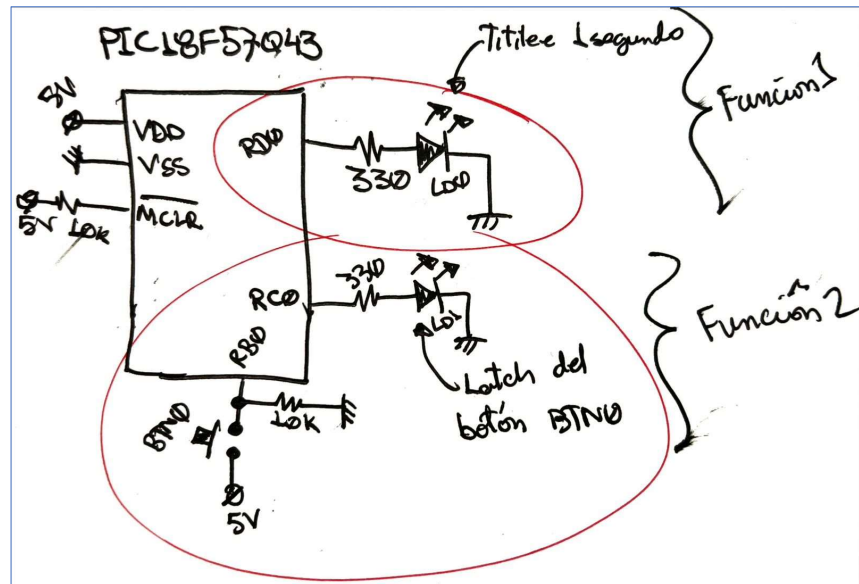
8

10

10

## Interrupciones en el PIC18F57Q43

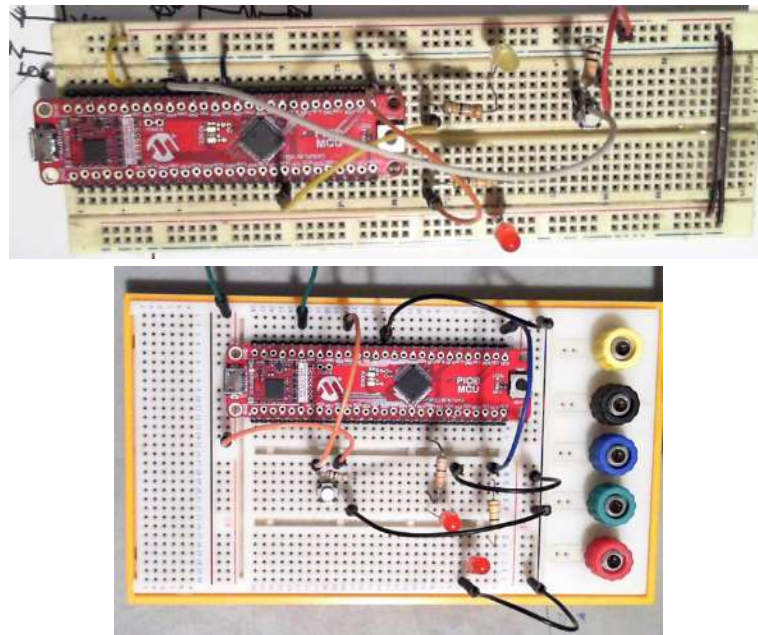
- Ejemplo: Realizar dos funciones en el microcontrolador, uno de parpadeo de un LED con periodo de un segundo y otro de función latch de un LED con un pulsador



11

## Interrupciones en el PIC18F57Q43

- Ejemplo:



12

## Interrupciones en el PIC18F57Q43

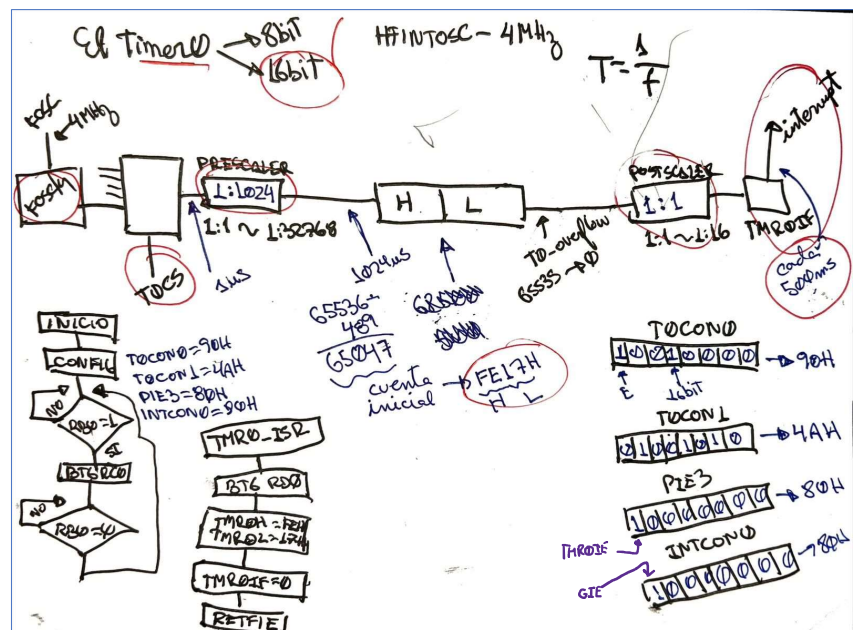
### • Estrategias:

1. No utilizar interrupciones (polling – high load CPU) ~~X~~
2. Emplear interrupción del Timer0 para el parpadeo y en la rutina principal hacer el Latch
3. Emplear interrupción externa INTO para el Latch y en la rutina principal colocar el Timer0
4. Emplear interrupciones tanto para el Timer0 como para el Latch (INT0)
  - Se puede interrupciones simples (un solo vector de interrupción)
  - Se puede utilizar prioridades legacy (high priority y low priority)
  - Se puede usar el VIC (interrupciones vectorizadas)

13

## Estrategia2: Timer0 en interrupción y rutina principal el Latch

- El Timer0 debe de temporizar 1 segundo.
- Empleando el Timer0 en modo 16 bits, prescaler 1:1024, postscaler 1:1, fosc/4, cuenta inicial de 65047 (FE17H)
- Se habilita la interrupción para Timer0 (INT0IE=1)
- No olvidarse del GIE=1



14



## Estrategia2: Timer0 en interrupción y rutina principal el Latch

- Código propuesto

```

1  PROCESSOR 18F57Q43
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  upcino:
6  ORG 000000H          ;Vector de reset
7  bra configuro
8
9  ORG 000008H          ;Vector de interrupcion
10 bra TMR0_ISR
11
12 ORG 000100H
13 configuro:
14 movlb 0H              ;bank0
15 movlw 60H
16 movwf OSCCON1, 1      ;hfintosc, 1:1
17 movlw 02H
18 movwf OSCFRO, 1       ;hfintosc 4MHz
19 movlw 40H
20 movwf OSCEN, 1         ;hfintosc enabled
21 movlb 3H              ;bank3
22 movlw 90H
23 movwf TOCON0, 1       ;tmr0 enabled, 16 bit, posts 1:1
24 movlw 4AH
25 movwf TOCON1, 1       ;fosc/4 presc 1:1024

```

```

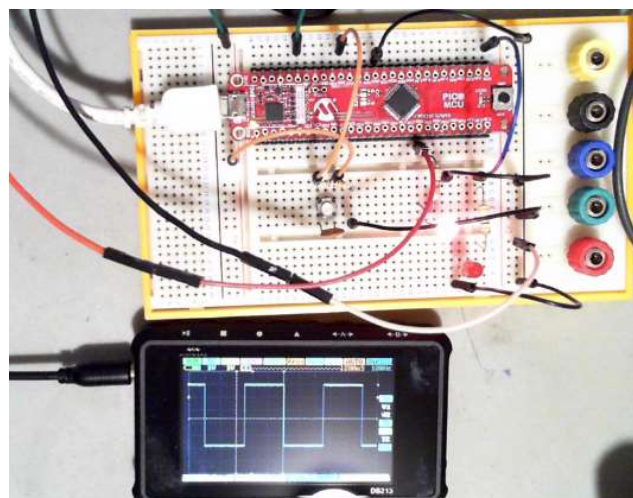
26 movlb 4H              ;bank4
27 bcf TRISC, 0, 1
28 bcf ANSEL, 0, 1
29 bcf TRISD, 0, 1
30 bcf ANSELD, 0, 1
31 bcf TRISE, 0, 1
32 bcf ANSELE, 0, 1
33 movlw 80H
34 movwf PIE3, 1         ;TMR0IE=1 (TMR0 interrupt enabled)
35 movwf INTCON0, 1      ;GIE=1 (Global interrupt enabled)
36
37 inicio:               ;rutina principal
38 btfs PORTB, 0, 1      ;pregunto si pulse boton
39 bra $-2               ;no pulse
40 btg LATC, 0, 1        ;si pulse y basculo LED
41 btfs PORTB, 0, 1      ;pregunto si solte boton
42 bra $-2               ;no solte
43 bra inicio            ;si solte, retorno a inicio
44
45 TMR0_ISR:             ;rutina de interrupcion para TMR0
46 btg LATD, 0, 1        ;basculo LED
47 movlb 3H              ;bank3
48 movlw 0FEH
49 movwf TMR0H, 1
50 movlw 17H
51 movwf TMR0L, 1        ;carga de cuenta inicial a TMR0
52 movlb 4H              ;bank4
53 bcf FIR3, 7, 1
54 retfie
55
56 end upcino

```

15

## Estrategia2: Timer0 en interrupción y rutina principal el Latch

- Funcionamiento

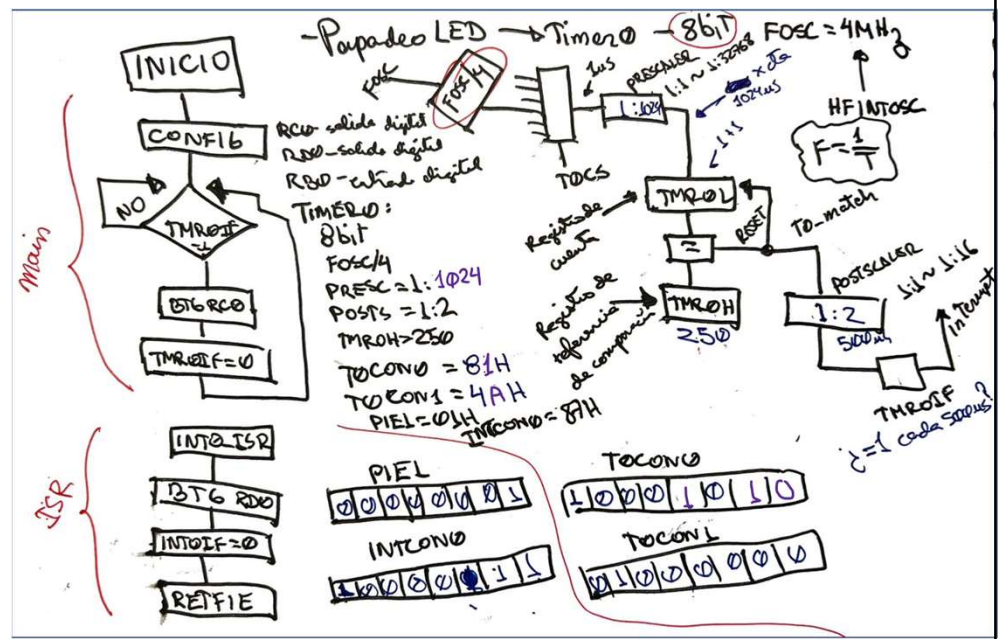


16



## Estrategia3: Timer0 en rutina principal y Latch con INT0

- En esta estrategia se ha cambiado el modo de trabajo del Timer0 a 8bit.
- Recordar que el evento que emite el TMR0 en 8bit es debido a la igualdad entre TMR0H y TMR0L.
- Tener en cuenta que el INTOIE (habilitador de la INTO) se encuentra en el bit0 del registro PIE1 y el INTOIF (bandera de la INTO) se encuentra en el bit del registro PIR1



17

## Estrategia3: Timer0 en rutina principal y Latch con INT0

### • Código propuesto

```

1  PROCESSOR 18F57Q43
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  upcino:
6      ORG 000000H          ;vector de reset
7      bra configur0
8
9      ORG 000008H          ;vector de interrupcion
10     bra INT0_ISR
11
12     ORG 000100H
13     configur0:
14         movlb 0H          ;bank0
15         movlw 60H          ;osccon1, 1
16         movwf OSCCON1, 1  ;hfintosc, 1:1
17         movlw 02H          ;oscfrq, 1
18         movwf OSCFRQ, 1   ;hfintosc 4MHz
19         movlw 40H          ;oscen, 1
20         movwf OSCEN, 1    ;hfintosc enabled
21         movlb 2H          ;bank2
22         movlw 08H          ;int0pps, 1
23         movwf INT0PPS, 1  ;rb0 asignado a INT0
24         movlb 3H          ;bank3
25         movlw 81H          ;tmr0 on, 8bit, posts
26         movwf TOCON0, 1   ;tmr0 on, 8bit, posts
27         movlw 4AH          ;fosc4, presc 1:1024
28         movwf TOCON1, 1   ;fosc4, presc 1:1024
29         movlw 250          ;valor de referencia
30         movwf TMR0H, 1    ;valor de referencia
31
32         movlb 4H          ;bank4
33         bcf TRISD, 0, 1   ;rd0 salida
34         bcf ANSELD, 0, 1  ;rd0 digital
35         bcf TRISC, 0, 1   ;rc0 salida
36         bcf ANSELC, 0, 1  ;rc0 digital
37         bsf TRISB, 0, 1   ;rb0 entrada
38         bcf ANSELB, 0, 1  ;rb0 digital
39         movlw 01H          ;INT0 enabled
40         movwf PIE1, 1
41         movlw 87H          ;GIE enabled, INT0EDG=1
42         movwf INTCON0, 1
43         bcf LATD, 0, 1    ;rd0=0
44
45     inicio:
46         btfss PIR3, 7, 1   ;pregunto si hubo evento en TMR0 (TMR0IF=1)
47         bra $-2            ;no hubo evento en TMR0 (TMR0IF=0)
48         btg LATC, 0, 1     ;si hubo evento, basculo rc0
49         bcf PIR3, 7, 1     ;bajo bandera TMR0IF
50         bra inicio        ;repito
51
52     INT0_ISR:
53         btg LATD, 0, 1     ;basculo rd0
54         bcf PIR1, 0, 1     ;bajo bandera INT0IF
55         retfie             ;retorno a posicion antes de interrupcion
56
57     end upcino

```

18



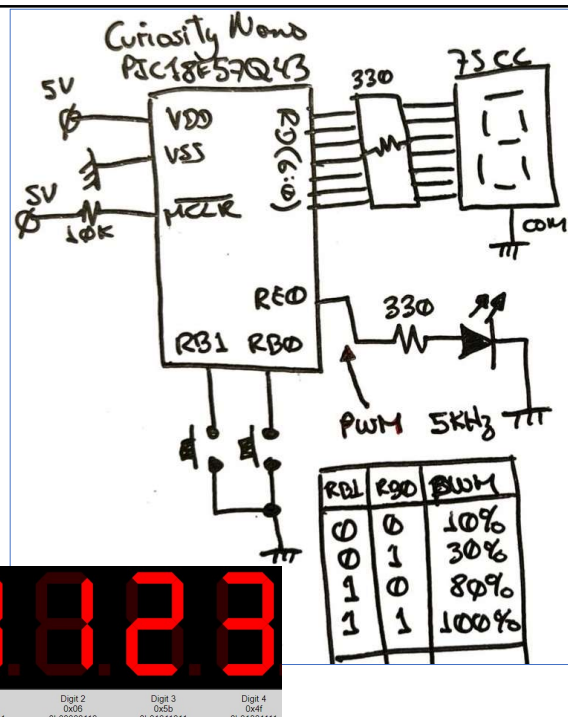
## ¿Multitarea?

- Ejecución de varias tareas a la vez en el microcontrolador
- Sistemas RTOS (Real Time Operating System), relacionado con lenguajes de alto nivel generalmente.
- En en assembler la multitarea esta relacionado con el uso de interrupciones.
- Ejecución de una instrucción  $\neq$  ejecución de una tarea

21

## Asignación del LB2 EL57

- Desarrollar el siguiente ejercicio de emisión de una señal PWM de 5KHz con Duty Cycle variable y configurado a través de una combinatoria en RB1 y RB0 según tabla.
- No olvidar de activar las pullup de RB1 y RB0.
- En el display de siete segmentos aparecerá la combinación seleccionada de duty cycle (0, 1, 2 ó 3)
- Para verificar la salida de PWM se usará un LED el cuál cambiará de intensidad según combinatoria.
- Seguir las indicaciones de la actividad en el AV y activar sus webcams durante la evaluación



Digit 1	Digit 2	Digit 3	Digit 4
0x30	0x06	0x25	0x33
0b0111111	0b0000110	0b0111101	0b0100111

22

## Asignación del LB2

1	PROCESSOR 18F57Q43	37	movlw 03H	73	movwf TMR0L, 1
2	#include "cabecera.inc"	38	movwf TBLPTRH, 1	74	movlb 4H
3		39	clrf TBLPTRL, 1 ;TBLPTR apuntando a 300H	75	btfss PIR3, 7, 1
4	PSECT upcino, class=CODE, reloc=2, abs	40	movlb 5H	76	bra \$-2
5	temporal EQU 500H ;GPR	41	clrf temporal, 1	77	bcf PIR3, 7, 1 ;termino de TON (20us)
6		42		78	bcf LATE, 0, 1 ;RE0 a cero
7	upcino:	43	inicio: ;rutina principal	79	movlb 3H
8	ORG 000000H ;Vector de reset	44	movlb 4H	80	movlw OFFH
9	bra configur0	45	movf PORTB, 0, 1 ;leo RB1 y RB0	81	movwf TMR0H, 1
10		46	andlw 03H ;enmascaramiento	82	movlb 4CH
11	ORG 000300H ;tabla de decodificacion	47	movlb 5H	83	movwf TMR0L, 1
12	ceroaltres: DB 3FH, 06H, 5BH, 4FH	48	movwf temporal, 1 ;almacenar en GPR temporal	84	movlb 4H
13		49	call deco7s ;visualizacion en el display	85	btfss PIR3, 7, 1
14	ORG 000100H	50	movlb 5H	86	bra \$-2
15	configuro:	51	movlb 0	87	bcf PIR3, 7, 1 ;termino de TOF (180us)
16	movlb 0H ;bank0	52	cpfseq temporal, 1 ;combinacional 0?	88	bra inicio
17	movlw 60H	53	bra siguiente1 ;no, sigue preguntando	89	
18	movwf OSCCON1, 1 ;hfintosc, 1:1	54	bra estado_0 ;salta a combinacional 0	90	estado_1: ;duty cycle 30%
19	movlw 02H	55	siguiente1:	91	movlb 4H
20	movwf OSCFREQ, 1 ;hfintosc 4MHz	56	movlb 1	92	bsf LATE, 0, 1 ;RE0 a uno
21	movlw 40H	57	cpfseq temporal, 1 ;combinacional 1?	93	movlb 3H
22	movwf OSCEN, 1 ;hfintosc enabled	58	bra siguiente2 ;no, sigue preguntando	94	movlw OFFH
23	movlb 3H ;bank3	59	bra estado_1 ;salta a combinacional 1	95	movwf TMR0H, 1
24	movlw 90H	60	siguiente2:	96	movlw 0C4H
25	movwf T0CON0, 1 ;tmr0 on, 16 bit, posts 1:1	61	movlb 2	97	movwf TMR0L, 1
26	movlw 40H	62	cpfseq temporal, 1 ;combinacional 2?	98	movlb 4H
27	movwf T0CON1, 1 ;fosc/4 presc 1:1	63	bra estado_3 ;salta a combinacional 3	99	btfss PIR3, 7, 1
28	movlb 4H	64	bra estado_2 ;salta a combinacional 2	100	bra \$-2
29	bcf TRISE, 0, 1 ;RE0 salida	65		101	bcf PIR3, 7, 1 ;termino de TON (60us)
30	bcf ANSELE, 0, 1 ;RE0 digital	66	estado_0: ;duty cycle 10%	102	bcf LATE, 0, 1 ;RE0 a cero
31	clrf TRIED, 1 ;RD salida	67	movlb 4H	103	movlb 3H
32	clrf ANSELD, 1 ;RD digital	68	bsf LATE, 0, 1 ;RE0 a uno	104	movlw OFFH
33	setf TRISE, 1 ;RB1 y RB0 entradas	69	movlb 3H	105	movwf TMR0H, 1
34	movlw 0FCH	70	movlw OFFH	106	movlw 74H
35	movwf ANSELB, 1 ;RB1 y RB0 digitales	71	movwf TMR0L, 1	107	movwf TMR0L, 1
36	clrf TBLPTRU, 1	72	movlw 0ECH	108	movlb 4H

23

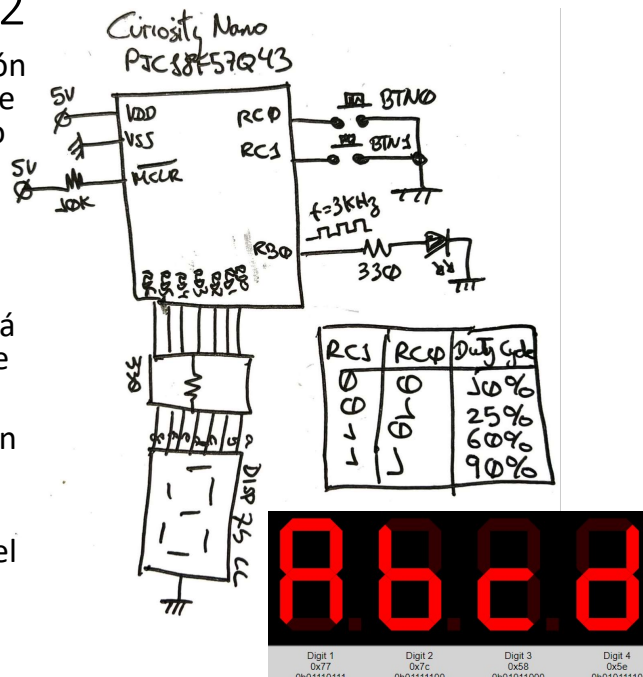
## Asignación del LB2

109	btfss PIR3, 7, 1	145	movwf temporal, TBLPTRL
110	bra \$-2	146	TBLRD*
111	bcf PIR3, 7, 1 ;termino de TOF (140us)	147	movwf TABLAT, LATD
112	bra inicio	148	return
113		149	
114	estado_2: ;duty cycle 80%	150	end upcino
115	movlb 4H		
116	bsf LATE, 0, 1 ;RE0 a uno		
117	movlb 3H		
118	movlw OFFH		
119	movwf TMR0H, 1		
120	movlw 060H		
121	movwf TMR0L, 1		
122	movlb 4H		
123	btfss PIR3, 7, 1		
124	bra \$-2		
125	bcf PIR3, 7, 1 ;termino de TON (160us)		
126	bcf LATE, 0, 1 ;RE0 a cero		
127	movlb 3H		
128	movlw OFFH		
129	movwf TMR0H, 1		
130	movlw 0DBH		
131	movwf TMR0L, 1		
132	movlb 4H		
133	btfss PIR3, 7, 1		
134	bra \$-2		
135	bcf PIR3, 7, 1 ;termino de TOF (40us)		
136	bra inicio		
137			
138	estado_3: ;duty cycle 100%		
139	movlb 4H		
140	bsf LATE, 0, 1 ;RE0 a uno		
141	bra inicio		
142			
143	deco7s: ;decodificacion 7seg		
144	movlb 4H		

24



- Desarrollar el siguiente ejercicio de emisión de una señal PWM de 3KHz con Duty Cycle variable empleando como base de tiempo el Timer0 y configurado a través de una combinatoria en RC1 y RC0 según tabla.
- No olvidar de activar las pullup de RC1 y RC0.
- En el display de siete segmentos aparecerá la combinación seleccionada de duty cycle (A, B, C ó D)
- Para verificar la salida de PWM se usará un LED el cuál cambiará de intensidad según combinatoria.
- Seguir las indicaciones de la actividad en el AV y activar sus webcams durante la evaluación



1	PROCESSOR 18F57Q43	43	inicio:	:rutina principal	85	btfss PIR3, 7, 1	
2	#include "cabecera.inc"	44	movb 4H		86	bra 6-2	
3		45	movf PORTC, 0, 1	:lee RCI y RCO	87	bcf PIR3, 7, 1	:termino de TOF (300us)
4	PSECT upcino, class=CODE, reloc=2, abs	46	andw 03H	:renunciando	88	bra inicio	
5	temporal EQU 500H	47	movb 5H		89		
6	:GPR	48	movwf temporal, 1	:almacenar en GPR temporal	90	estado_1:	:duty cycle 30%
7	upcino:	49	call deco7s	:visualizacion en el display	91	movb 1H	
8	ORG 000000H	50	movb 5H		92	btf LATS, 0, 1	:RBO a uno
9	bra configuro	51	movw 0		93	movb 3H	
10		52	cpfseq temporal, 1	:combinacional 0?	94	movw OFFH	
11	ORG 000300H	53	bra siguiente_0	:no, sigue preguntando	95	movwf TMR0H, 1	
12	ceroaltres: DB 77H, 7CH, 58H, 5EH	54	bra estado_0	:salta a combinacional 0	96	movw 0ADH	
13		55	siguiente1:		97	movwf TMR0L, 1	
14	ORG 000100H	56	movw 1		98	movb 4H	
15	configuro:	57	cpfseq temporal, 1	:combinacional 1?	99	btfss PIR3, 7, 1	
16	movb 0H	58	bra siguiente2	:no, sigue preguntando	100	bra 6-2	
17	movw 60H	59	bra estado_1	:salta a combinacional 1	101	bcf PIR3, 7, 1	:termino de TON (83us)
18	movwf OSCCON, 1	60	siguiente2:		102	btf LATS, 0, 1	:RBO a cero
19	movw 02H	61	movw 2		103	movb 3H	
20	movwf OSCFRO, 1	62	cpfseq temporal, 1	:combinacional 2?	104	movw OFFH	
21	movw 40H	63	bra estado_3	:salta a combinacional 3	105	movwf TMR0H, 1	
22	movwf OSCEN, 1	64	bra estado_2	:salta a combinacional 2	106	movw 06H	
23	movb 3H	65			107	movwf TMR0L, 1	
24	movb 90H	66	estado_0:	:duty cycle 10%	108	movb 4H	
25	movwf TOCON0, 1	67	movb 4H		109	btfss PIR3, 7, 1	
26	movw 40H	68	btf LATS, 0, 1	:RBO a uno	110	bra 6-2	
27	movwf TOCON1, 1	69	movb 3H		111	bcf PIR3, 7, 1	:termino de TOF (250us)
28	movb 4H	70	movw OFFH		112	bra inicio	
29	bcf TRISS, 0, 1	71	movwf TMR0H, 1		113		
30	btf ANSELS, 0, 1	72	movw 0DFF		114	estado_2:	:duty cycle 80%
31	clrf TRISE, 1	73	movwf TMR0L, 1		115	movb 4H	
32	clrf ANSEL, 1	74	movb 4H		116	btf LATS, 0, 1	:RBO a uno
33	setf TRISE, 1	75	btfss PIR3, 7, 1		117	movb 3H	
34	movw 0FCH	76	bra 6-2		118	movw OFFH	
35	movwf ANSEL, 1	77	bcf PIR3, 7, 1	:termino de TON (33us)	119	movwf TMR0H, 1	
36	clrf TBLPTRU, 1	78	btf LATS, 0, 1	:RBO a cero	120	movw 22H	
37	movw 03H	79	movb 3H		121	movwf TMR0L, 1	
38	movwf TBLPIR3, 1	80	movb TMR0H, 1		122	movb 4H	
39	clrf TBLPIRL, 1	81	movw 0D4H		123	btfss PIR3, 7, 1	
40	movb 5H	82	movwf TMR0L, 1		124	bra 6-2	
41	clrf temporal, 1	83	movb 4H		125	btf PIR3, 7, 1	:termino de TON (222us)
		84			126	btf LATS, 0, 1	:RBO a cero

## Asignación del LB2 EL52

```

126      bcf LATB, 0, 1      ;RBO a cero
127      movlb 3H
128      movlw OFFH
129      movwf TMR0H, 1
130      movlw 91H
131      movwf TMR0L, 1
132      movlb 4H
133      btfss PIR3, 7, 1
134      bra 6-2
135      bcf PIR3, 7, 1      ;termino de TOF (illus)
136      bra inicio
137
138      estado_3:           ;duty cycle 100%
139      movlb 4H
140      bsf LATB, 0, 1      ;RBO a uno
141      movlb 3H
142      movlw OFFH
143      movwf TMR0H, 1
144      movlw 0D4H
145      movwf TMR0L, 1
146      movlb 4H
147      btfss PIR3, 7, 1
148      bra 6-2
149      bcf PIR3, 7, 1      ;termino de TON (300us)
150      bcf LATB, 0, 1      ;RBO a cero
151      movlb 3H
152      movlw OFFH
153      movwf TMR0H, 1
154      movlw 0DFH
155      movwf TMR0L, 1
156      movlb 4H
157      btfss PIR3, 7, 1
158      bra 6-2
159      bcf PIR3, 7, 1      ;termino de TOF (33us)
160      bra inicio
161

```

```

162      deco7s:           ;decodificacion 7seg
163      movlb 4H
164      movff temporal, TBLPTL
165      TBLRD+
166      movff TABLAT, LATD
167      return
168
169      end upcino

```

27

Fin de la sesión

28