

***2***

***0***

***2***

***0***

**数字电路与逻辑设计**

**课程实验报告**

**小型实验室门禁系统**

|  |  |
| --- | --- |
| 姓 名： | 刘美 |
| 学 号： | U201814788 |
| 班 级： | 1806 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 2020/4/29 |

**实验二：小型实验室门禁系统设计**

**1. 实验名称**

小型实验室门禁系统设计。

**2. 实验目的**

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件Logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

**3．实验所用设备**

Logisim2.7.1软件1套，微型计算机1台。

**4．课时**

课内4个课时，课外4个课时。

**5．实验内容**

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用Logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用Logisim提供的逻辑元件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号如图2.1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、预置控制端、预置初置端DCBA、四个计数器状态输出值**QD QC QB QA**。当预置控制端为低电平时，计数器输出**QD QC QB QA**被预置为DCBA端输入的值。

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

**D C B A**

图2.1 四位二进制可逆计数器

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图2.2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g** **a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2.2 封装后的小型实验室门禁系统

6. 实验方案设计

要求：（1）给出函数表达式或逻辑描述；（2）画出电路图。

1. 四位二进制可逆计数器

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | 次态 | 激励 | | | | | | | |
| CPdCPu |  |  | C3 | D3 | C2 | D2 | C1 | D1 | C0 | D0 |
| 01 | 0000 | 0001 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 0001 | 0010 | 0 | d | 0 | d | 1 | 1 | 1 | 0 |
| 0010 | 0011 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 0011 | 0100 | 0 | d | 1 | 1 | 1 | 0 | 1 | 0 |
| 0100 | 0101 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 0101 | 0110 | 0 | d | 0 | d | 1 | 1 | 1 | 0 |
| 0110 | 0111 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 0111 | 1000 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1000 | 1001 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 1001 | 1010 | 0 | d | 0 | d | 1 | 1 | 1 | 0 |
| 1010 | 1011 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 1011 | 1100 | 0 | d | 1 | 1 | 1 | 0 | 1 | 0 |
| 1100 | 1101 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 1101 | 1110 | 0 | d | 0 | d | 1 | 1 | 1 | 0 |
| 1110 | 1111 | 0 | d | 0 | d | 0 | d | 1 | 1 |
| 1111 | 0000 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 10 | 0000 | 1111 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0001 | 0000 | 0 | d | 0 | d | 0 | d | 1 | 0 |
| 0010 | 0001 | 0 | d | 0 | d | 1 | 0 | 1 | 1 |
| 0011 | 0010 | 0 | d | 0 | d | 0 | d | 1 | 0 |
| 0100 | 0011 | 0 | d | 1 | 0 | 1 | 1 | 1 | 1 |
| 0101 | 0100 | 0 | d | 0 | d | 0 | d | 1 | 0 |
| 0110 | 0101 | 0 | d | 0 | d | 1 | 0 | 1 | 1 |
| 0111 | 0110 | 0 | d | 0 | d | 0 | d | 1 | 0 |
| 1000 | 0111 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1001 | 1000 | 0 | d | 0 | d | 0 | d | 1 | 0 |
| 1010 | 1001 | 0 | d | 0 | d | 1 | 0 | 1 | 1 |
| 1011 | 1010 | 0 | d | 0 | d | 0 | d | 1 | 0 |
| 1100 | 1011 | 0 | d | 1 | 0 | 1 | 1 | 1 | 1 |
| 1101 | 1100 | 0 | d | 0 | d | 0 | d | 1 | 0 |
| 1110 | 1101 | 0 | d | 0 | d | 1 | 0 | 1 | 1 |
| 1111 | 1110 | 0 | d | 0 | d | 0 | d | 1 | 0 |

对于D3，我们通过表可以发现若忽略d，其值与Qd相反，而d的取值可以任意，所以 

同上可得







再由卡诺图我们可以得到时钟端的输出表达式



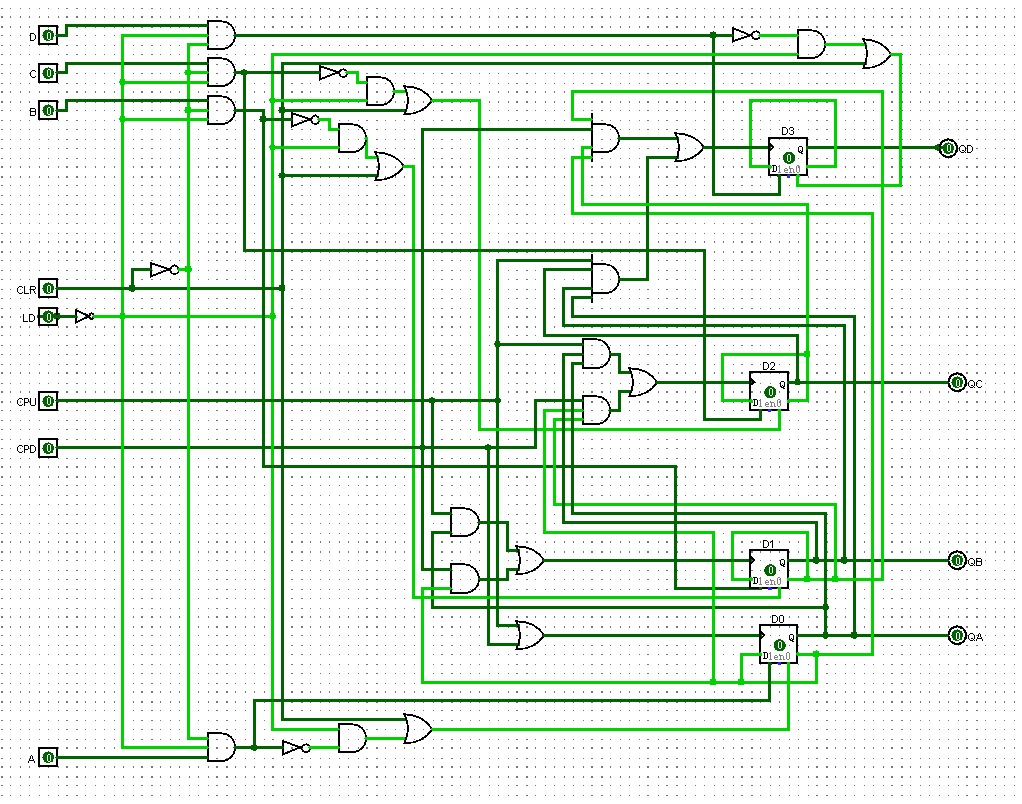
至于预置段LD的获得，是根据分析得到的，因为实验要求利用置0端和置1端实现预置，而先对LD取非在进行操作比直接拿输入端LD要简单一些。所以我的想法是将预置端DCBA同时和LD、CLR经过某些逻辑运算后同时接到置0端和置1端，并且根据不同的输入选择只让某一个置位端有效。即是：D和LD、CLR连到一起之后输入到置1端，而到置0端要先 经过取非操作（保证二者不会同时有效），如果此时CLR=0,LD=0,D=0，那么置1端无效，输入置0端为1，若D=1，则置1有效，输入置0端无效。这样就满足了预置功能。但是仅仅这样还不够，这样会对CLR=1,LD=1和CLR=0,LD=1的情况出现预判，所以我们还要对置0端进行修改，首先我们知道置0端高电平有效，当CLR的时候可以直接置零，在上一步经过取非操作之后变为的也是高电平，所以为了不出现误判可以在最后进入置0端的时候来一个或们（和CLR或），同时为了出现对CLR=0,LR=1的误判，在或之前应该将取非后的到的输入和LD取非后进行与运算。大致确定思路之后，可以验证方法是正确的（事实上这些加与门、或门也是一步步尝试验证的结果）。

所以，以预置D为例，D3的置1端的表达式为：



其中对LD取非是为了输入为低电平时实现预置

电路图：



**图2-1 四位二进制可逆计数器**

1. 二进制转8421BCD码电路

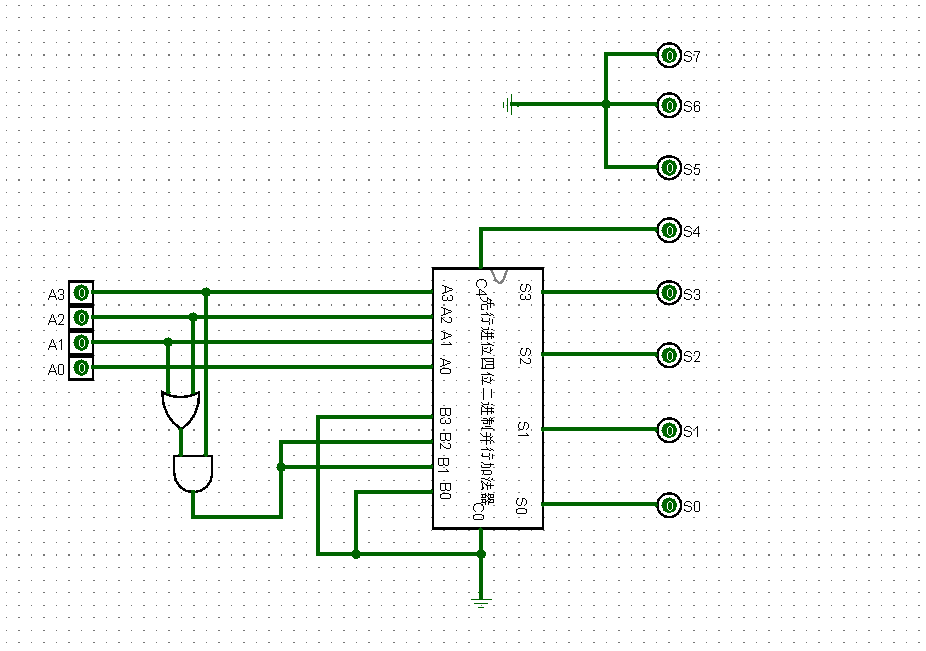
因为实验室的最大人数为15人（1111B），要利用实验一设计的加法器进行转换首先要确定另外一个加数。我们可以写出0000-1111对应的转化表

|  |  |
| --- | --- |
| 二进制 | 8424BCD码 |
| 0000 | 0000 0000 |
| 0001 | 0000 0001 |
| 0010 | 0000 0010 |
| 0011 | 0000 0011 |
| 0100 | 0000 0100 |
| 0101 | 0000 0101 |
| 0110 | 0000 0110 |
| 0111 | 0000 0111 |
| 1000 | 0001 0000 |
| 1001 | 0001 0001 |
| 1010 | 0001 0010 |
| 1011 | 0001 0011 |
| 1100 | 0001 0100 |
| 1101 | 0001 0101 |
| 1111 | 0001 0110 |

由上面的表我们不难得出，当被加数小于10时，输出的值可以视为和加数0000相加，当被加数大于等于10时，可视为和加数0110相加，无论是那种情况加数B3B2B1B0的B0=B3=0，所以我们只需要判断什么情况下加数的B1B2取1.通过观察我们不难发现当被加数大于等于10（即A3=1）且A1A2为出现至少一个1时，和0110相加，所以我们的到输出和输入的表达式：



电路图：

****

**图2-2 二进制转8421BCD码电路图**

1. 显示电路

首先我们要得到关于每个字母输出的最小项表达式，其实这里可不用查看真值表获得，直接看对应输出在那些数字中会显示，比如说a这一小段就会在数字0，2，3，5，7，8，9，13中出现，所以对应此时输出为1，所以不难得出



再由卡诺图得到函数表达式：

a=210+32A1+3A2A0+A31A0

b= 32+10+21+3A1A0

c= 3A2+21+2A0

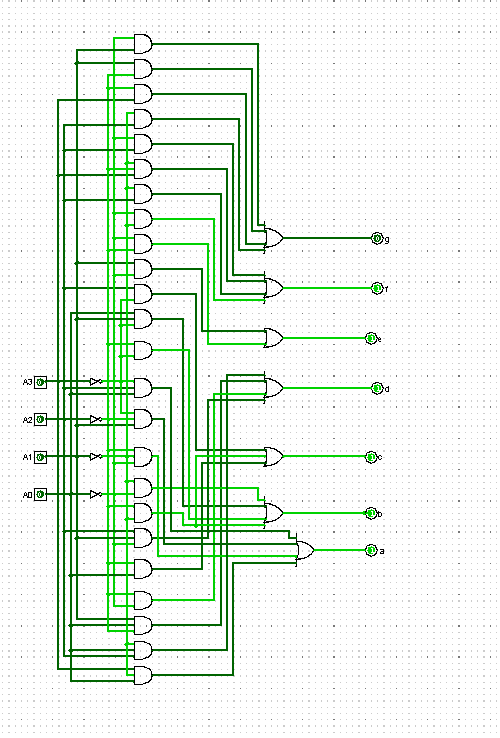
d= A21A0+20+2A1A0+ A2A10

e= A10+20

f= 10+A21+A321+A20

g= A21+ A32+2A1+A10

电路图：

****

**图2-3 显示电路电路图**

1. 报警电路

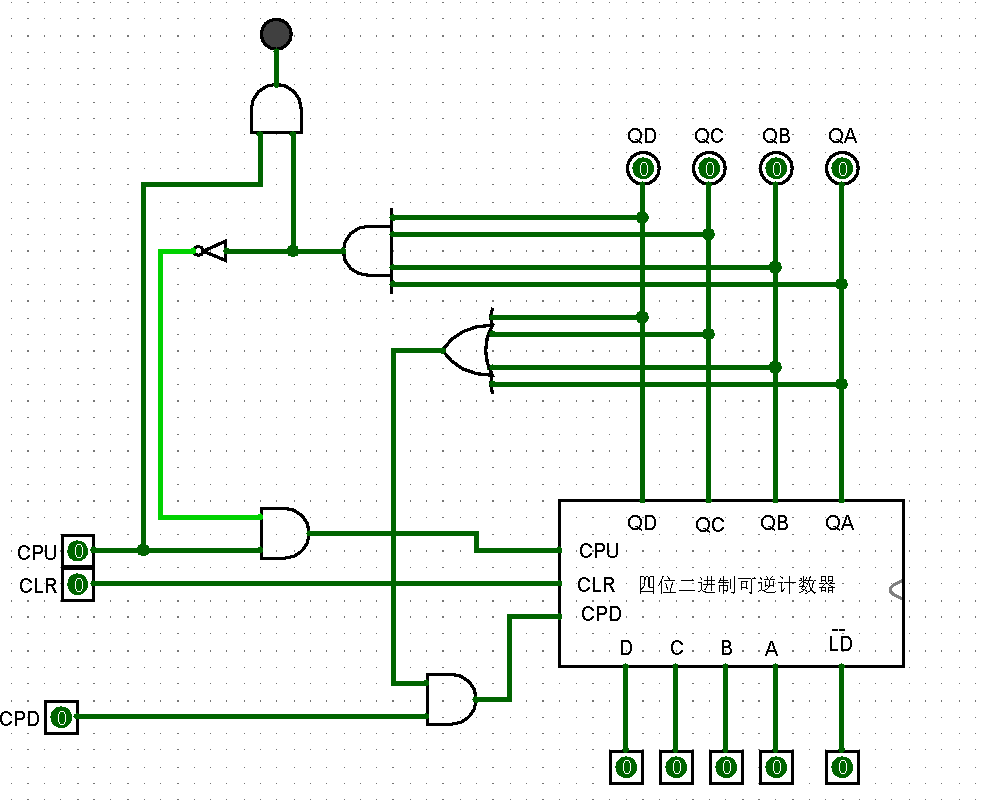
满员报警：当且仅当QD=QC=QB=QA=1，输入CPU=1，要此时不该变输出状态则两者进行某种运算之后是输入到运算器CPU端口的值为0，而当四位输入至少有一位为0的时候都不会出现报警。

无人：此时QD=QC=QB=QA=0，若CPD=1，则输入到运算器CPD的端口的值应该为0，不报警意味着不需要输入到LED电路部分，当四位输入中至少有一位为1的时候进行累减。

所以不难得到表达式：



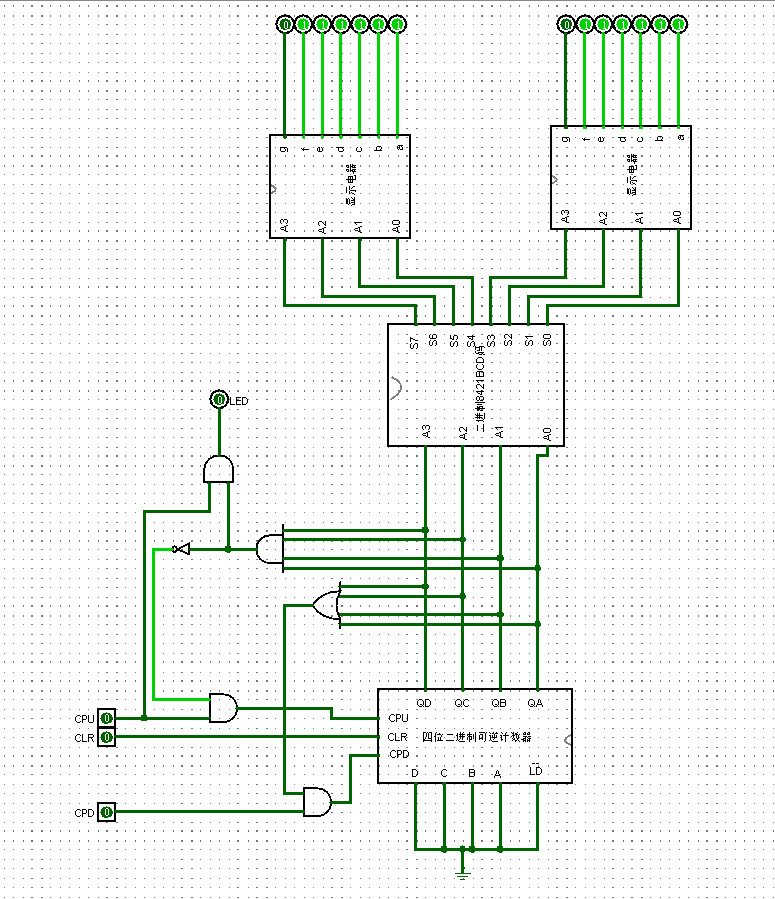
电路图：

****

**图2-4 报警电路电路图**

1. 小型实验室门禁系统电路的封装

电路图：

****

**图2-5 门禁系统电路图**