

**2**

**0**

**2**

**0**

**数字电路与逻辑设计**

**课程实验报告**

**电子钟**

|  |  |
| --- | --- |
| 姓 名： | 刘美 |
| 学 号： | U201814788 |
| 班 级： | CS1806 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 220/05/27 |

实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”



图 5.8电子钟的测试电路

6. 实验方案设计

1. 具有校准计数值的六十进制计数器电路

实验思路：为了使输出的结果为两个4位的8421码，本模块采用了两个四位二进制可逆计数器。

累加阶段：第一个四位二进制可逆计数实现模10计数输出结果的个位，每次累计为10产生进位输出到第一个可逆计数器的clr端实现清零和第二个四位二进制可逆计数器的CPu端实现满十进位，第二个计数器实现模6计数输出结果十位，累计满6产生进位输出，该输出高电平信号连接到clr端口进行清零实现重新开始计时。

累减阶段：由于四位二进制可逆计数器的累减可以实现0x0F到0x0的递减但是在这个电路中只需要实现9到0的递减，即当个位为0十位不为0时，输入CPd有效信号，个位应该减为9，而不是F，十位减一。为了实现这个功能，我们只需要利用第一个可逆计数器的使能端（第二个不需要用到是因为当十位为0且个位为0的时候会将两个计数器的clr端置为高电平使输出始终为0），采用一个与非门，仅当个位的4位输出均为0的时候与非门输出为0到使能端，此时使能端有效，输出为预置的9，预置完成之后使能端重新变为1无效，可以继续累减。十位的累减信号仅当Adj=1，CPd=1同时个位输出为0的时候产生CPd脉冲。

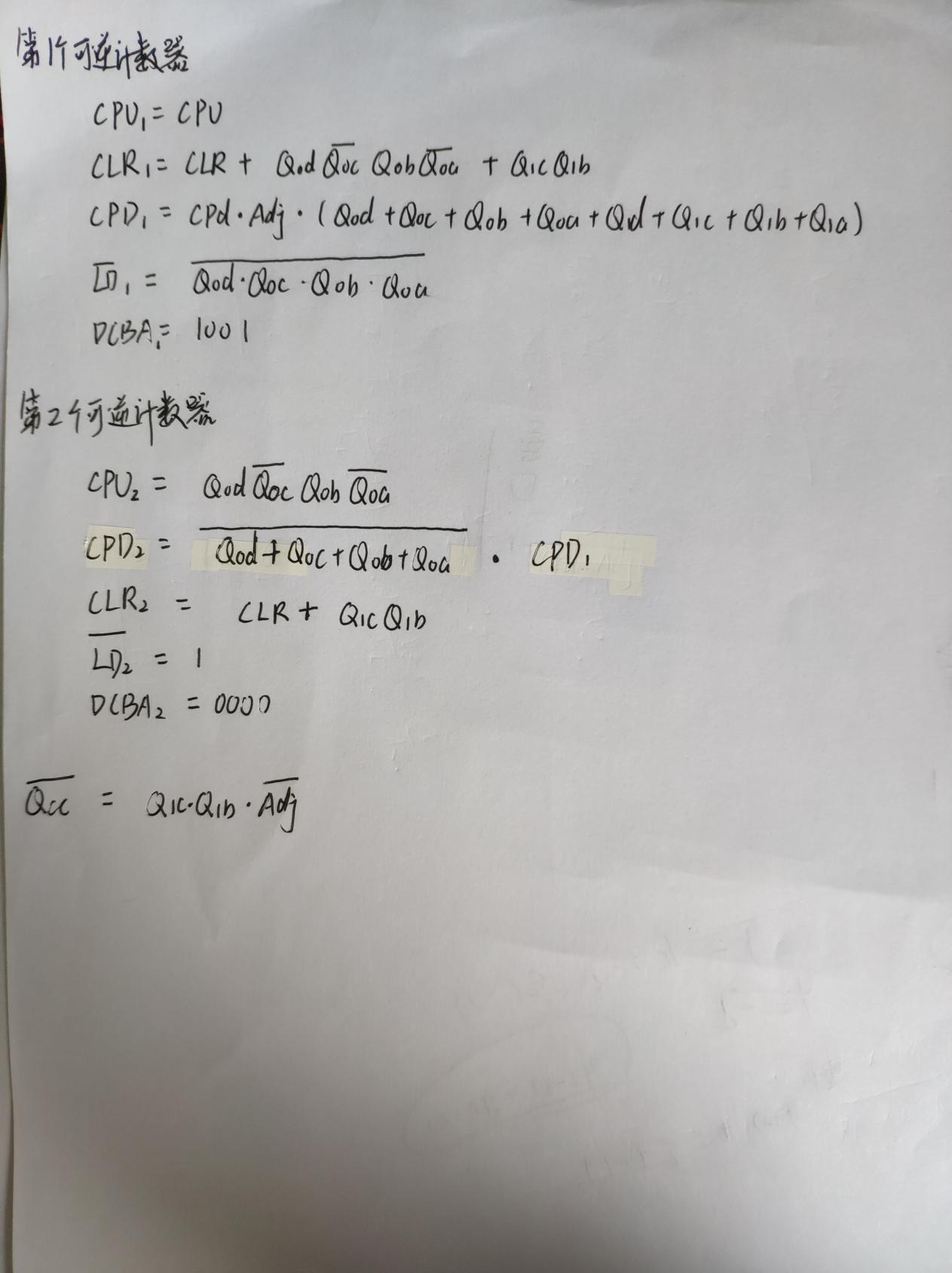


图5.8 可逆计数器端口函数表达式

实验电路图：

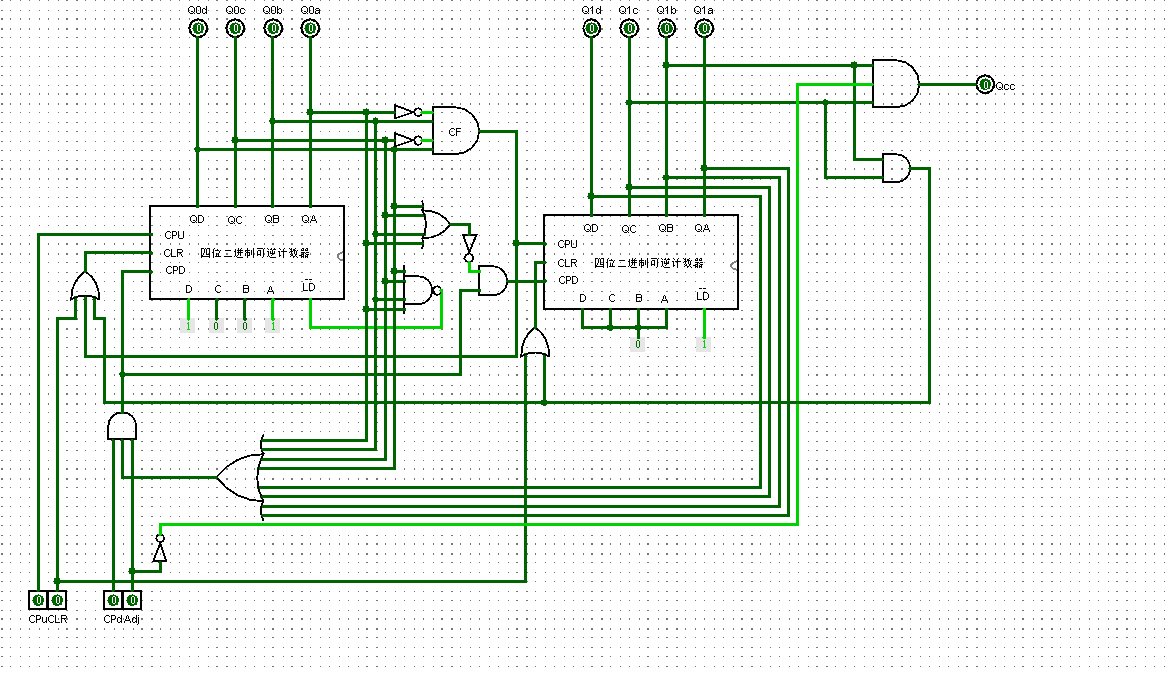


图5.9 具有校准计数值的六十进制计数器电路图

1. 具有校准计数值的十二进制计数器或二十四进制的计数器电路

实验设计：基本实现思路和六十进制计数器相同。在六十进制计数器实现思路的基础上，由set的值决定进位输出和清零复位，如果Set=0，实现十二进制计数器，输出满12产生进位输出信号并送到两个可逆计数器的clr端实现复位，若Set=1，实现二十四进制计数器，输出满24产生进位输出信号并送到两个可逆计数器的clr端实现复位。

本模块未实现十二进制和二十四进制的切换。

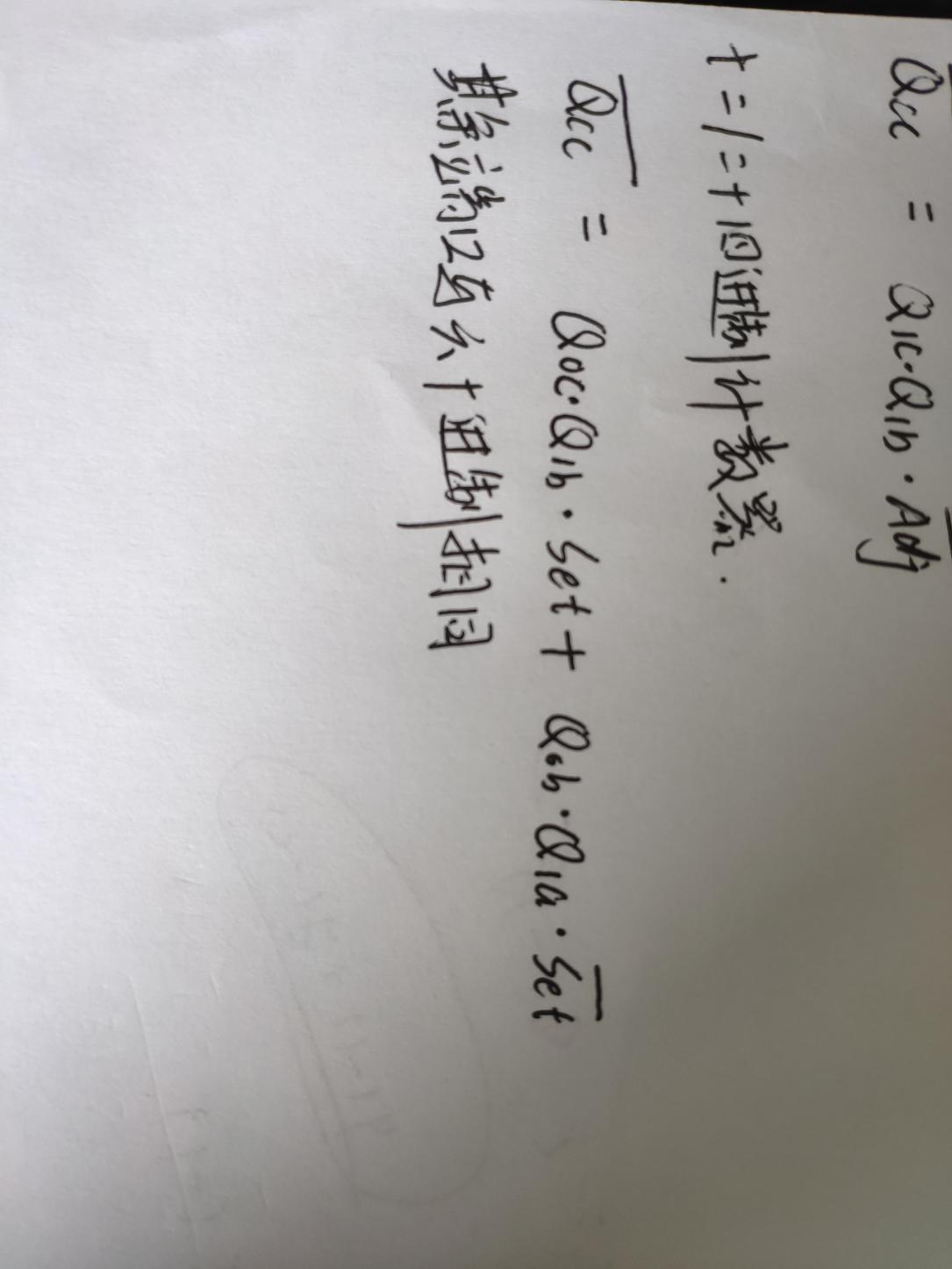


图5.10 有关函数表达式

实验电路：

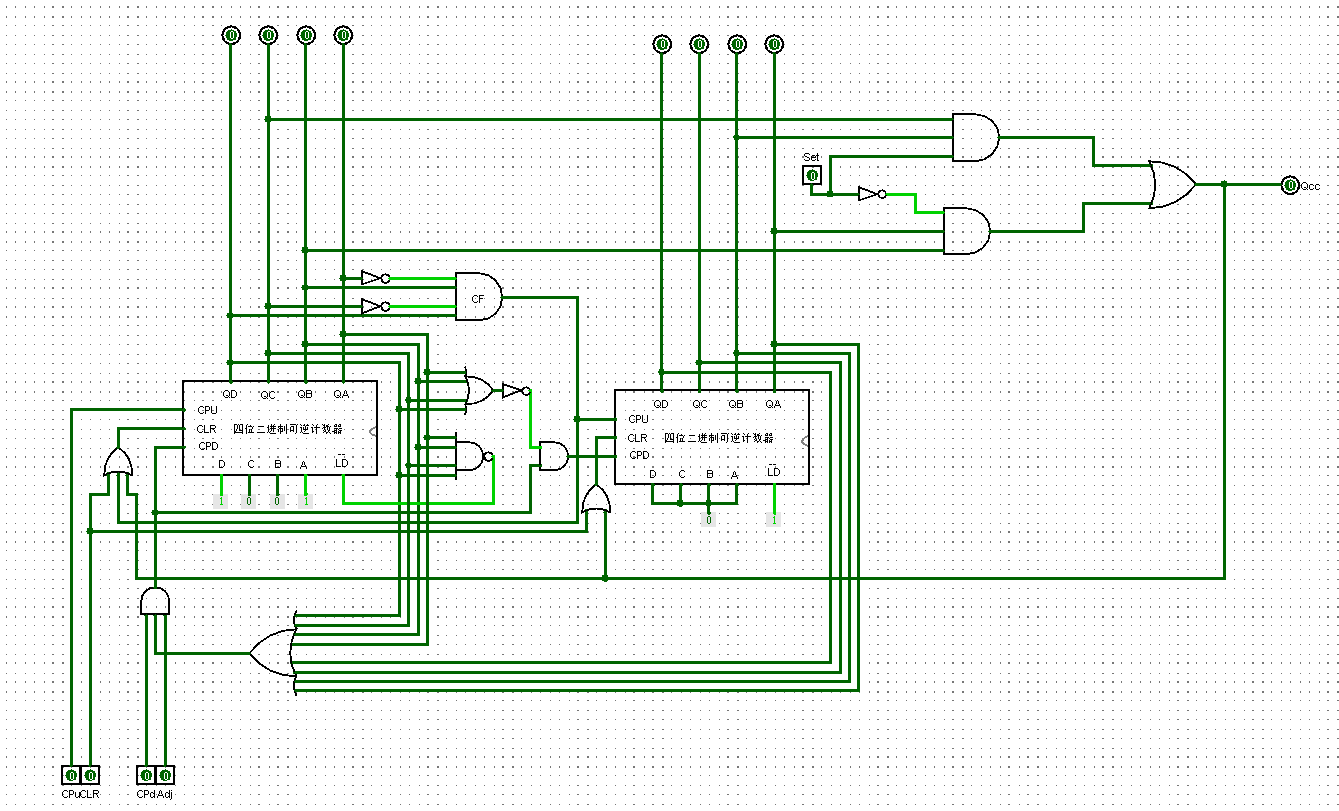


图5.11 具有校准计数值的十二/二十四进制计数器电路图

1. 显示“上午”、“下午”的电路

实验设计：采用两个二选一数据选择器，将TT和AM/FM分别设置为两个选择器的选择端。先由AM/FM选择上下午，再由TT选择进制。

实验电路图：

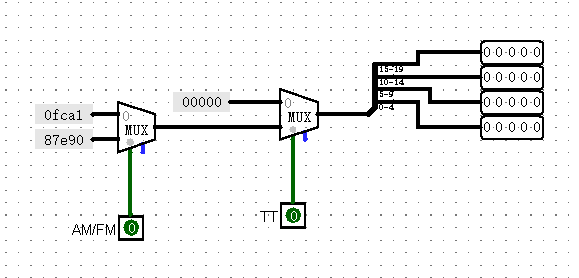


图5.12 显示上下午电路图

1. 电子钟整点报时电路

实验设计：电路有8个输入端口，表示分和秒的8个8421码，一个输出端口。当秒的十位为5，分为59时输出为1.

实验电路图：

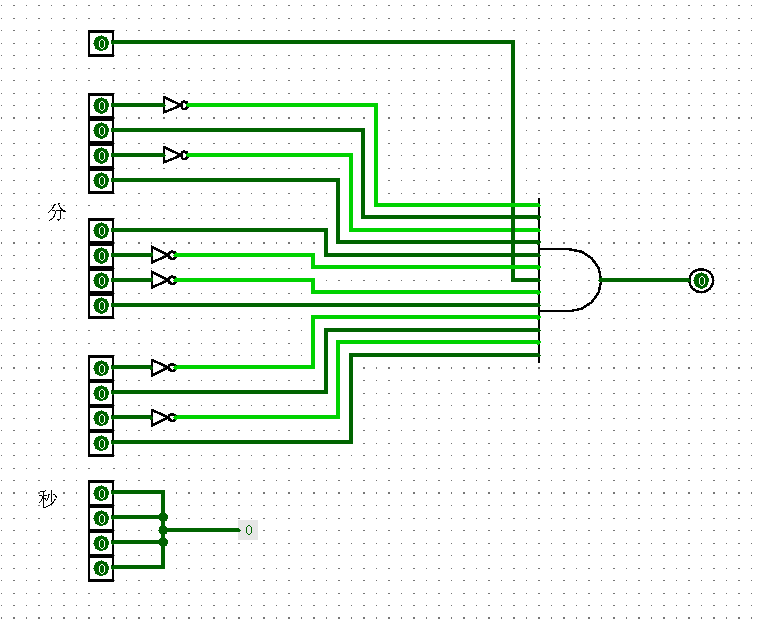


图5.13 电子钟整点报时电路图

1. 秒计时脉冲产生电路

实验设计：采用四位二进制可逆计数器设计为一个模7计数器，使输入8hz变为输出1hz

实验电路图：

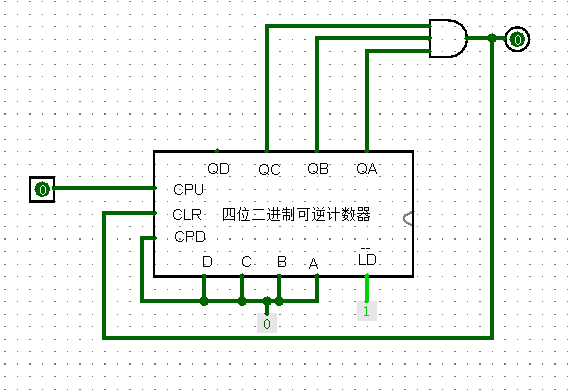


图5.14 秒计时脉冲产生电路图

1. 闹钟

未做

1. 多功能数字钟电路

实验设计： 用两个六十进制计数器实现分和秒的计时，用一个十二/二十四进制计数器实现小时的计时。

为了实现十二进制和二十四进制的转换，我们让十二/二十四电路模块的Set端口输入为常量1，即这个模块的输出始终为24进制，这样的话，上下午显示电路的AM/FM只需要判断输出是否大于等于12就可以决定显示上午还是下午而不依赖于进制的选择，而数字钟的Set端口由用户自己选择。将24进制转换为12进制的思路如下：

1. 如果，（结果作为选择器选择端输入）意味着输出为晚上20点或者21点，选择8位Q1dQ1cQ1bQ1aQ0dQ0cQ0bQ0a组成的数Q减去0x18，否则选择Q减去0x12得到Q’
2. Q是否>=0x12，是则输出为1到AM/FM，否则输出为0，同时该结果作为选择器的选择端，如果为0选择输出的结果为Q本身（意味着为上去不需要对数据进行减法操作），否则选择输出Q’
3. 比较上面（2）的选择器和0x00的输出结果，如果等于0x00，则选择输出为0x12，否则输出自己本身。

其他的实验设计思路不做具体概述，实现见电路图

实验电路图：

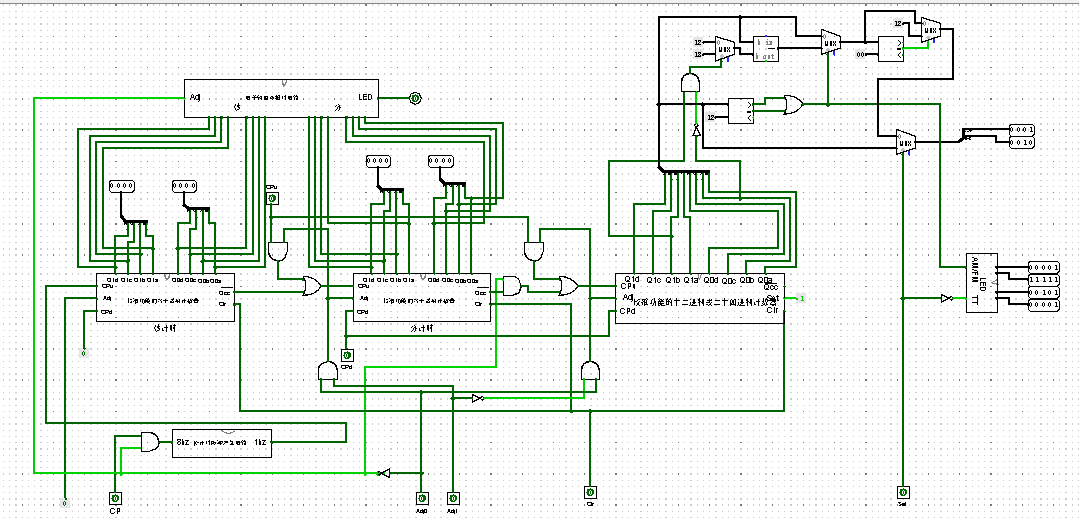


图5.15 多功能数字钟电路

1. 闹钟

实验设计：在数字钟的基础上，为闹钟电路设置了两个输入端ClockAdj和Clock。Clock=0意味着关闭闹钟，Clock=1为开启闹钟，ClockAdj=0表示不调整闹钟，ClockAdj=1表示调整闹钟。由数字钟的CPu、CPd调整时数值，Adj1=0时表示调整小时，为1时表示调整分钟。闹钟只有在开启的时候才可以调整时间，闹钟灯亮的时候是以输入的时钟信号一样的频率闪烁。

为了能够实现闹钟，我采用了两个数字钟的封装电路，第一个数字钟电路用来实现基本的数字钟功能并显示调整闹钟时的值，第二个数字钟用来实现闹钟的灯亮灭。具体的实现思路是：调整闹钟时比较第二个模块设置的小时和分钟和第一个模块正在显示计时的小时和分钟，以及两个模块的上下午输出，如果均相等的话，意味着此时闹钟应该开始亮灯并且持续十秒的时间，为了实现持续十秒的功能，利用了实验二的摸四可逆计数器实现模十。计时输出没有达到十的时候灯亮，计时达到十的时候灯灭，且此时输入到该计数器的累加脉冲变为0不在继续累加（十秒），同时采用了一个选择器，当设置的闹钟时间和当前时间不等或者模十部分输出为十就选择0作为模十部分的CPu信号，否则的话选择CP信号（为了实现闹钟的十秒和时钟的十秒同步，需要用到秒计时脉冲产生电路是时钟信号同步）。

同时为了让调整闹钟时的显示和时钟的显示共用一个显示管，采用两个选择器，由闹钟的开关和调整与否的与值作为选择端，只有在闹钟开启且调整闹钟的时候才显示调整闹钟的时钟数值，否则显示计时时钟数值。

下面给出闹钟部分的有关函数表达式。

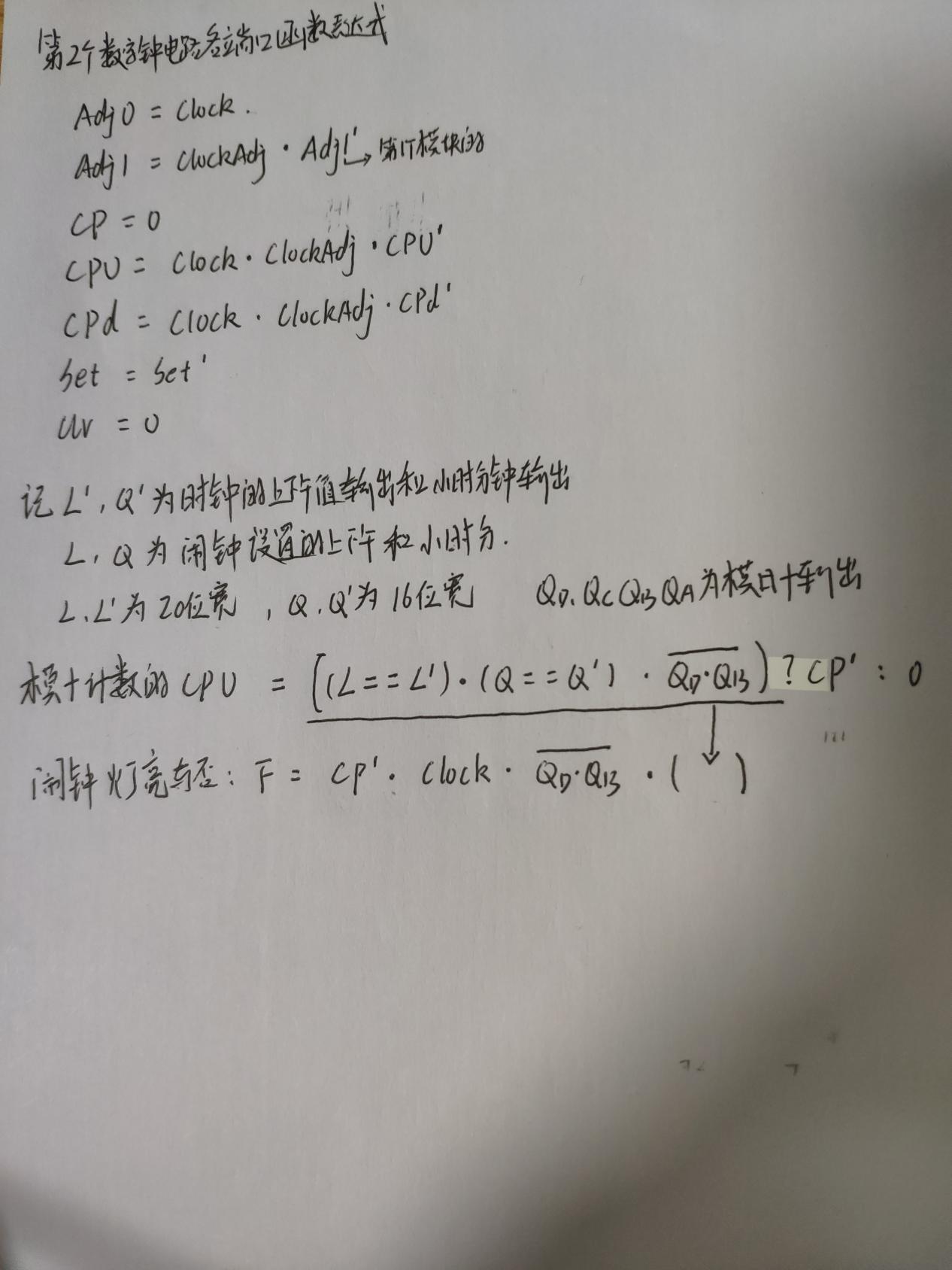


图5.16 闹钟部分有关的函数表达式

实验电路图：

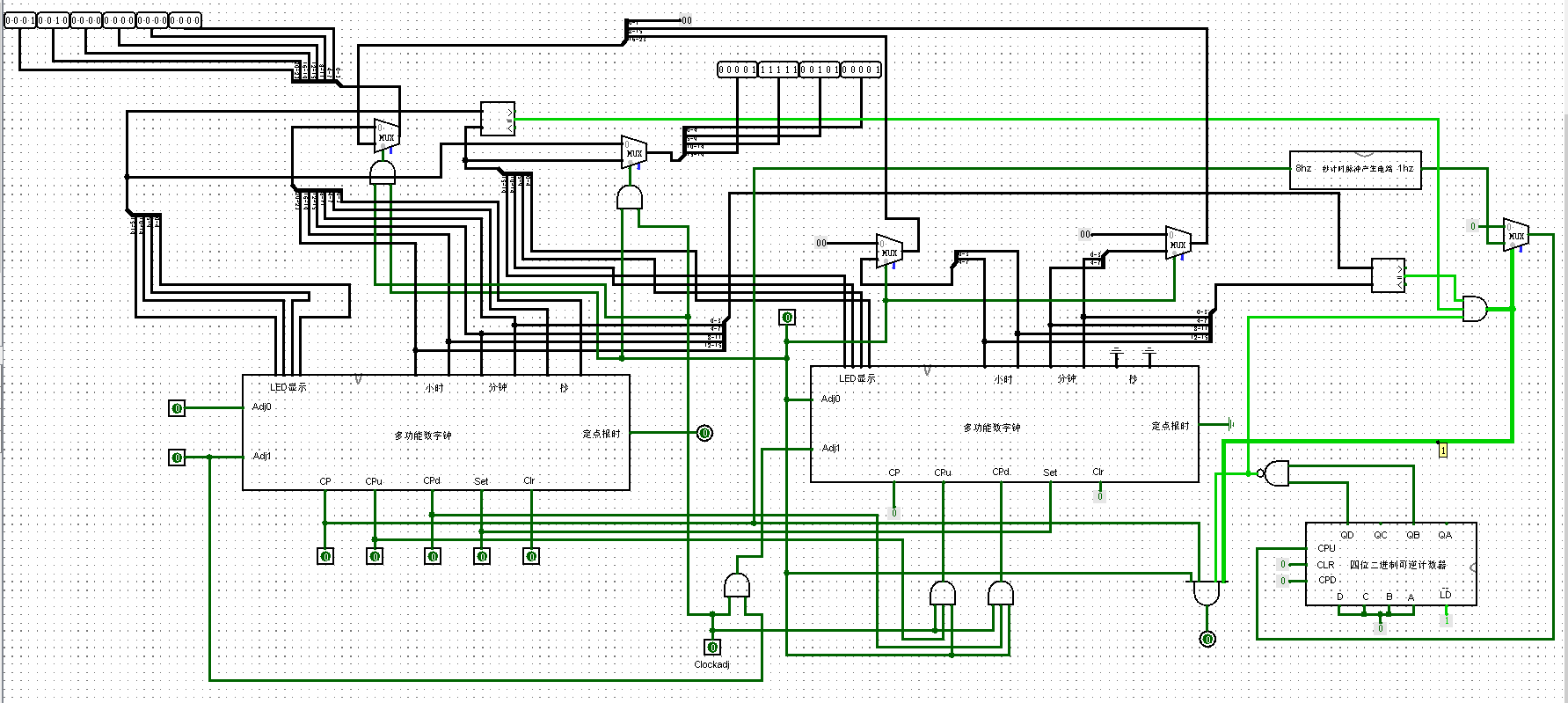


图5.17 闹钟电路图

7. 实验结果记录

1.具有校准计数的六十进制计数器

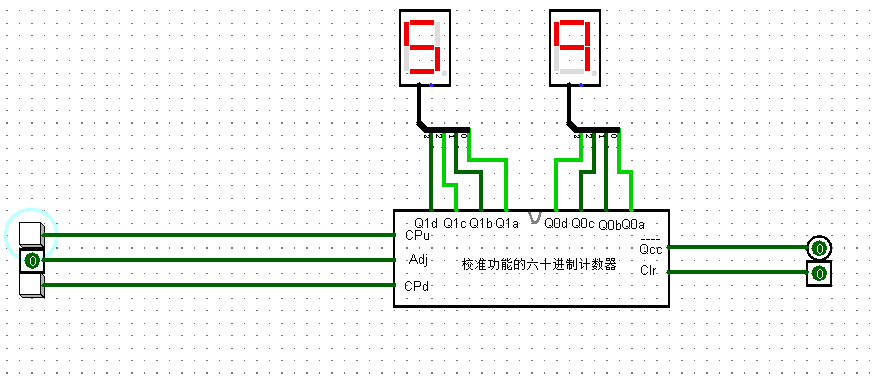


图5.18 累加至59

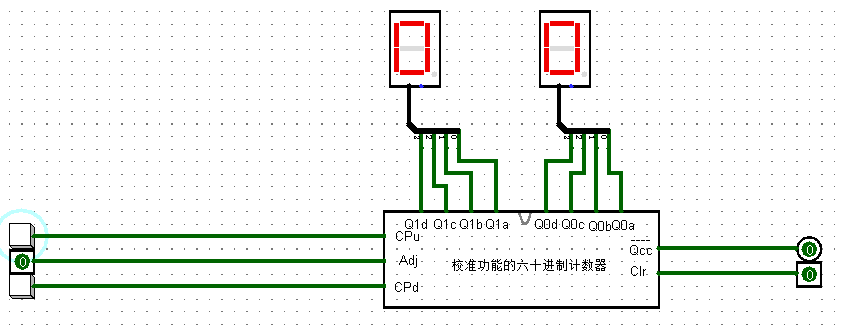


图5.19 累加至59之后再输入累加脉冲输出为0

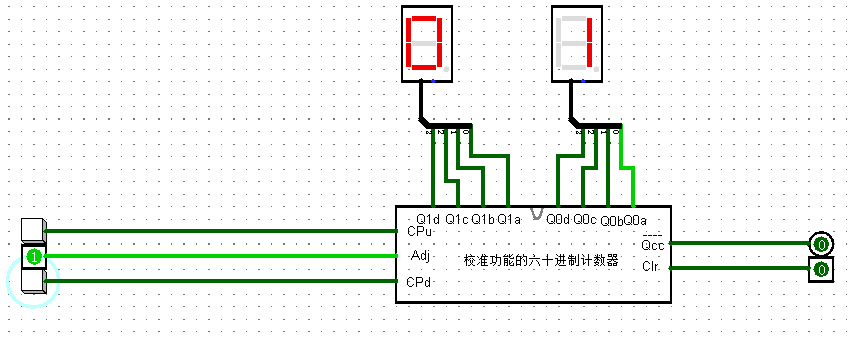


图5.20 调整时间

1. 具有校准计数的十二/二十四进制

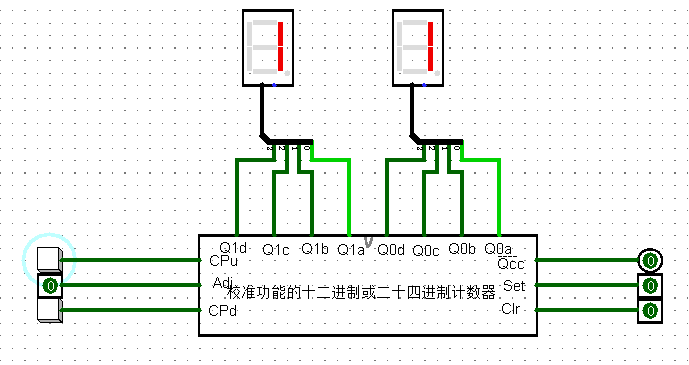


图5.21 十二进制

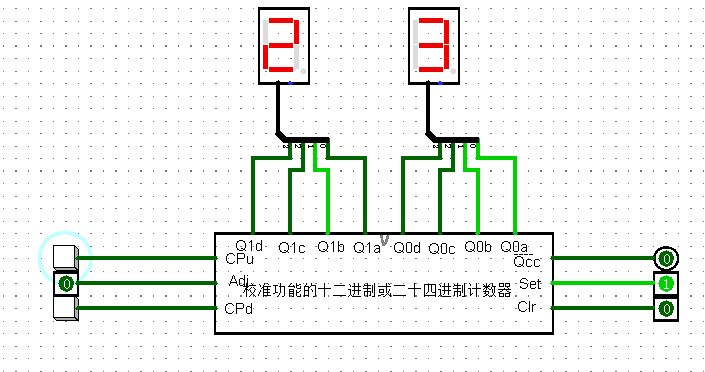


图5.22 二十四进制

1. 上下午文字显示电路

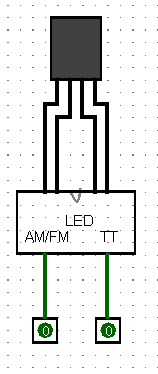


图5.23 二十四进制不显示上下午

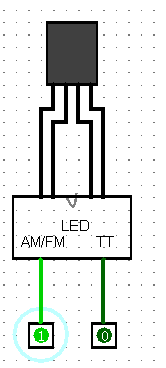


图5.24 二十四进制不显示上下午

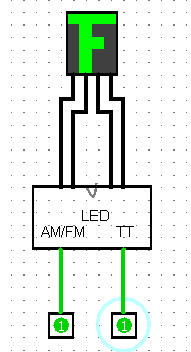


图5.25 十二进制显示下午

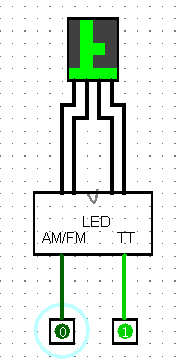


图5.26 十二进制显示上午

1. 整点报时电路

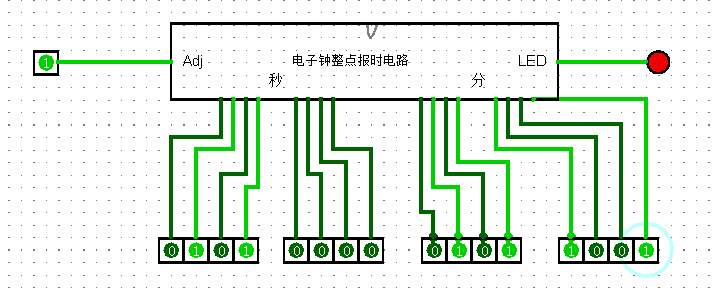


图5.27 在59分50秒灯亮

1. 多功能数字钟

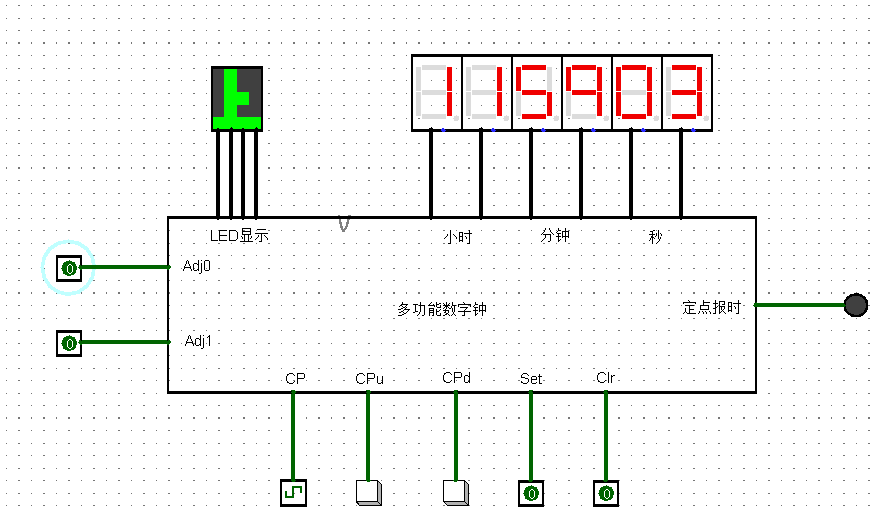


图5.28 显示上午11：59：03

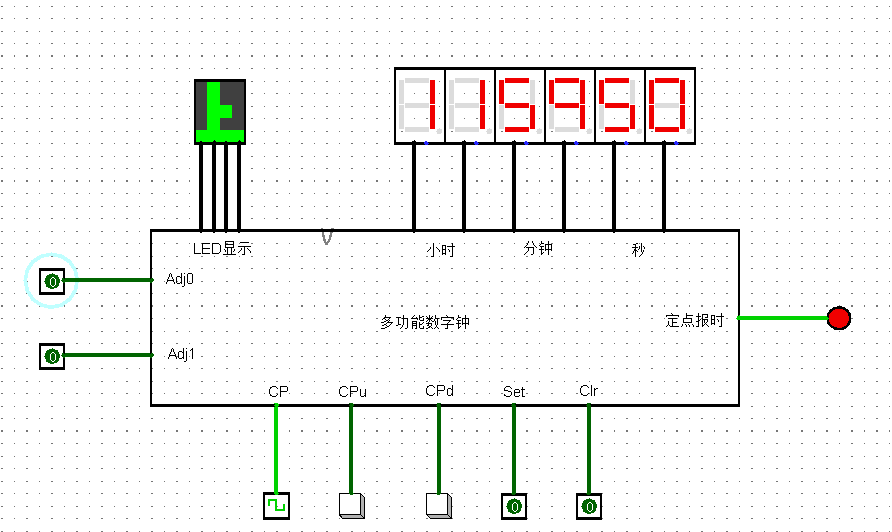


图5.29 11：59：50分定点报时

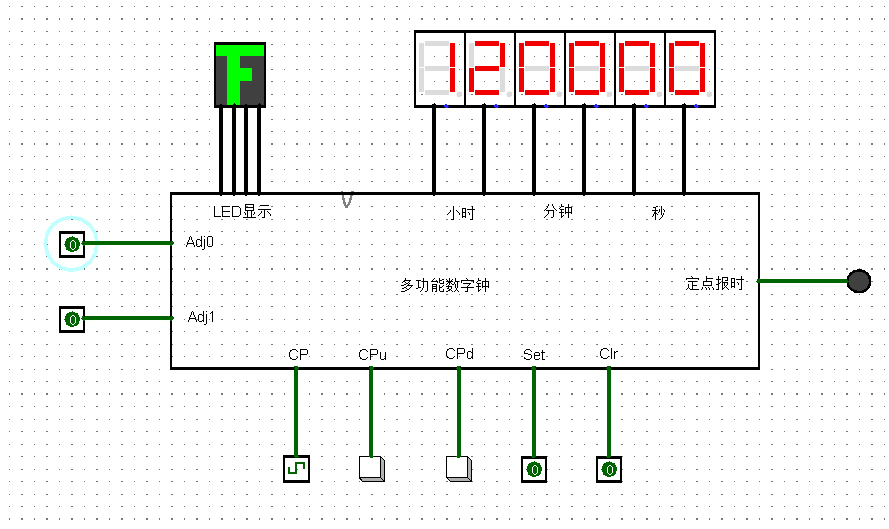


图 5.30 计时到下午12点

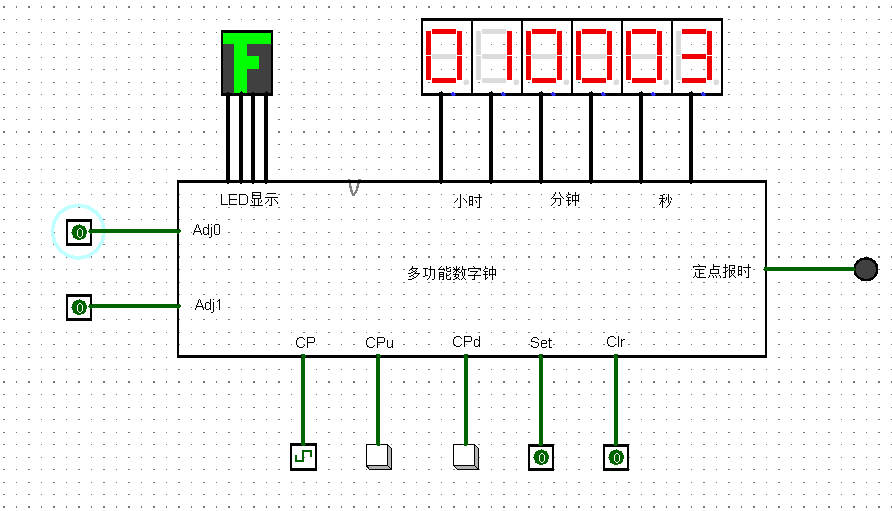


图5.31 设置时间为下午1点0分3秒

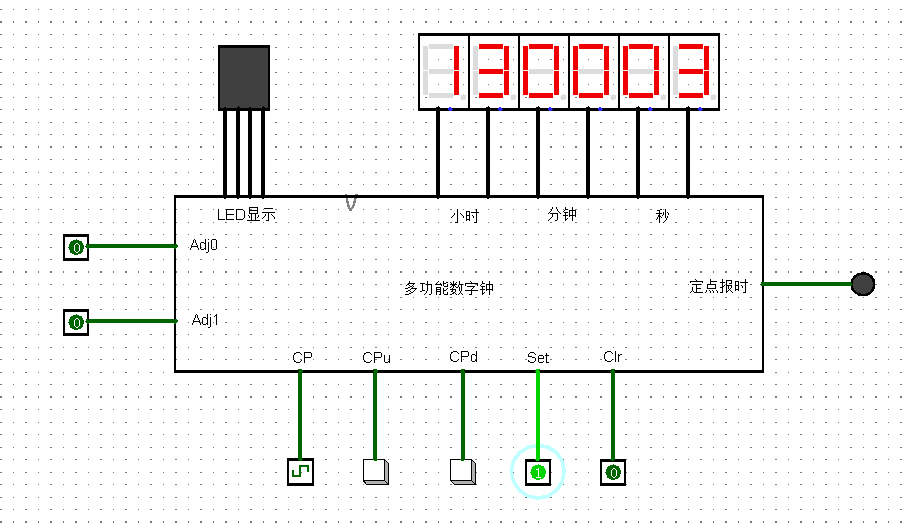


图5.32 转换为二十四进制为13点0分3秒，上下午不显示

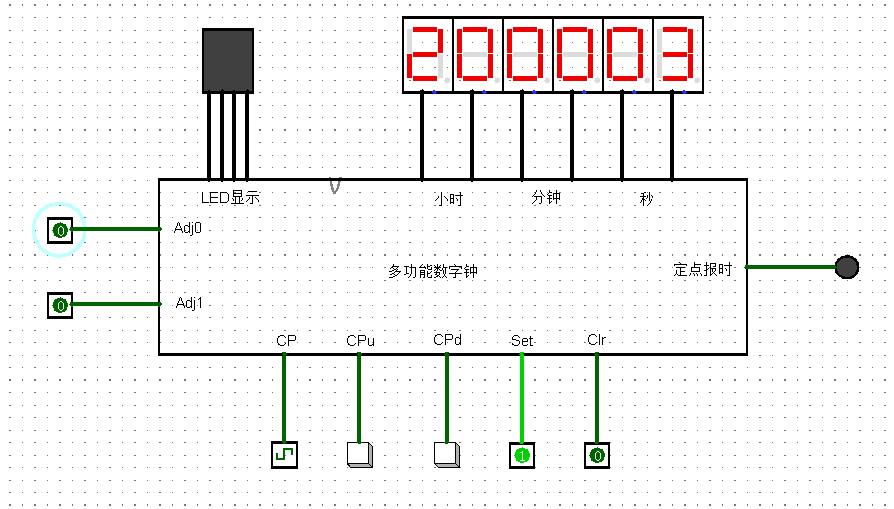


图5.33 设置时间为晚上20点0分3秒

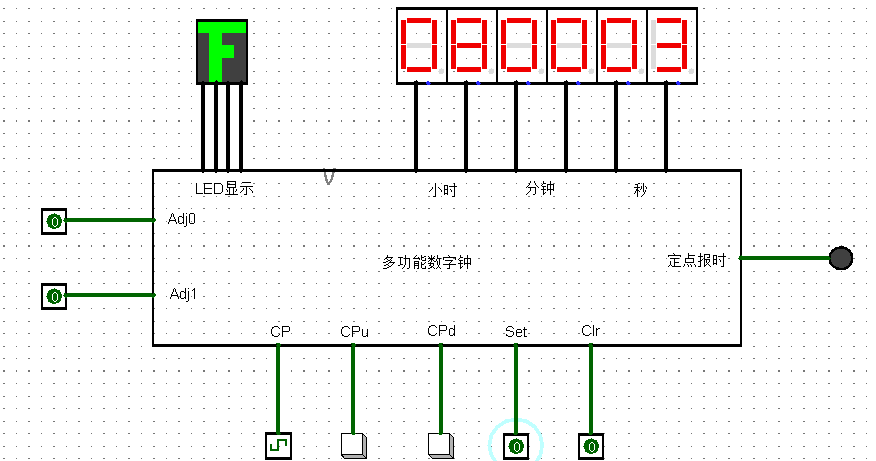


图5.34 转换为12进制显示下午8点0分3秒

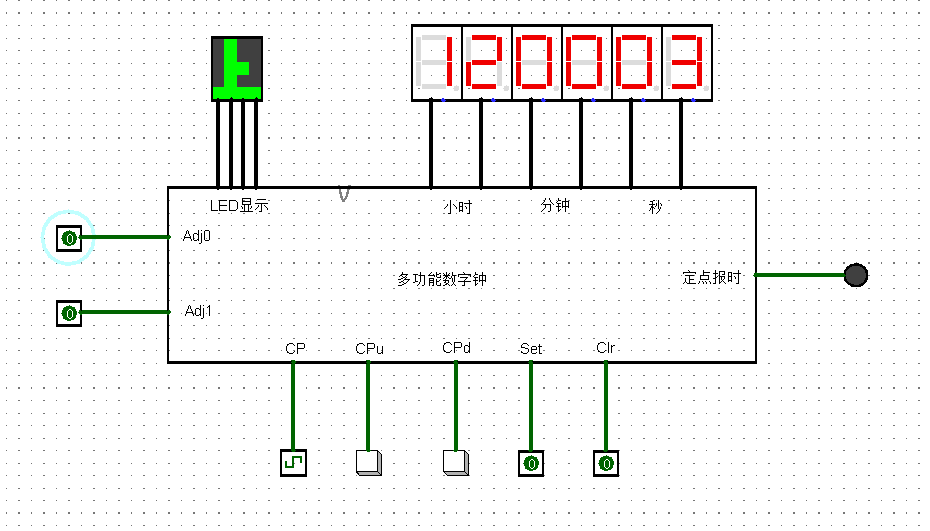


图5.35 十二进制显示上午12点0分3秒

1. 闹钟

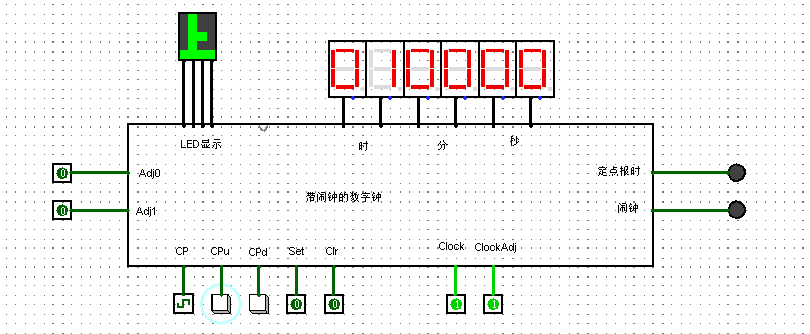


图5.36 调整闹钟时间为上午1时0分

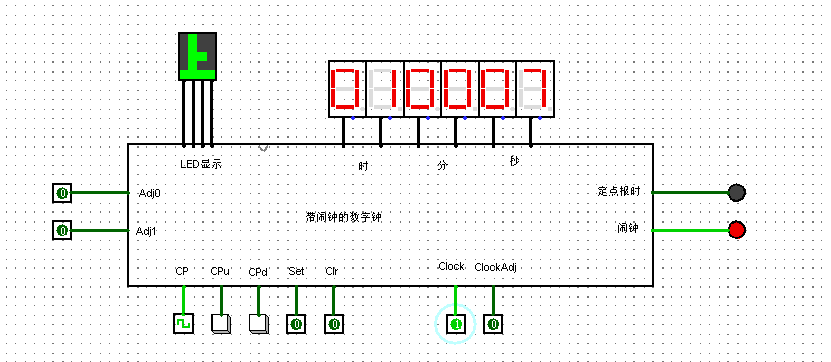


图5.37 到达闹钟设置时间闹钟灯亮

8. 实验后的思考

（1）实验的难点在哪些方面？

这次实验的难点在于各个电路模块的统一，可能单个模块的设计并不难，但是如果没有想好的话，综合到一起的电路模块无法实现应有的功能。

还有就是十二进制和二十四进制的转换，不仅需要能够转换数值，还要能够转换上下午。以及闹钟部分。之前脑子没转过来的时候还在想如果设置闹钟的时候显示的时间和数字钟的时间在一个显示管上，那我是怎么在时间流动的过程中还能保存我设置的值呢？然后自找麻烦的新增了4个十六进制显示管和一个LED显示管显示闹钟设置的小时、分和上下午时间，以及一堆输入件用来调整闹钟时间所用。

（2）如何解决这些难点？

对于第一个问题，需要在设计单独电路模块的时候尽可能地把问题想全面，是指尽可能满足可能的所有情况。

第二个转换问题，需要在二十四进制的基础上输出十二进制，这就只需要将单独的十二/二十四进制的set置为1，使之输出全为24进制的数，在在这个基础上转化。

第三个问题，其实不用想的那么复杂，用两个数字钟电路，一个用作时间计时一个用作闹钟设置时间，只要两个部分不互相干预就所以时间流动的同时不会影响到我这边设置的闹钟的时间，而要共用一套显示管的话其实也不需要用到什么保存我设置的时间，只需要在两个数字钟电路的基础上加上两个选择器对闹钟和时间进行选择输出就可以了。