

PDSD

HW3  
Traffic Light

班級:113 電機甲

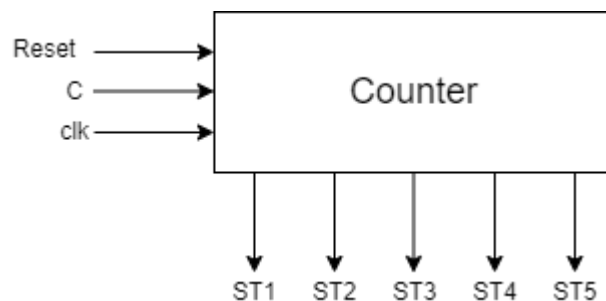
學號:B093011055

姓名:劉浩崴

# 壹、電路演算法

此紅綠燈控制器是以同步計數器(Synchronous Counter)及有限狀態機(FSM)來達成 Highway 及 Farm road 在不同情況下的紅綠燈狀態，為了符合道路上實際的情況，若在 Farm road 上沒有偵測到有車經過的話，Highway 會持續保持著綠燈的狀態，且 Farm road 綠燈的時間會比 Highway 的短，而此紅綠燈控制器的 Counter 及 FSM 功能如下：

## Synchronous Counter:



此同步計數器每經 1 個 clk 的 cycle 後計數便會+1，而 Counter 經 Reset 後歸 0，在接收到 C=1(Farm road 上有車)的訊號後從 0 開始計數，當 Counter 數到 1 時，Counter 輸出 ST1 的訊號，數到 2 的時候輸出 ST2，數到 3 的時候輸出 ST3，數到 6 的時候輸出 ST4，數到 7 的時候輸出 ST5，而當數到 11 時 C=1 的話，Counter 便會回到 2 繼續計時，反之，當數到 11 時 C=0 的話，Counter 歸 0。

Counter 輸出的訊號其意義分別為：

ST1:讓 FSM 從 S0→S1

ST4:讓 FSM 從 S3→S4

ST2:讓 FSM 從 S1→S2

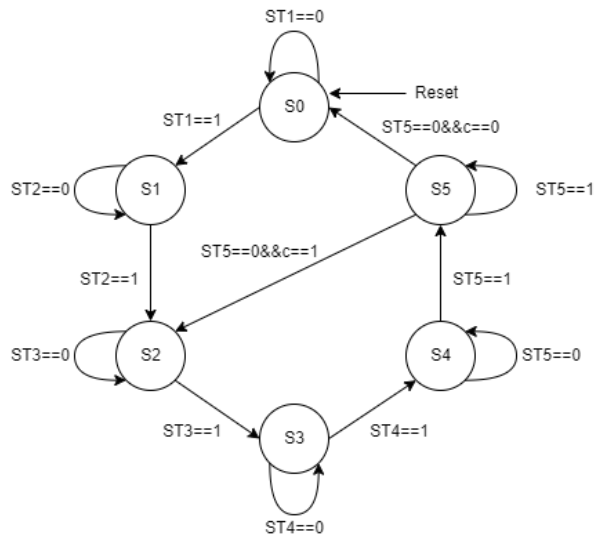
ST5:讓 FSM 從 S4→S5

ST3:讓 FSM 從 S2→S3

## FSM:

此有限狀態機會根據同步計數器所送出的訊號，進行紅綠燈狀態的轉換，

其狀態轉換圖如下：



FSM 各個狀態的意義為：

S0: Highway 綠燈，Farm road 紅燈，為最初 Farm road 無車時的狀態。

S1: Highway 綠燈，Farm road 紅燈，偵測到 Farm road 有車時開始計數。

S2: Highway 黃燈，Farm road 紅燈。

S3: Highway 紅燈，Farm road 綠燈。

S4: Highway 紅燈，Farm road 黃燈。

S5: Highway 綠燈，Farm road 紅燈，此狀態維持一段時間後，會根據

Farm road 是否有車來決定回到 S2 或 S0 的狀態。

在經 Synchronous Counter 和 FSM 的運作後可讓此紅綠燈控制器達成 Farm road 無車時，Highway 會一直維持綠燈，當偵測 Farm road 有車時經 1 個 clk 後 Highway 轉為黃燈，再經 1 個 clk 後轉為紅燈，而 Farm road 綠燈維持 3 個 clk 後轉為黃燈，再經 1 個 clk 轉為紅燈，此時再經過 5 個 clk 後根據 Farm road 是

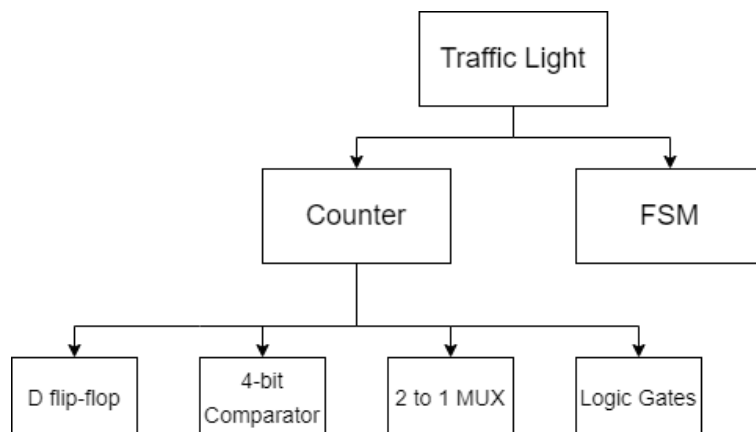
否有車來決定 Highway 是否維持綠燈或者再轉為黃燈。以上運作可符合現實道路的狀況且 Farm road 綠燈的時間會比 Highway 的短。

Input ports: reset(重置)、clk(clock)、c(偵測 Farm road 是否有車)

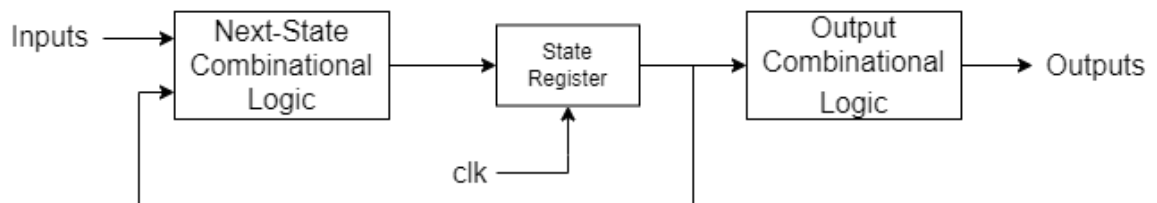
Output ports: HR(Highway 紅燈)、HY(Highway 黃燈)、HG(Highway 綠燈)

FR(Farm road 紅燈)、FY(Farm road 黃燈)、FG(Farm road 綠燈)

## 貳、電路架構



此紅綠燈控制器由 Counter 及 FSM 所組成，其中 Counter 由於會計數到 11，因此需要 4 個 D flip-flop 來儲存位元，另外 4-bit Comparator 及 2-to-1MUX 皆是用來判斷是否繼續計數的模組，而 Counter 的輸出(ST1~ ST5)則由 D flip-flop 當前所計數的位元經邏輯閘組合所產生。



至於此紅綠燈控制器的 FSM 則是一個 Moore model，從 Counter 傳送過來的輸入經 Next-State Combinational Logic 和 State Register 作狀態間的轉換，並將當前狀態的訊號經 Output Combinational Logic 來控制 Highway 和 Farm road 的紅綠燈。

# 參、合成流程

## 一、啟動 Design Compiler

```
soc08 [~/SYN/HW3]
-PDS0110a43- $ls -a
./  command.log  filenames.log  ncverilog.history  novas.conf  novas.rc  .synopsys_dc.setup  traffic_light.fsd  traffic_light.sdf.X  traffic_light.v
./  default.svf  INCA_libs/  ncverilog.log  novas_dump.log  nWaveLog/  texture_traffic_light.v  traffic_light.sdf  traffic_light_syn.v  tsmc13.v
soc08 [~/SYN/HW3]
-PDS0110a43- $dv &
[1] 131908
soc08 [~/SYN/HW3]
-PDS0110a43- $

Design Compiler Graphical
DC Ultra (TM)
DFTMAX (TM)
Power Compiler (TM)
DesignWare (R)
DC Expert (TM)
Design Vision (TM)
HDL Compiler (TM)
VHDL Compiler (TM)
DFT Compiler
Design Compiler(R)

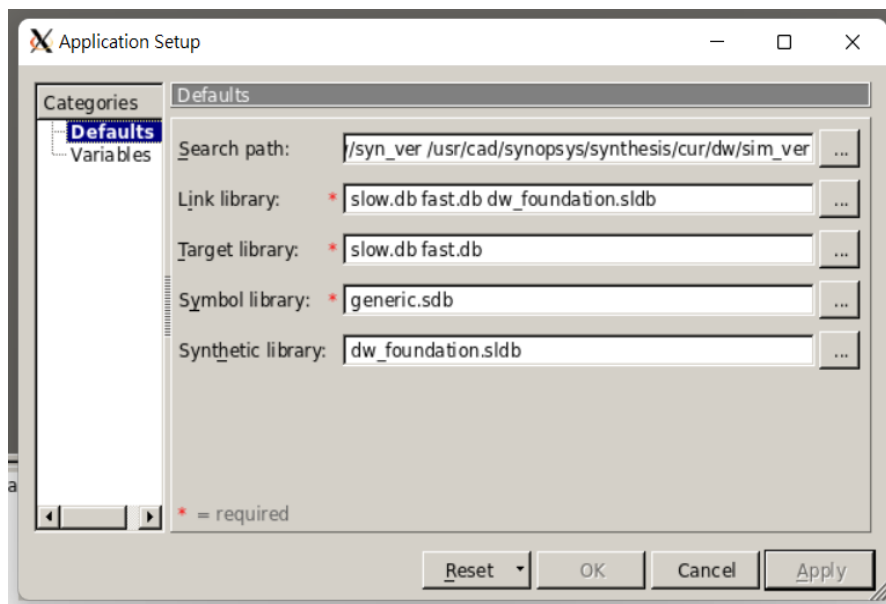
Version P-2019.03 for linux64 - Feb 27, 2019

Copyright (c) 1988 - 2019 Synopsys, Inc.
This software and the associated documentation are proprietary to Synopsys, Inc. This software may only be used in accordance with the terms and conditions of a written license agreement with Synopsys, Inc. All other use, reproduction, or distribution of this software is strictly prohibited.
Initializing...
Initializing gui preferences from file /home/PDS0110/PDS0110a43/.synopsys_dv_prefs.tcl
design_vision> 4.1
design_vision> █
```

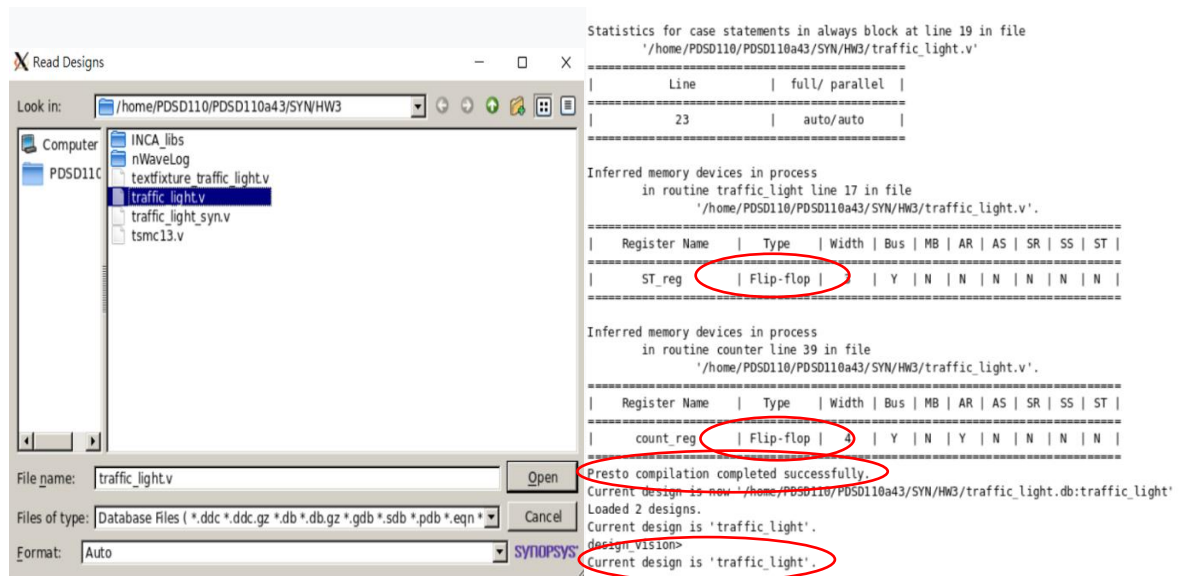
先在工作站中打開要邏輯合成的資料夾，並在資料夾中確認是否有 setup 檔，

確認後輸入 dv 啟動 Design Vision。

## 二、確認 Library 是否載入

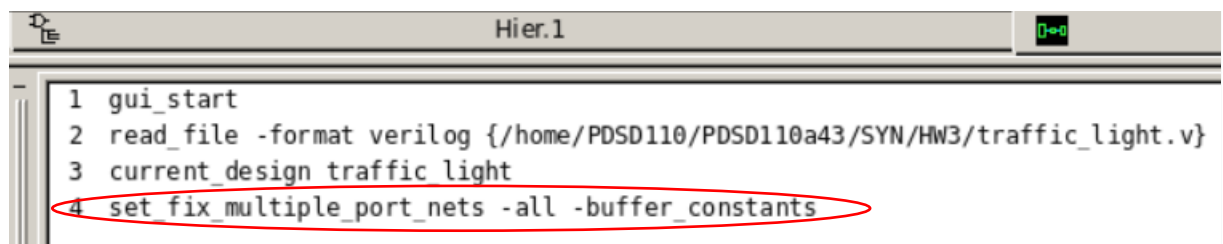


### 三、讀檔並確認是否有 error 或 warning 出現



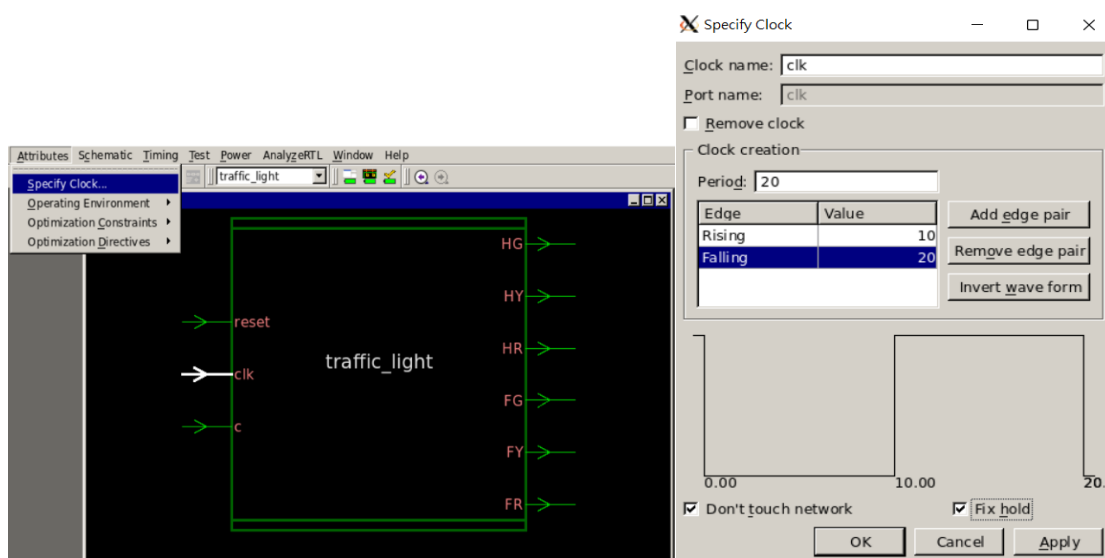
若讀檔正確且 Verilog code 沒有錯誤的話將會顯示上圖紅色圈內的提示且 Design Vision 會標示當前的 design module。

### 四、預防可能的 Assign Statement Problem



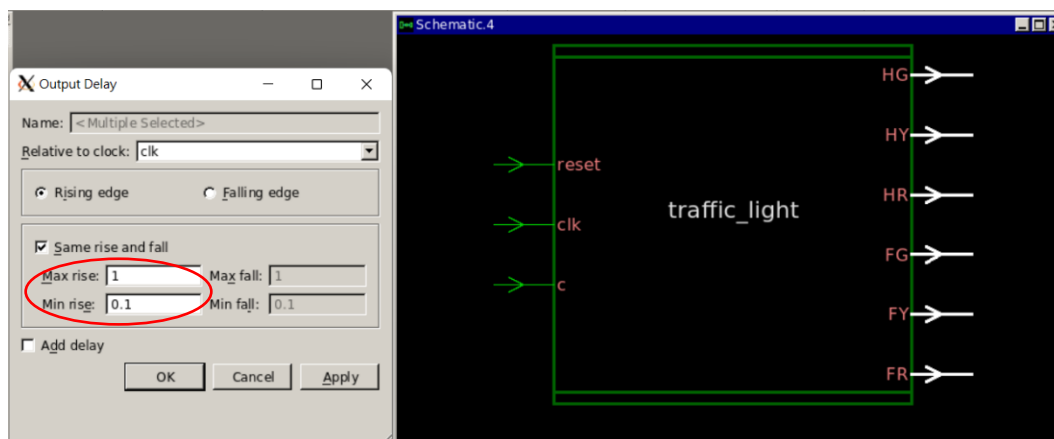
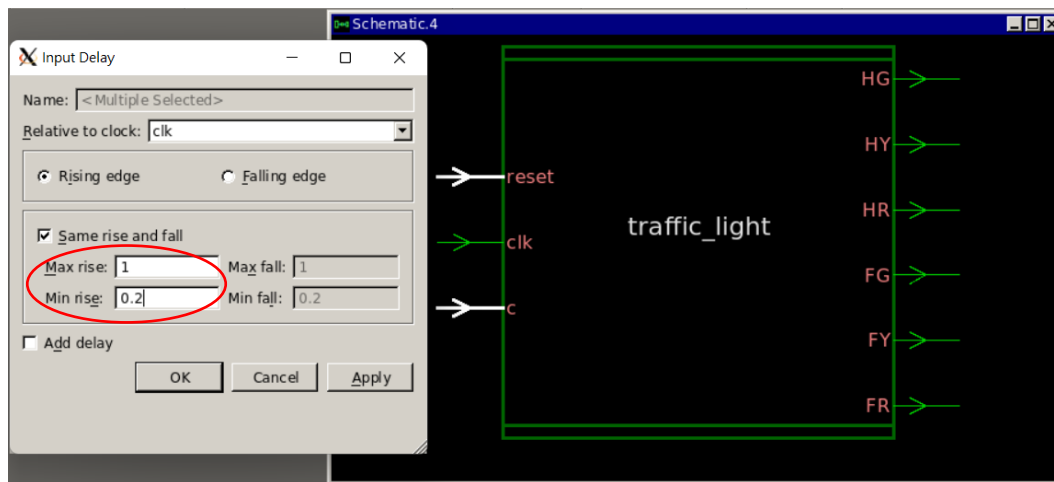
在 command line 輸入第四點的指令避免有 assign statement 的問題產生。

### 五、設定 Clock



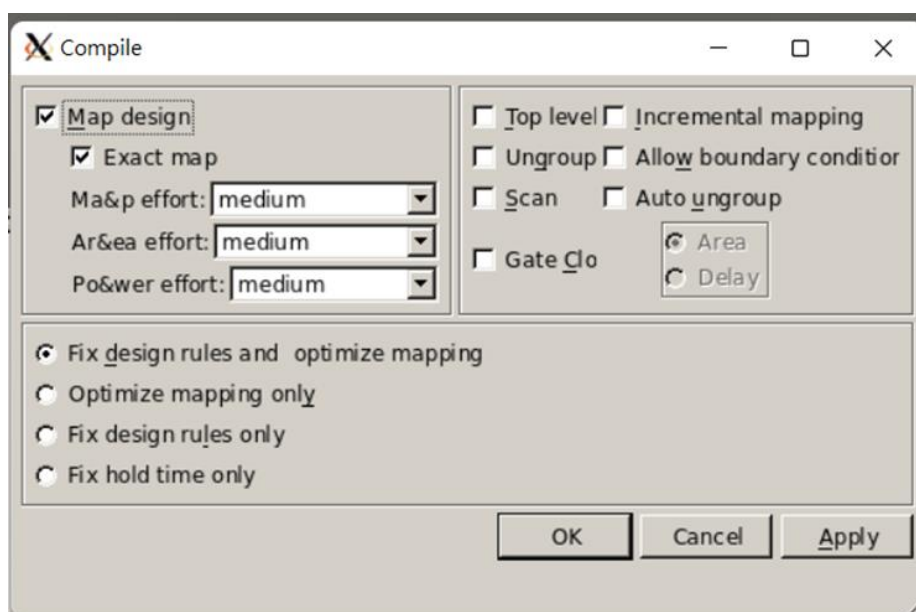
點擊電路輸入的 clk，並照上圖步驟將 clk 的週期設為 20ns。

## 六、設定 Input/Output Delay



選擇好要調整的輸入輸出後，可在工具列的 Attribute→Operating Environment 裡設定輸入和輸出的 delay。

## 七、進行 Compile Design



選定好 module 後，在工具列上的 Design 點 Compile Design，而 Compile Design

的設置如上圖所示。

```
0:00:03    516.0    0.00    0.0    0.0
0:00:03    516.0    0.00    0.0    0.0
Loading db file '/mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db'

Note: Symbol # after min delay cost means estimated hold TNS across all active scenarios

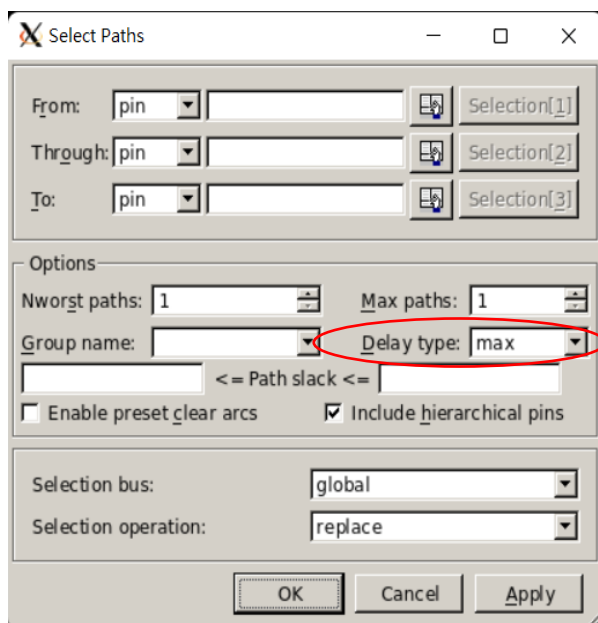
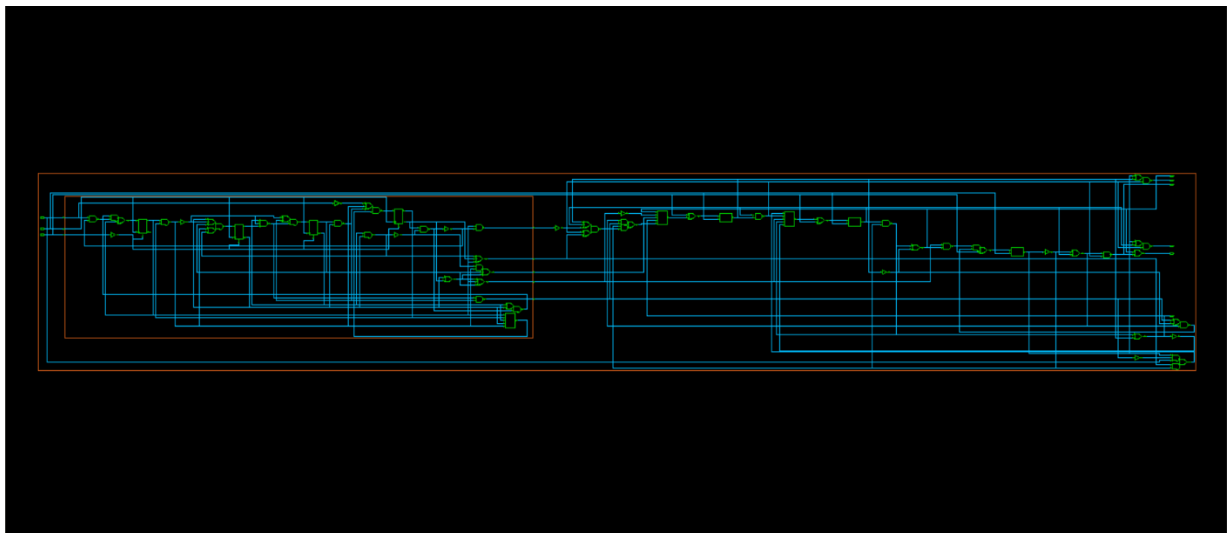
Optimization Complete
.....
```

若 Compile Design 成功，則會出現上圖紅圈的提示。

```
Log History
design_vision> |change_names -hierarchy -rule verilog|
```

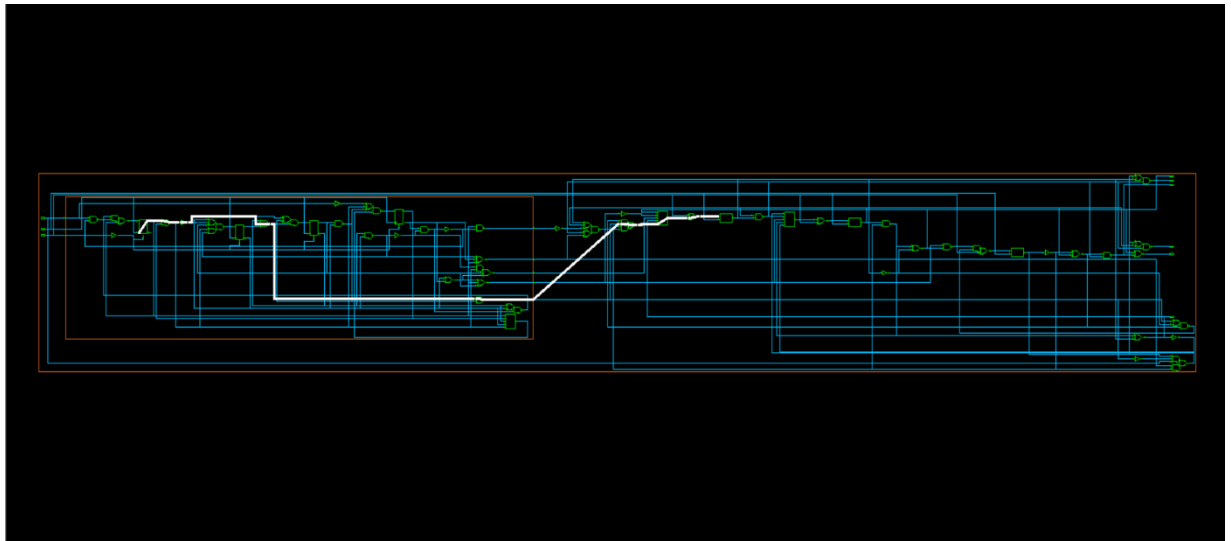
Compile Design 完成後輸入上圖的指令來讓電路不會再出現 assign。

## 八、查看合成完的電路架構圖及 Critical Path

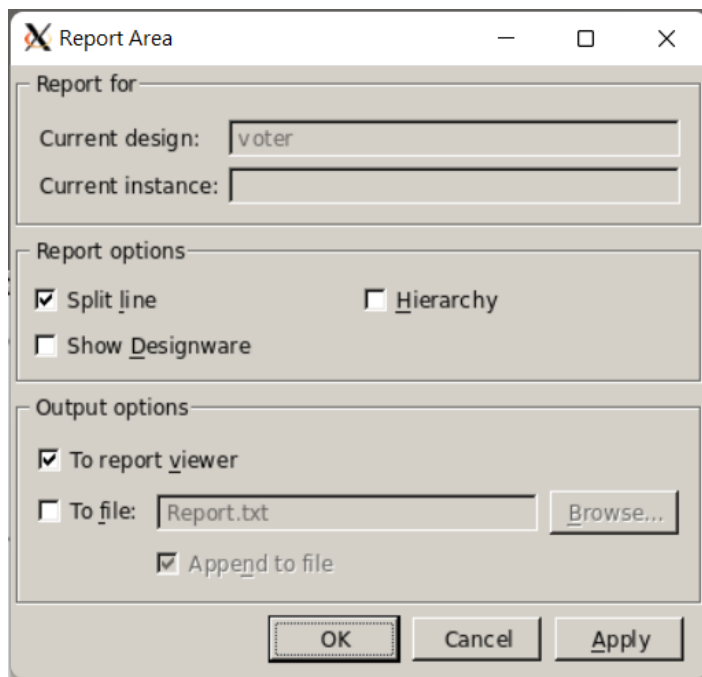




查看合成完後最佳化的電路架構圖後，從工具列的 Select→Path From/Through/to 查看 Critical Path。

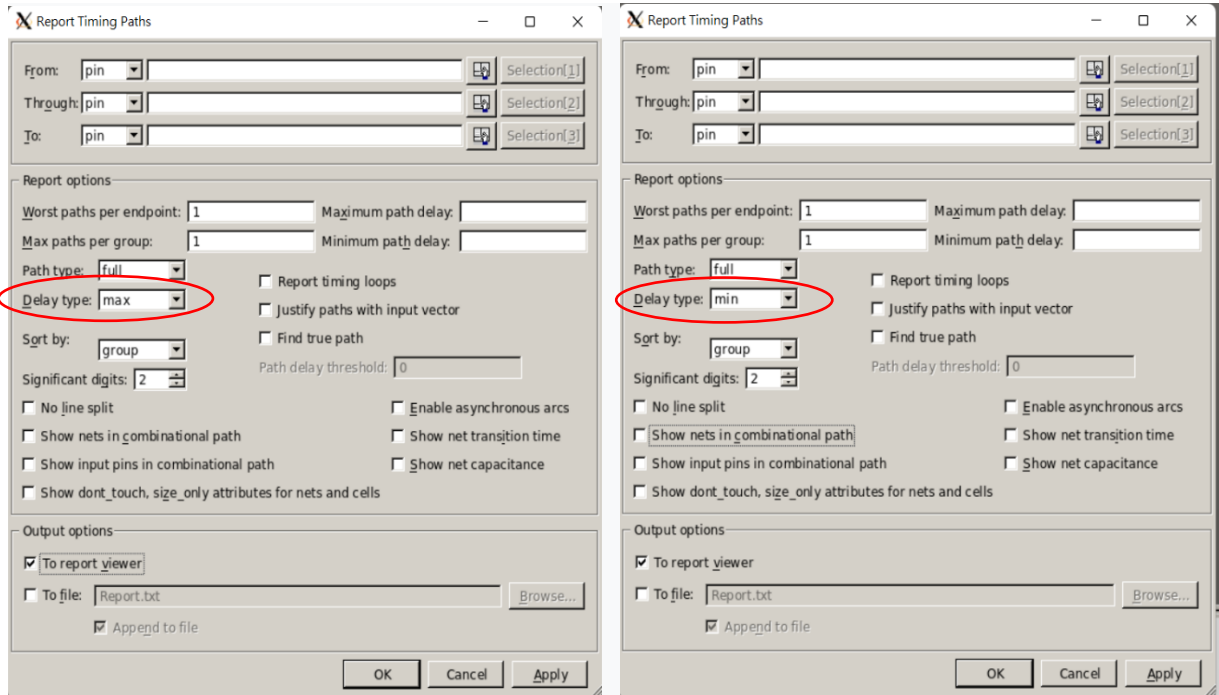


## 九、Area Report



查看電路面積的資訊則先選擇要查看的 module，接著在工具列上的 Design 點 Report Area 可得到電路面積相關數據，而 Report Area 的設置如上左圖所示。

## 十、Timing Report

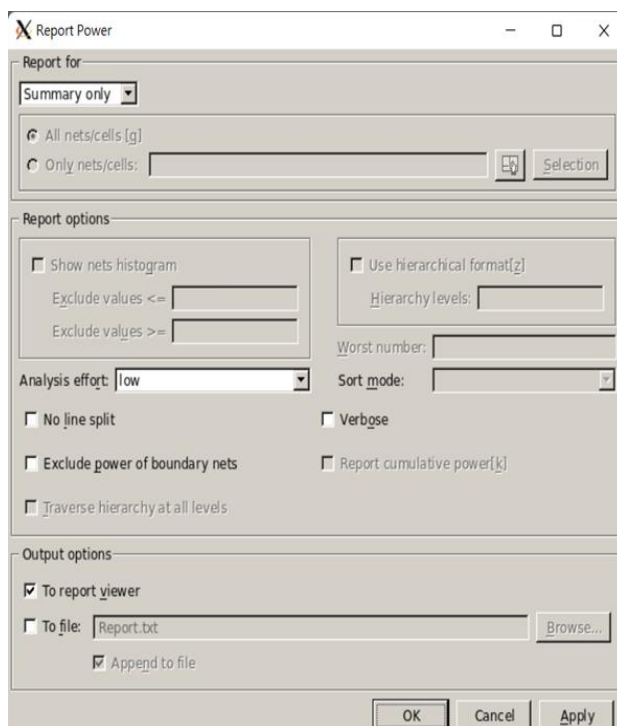


查看電路延遲的資訊則先選擇要查看的 module，接著在工具列上的 Timing 點 Report Timing Path，則可得到電路延遲的相關數據。

Delay type:max 可查看電路 setup time 的資訊。

Delay type:min 可查看電路 hold time 的資訊。

## 十一、Power Report



查看電路功率的資訊則先選擇要查看的 module，接著在工具列上的 Design 點 Report Power，則可得到電路功率的相關數據，而 Power Report 的設置如上圖所示。

## 十二、Report Qor

```
Report : qor
Design : traffic_light
Version: P-2019.03
Date   : Thu May  5 15:12:07 2022
*****

Timing Path Group 'clk'
-----
Levels of Logic:          7.00
Critical Path Length:     1.71
Critical Path Slack:      18.03
Critical Path Clk Period: 20.00
Total Negative Slack:     0.00
No. of Violating Paths:   0.00
Worst Hold Violation:     0.00
Total Hold Violation:     0.00
No. of Hold Violations:   0.00
-----

Cell Count
-----
Hierarchical Cell Count:  1
Hierarchical Port Count:  8
Leaf Cell Count:          55
Buf/Inv Cell Count:       11
Buf Cell Count:           0
Inv Cell Count:           11
CT Buf/Inv Cell Count:    0
Combinational Cell Count: 48
Sequential Cell Count:    7
Macro Count:              0
-----

Area
-----
Combinational Area:      308.926796
Noncombinational Area:   205.385397
Buf/Inv Area:            37.342799
Total Buffer Area:        0.00
Total Inverter Area:      37.34
Macro/Black Box Area:    0.000000
Net Area:                 0.000000
-----
Cell Area:               514.312193
Design Area:             514.312193
-----

Design Rules
-----
Total Number of Nets:    61
Nets With Violations:    0
Max Trans Violations:    0
Max Cap Violations:      0
-----

Hostname: soc08

Compile CPU Statistics
-----
Resource Sharing:         0.00
Logic Optimization:       0.78
Mapping Optimization:     0.07
-----
Overall Compile Time:      2.06
Overall Compile Wall Clock Time: 2.57
```

若想要快速取得邏輯合成電路的相關資訊，則在指令欄輸入 report\_qor，結果如上圖所示(功率需使用 Power Report)。

## 十三、儲存電路及 Timing 檔

```
Log History
design_vision> write_sdf -version 1.0 -context verilog traffic_light.sdf
```

若要儲存邏輯合成電路的 sdf 檔，則需輸入上圖的指令，儲存完後即可存檔並在指令欄輸入 exit 關閉邏輯合成軟體。

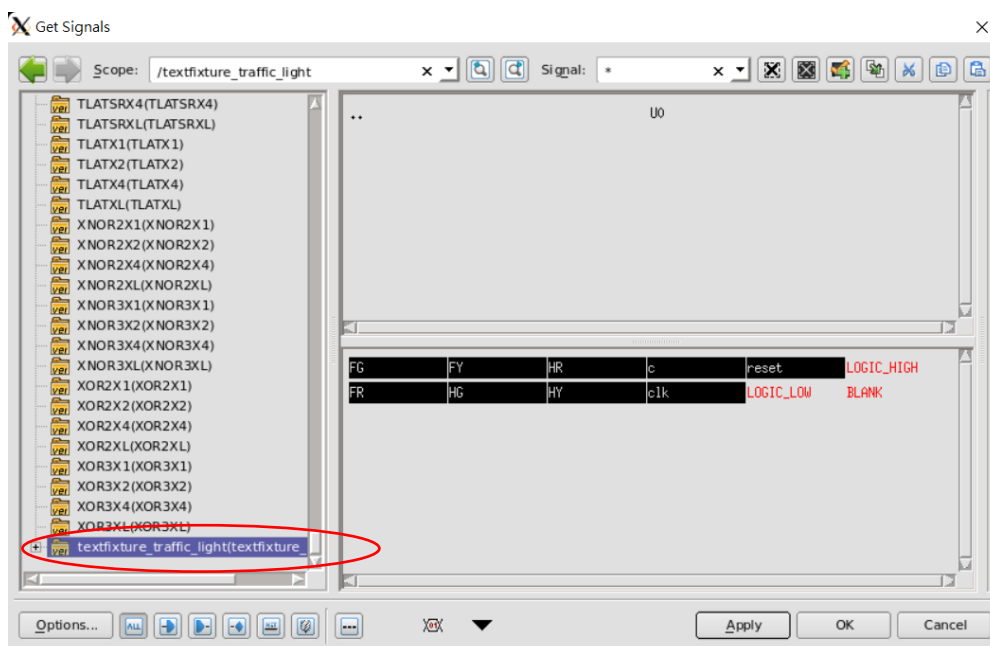
## 十四、重新模擬 Testbench

```
1  `timescale 10ns/100ps
2
3  `include    "./traffic_light_syn.v"
4  `include    "./tsmc13.v"
5
6  module textfixture_traffic_light;
7
8  reg    reset,clk,c;
9
10 wire    HG, HY, HR, FG, FY, FR;
11
12 traffic_light U0(reset,clk,c,HG, HY, HR, FG, FY, FR);
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31 initial begin
32
33     $sdf_annotate("traffic_light.sdf",U0);
34
35 end
36
37 initial begin
38
39     $fsdbDumpfile("traffic_light.fsdb");
40     $fsdbDumpvars;
41
42 end
```

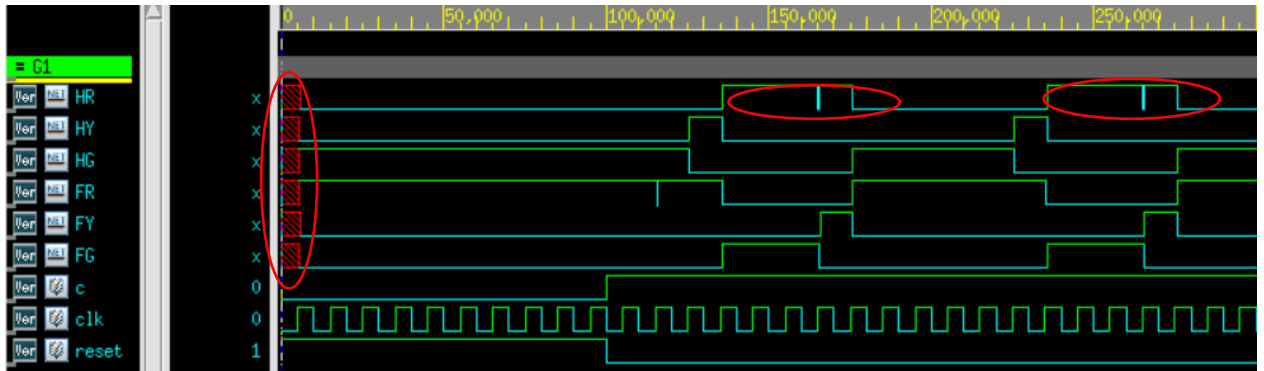
在模擬前要在 testbench 加上 timescale、引入要模擬的.v 檔、台積電.13 製程檔、sdf 檔及波形檔。

```
soc08 [~/SYN/HW3]
-PDS0110a43- $cd
command.log          INCA_libs/          novas_dump.log      textfixture_traffic_light.v  traffic_light_syn.v
crte_000090928.txt   ncverilog.history  novas.rc            traffic_light.fsdb         traffic_light.v
default.svf          ncverilog.log      nWaveLog/           traffic_light.sdf          tsmc13.v
filenames.log        novas.conf         Synopsys_stack_trace_90928.txt traffic_light.sdf.X
soc08 [~/SYN/HW3]
-PDS0110a43- $ncverilog textfixture_traffic_light.v +access+r
```

打開工作站使用 ncverilog 模擬 testbench。



在工作站開啟 nWave 後，找到電路的 fsdb 檔並點擊 traffic\_light 的 testbench，  
然後選取所要觀察的訊號。

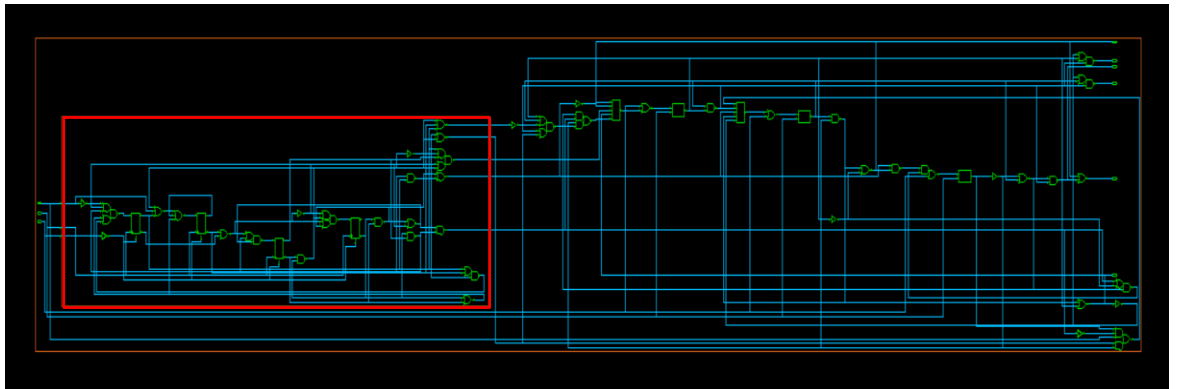


在觀察波形時需能觀察到初始的 output 為 unknown 以及在數值變化時輸出會有 delay 的效應。

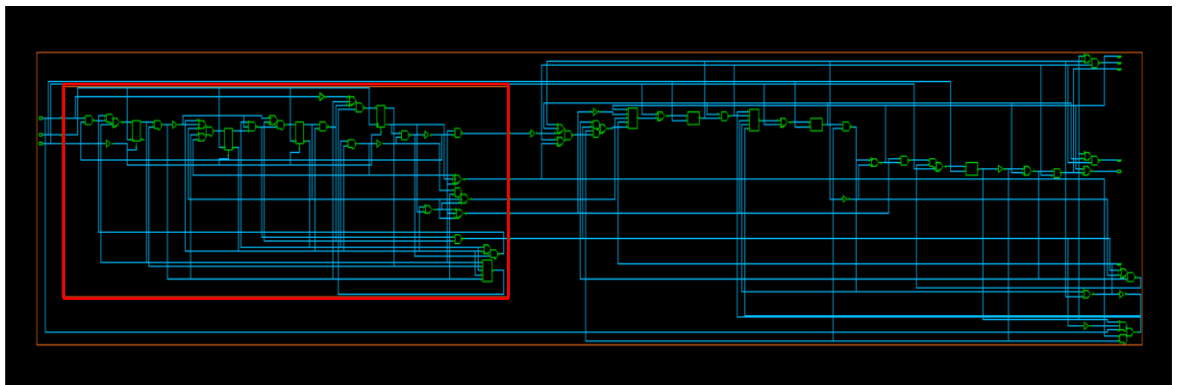
## 肆、電路分析

### 一、電路架構

#### i. 無設定 input/output delay



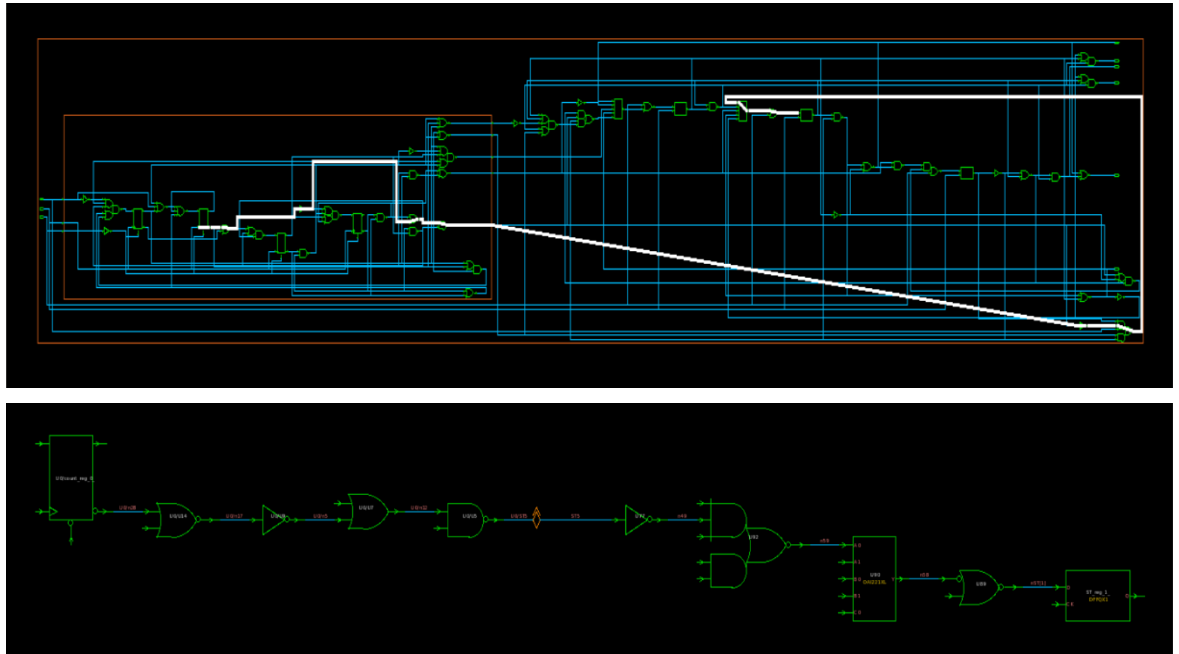
#### ii. 有設定 input/output delay



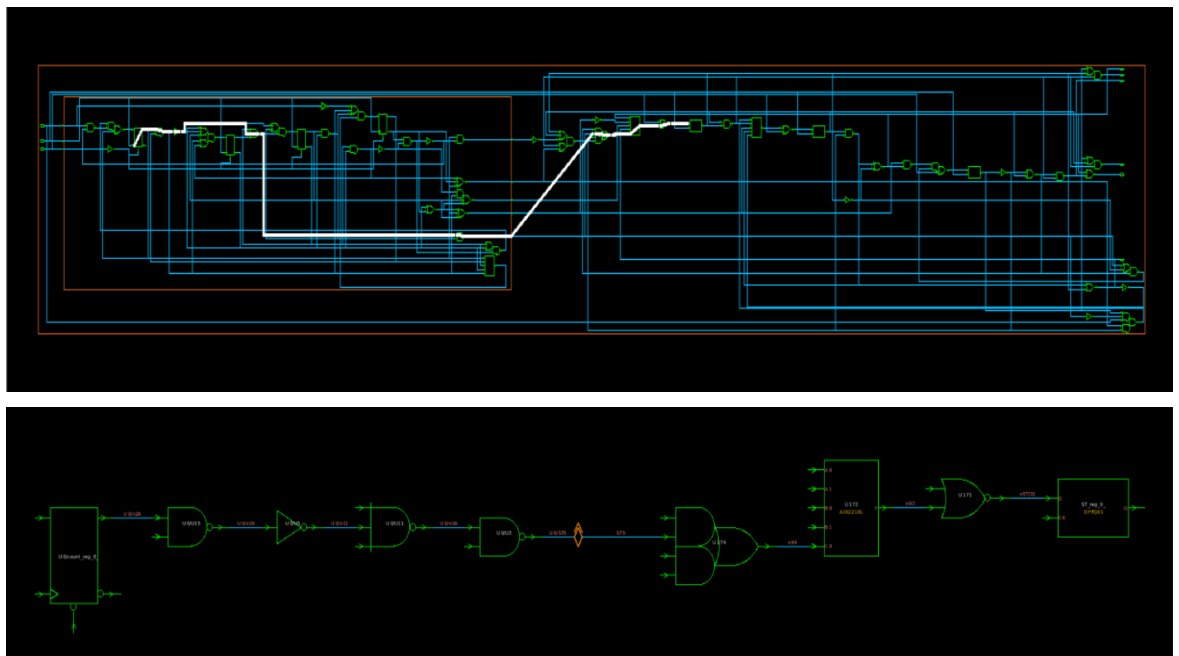
※比較:兩者除了在 Counter 的架構上稍有不同，FSM 的部分幾乎相同。

## 二、最長路徑

### i. 無設定 input/output delay



### ii. 有設定 input/output delay



※比較:兩者的最長路徑除了在 Counter 經過的邏輯閘不同，無設定 input/output delay 的電路在 FSM 的路徑多了一個 inverter。

## 三、面積

### i. 無設定 input/output delay

```
*****
Report : area
Design : traffic_light
Version: P-2019.03
Date : Sat Apr 30 16:50:16 2022
*****

Library(s) Used:

slow (File: /mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Number of ports: 17
Number of nets: 68
Number of cells: 55
Number of combinational cells: 47
Number of sequential cells: 7
Number of macros/black boxes: 0
Number of buf/inv: 10
Number of references: 16

Combinational area: 300.439795
Buf/Inv area: 33.947999
Noncombinational area: 205.385397
Macro/Black Box area: 0.000000
Net Interconnect area: undefined (No wire load specified)

Total cell area: 505.825191
Total area: undefined

**** End Of Report ****
```

```
Report : qor
Design : traffic_light
Version: P-2019.03
Date : Sat Apr 30 17:02:42 2022
*****

Timing Path Group 'clk'
-----
Levels of Logic: 8.00
Critical Path Length: 1.49
Critical Path Slack: 18.26
Critical Path Clk Period: 20.00
Total Negative Slack: 0.00
No. of Violating Paths: 0.00
Worst Hold Violation: 0.00
Total Hold Violation: 0.00
No. of Hold Violations: 0.00
-----

Cell Count
-----
Hierarchical Cell Count: 1
Hierarchical Port Count: 8
Leaf Cell Count: 54
Buf/Inv Cell Count: 10
Buf Cell Count: 0
Inv Cell Count: 10
CT Buf/Inv Cell Count: 0
Combinational Cell Count: 47
Sequential Cell Count: 7
Macro Count: 0
-----
```

電路面積: 505.825191(um<sup>2</sup>)

根據.13 製程約使用了  $505.825191 \div 5 \div 101$  個 NAND2 gates

Combinational Cell Count: 47 個邏輯閘

Sequential Cell Count: 7 個邏輯閘

最長路徑邏輯閘層數: 8 層

### ii. 有設定 input/output delay

```
*****
Report : area
Design : traffic_light
Version: P-2019.03
Date : Thu May 5 15:01:27 2022
*****

Library(s) Used:

slow (File: /mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Number of ports: 17
Number of nets: 69
Number of cells: 56
Number of combinational cells: 48
Number of sequential cells: 7
Number of macros/black boxes: 0
Number of buf/inv: 11
Number of references: 16

Combinational area: 308.926796
Buf/Inv area: 37.342799
Noncombinational area: 205.385397
Macro/Black Box area: 0.000000
Net Interconnect area: undefined (No wire load specified)

Total cell area: 514.312193
Total area: undefined

**** End Of Report ****
```

```
Report : qor
Design : traffic_light
Version: P-2019.03
Date : Thu May 5 15:12:07 2022
*****

Timing Path Group 'clk'
-----
Levels of Logic: 7.00
Critical Path Length: 1.71
Critical Path Slack: 18.03
Critical Path Clk Period: 20.00
Total Negative Slack: 0.00
No. of Violating Paths: 0.00
Worst Hold Violation: 0.00
Total Hold Violation: 0.00
No. of Hold Violations: 0.00
-----

Cell Count
-----
Hierarchical Cell Count: 1
Hierarchical Port Count: 8
Leaf Cell Count: 55
Buf/Inv Cell Count: 11
Buf Cell Count: 0
Inv Cell Count: 11
CT Buf/Inv Cell Count: 0
Combinational Cell Count: 48
Sequential Cell Count: 7
Macro Count: 0
-----
```

電路面積: 514.312193(um<sup>2</sup>)

根據.13 製程約使用了  $514.312193 \div 5 \doteq 103$  個 NAND2 gates

Combinational Cell Count: 48 個邏輯閘

Sequential Cell Count: 7 個邏輯閘

最長路徑邏輯閘層數: 7 層

※比較: 有設定 input/output delay 的電路面積較大, 且 Combinational Cell Count 和最長路徑邏輯閘層數皆比無設定 input/output delay 的電路多 1 個邏輯閘。

## 四、延遲

### i. 無設定 input/output delay

```
*****
Report : timing
-path full
-delay max
-max_paths 1
-sort_by group
Design : traffic_light
Version: P-2019.03
Date   : Sat Apr 30 16:51:26 2022
*****
```

Operating Conditions: slow Library: slow  
Wire Load Model Mode: top

Startpoint: U0/count\_reg\_0\_  
(rising edge-triggered flip-flop clocked by clk)  
Endpoint: ST\_reg\_1\_ (rising edge-triggered flip-flop clocked by clk)  
Path Group: clk  
Path Type: max

Point	Incr	Path
clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
U0/count_reg_0_/CK (DFFRX1)	0.00	10.00 r
U0/U14/Y (NOR2X1)	0.32	10.32 f
U0/U9/Y (CLKINX1)	0.14	10.46 r
U0/U7/Y (OR2X1)	0.12	10.58 f
U0/U5/Y (NAND2X1)	0.26	10.85 f
U0/ST5 (counter)	0.10	10.95 r
U77/Y (CLKINX1)	0.00	10.95 r
U92/Y (AOI32X1)	0.07	11.02 f
U90/Y (AOI221X1)	0.18	11.19 r
U98/Y (OAI221X1)	0.12	11.32 f
U89/Y (NOR2BX1)	0.17	11.49 f
ST_reg_1_/D (DFFQX1)	0.00	11.49 f
data arrival time		11.49
clock clk (rise edge)	30.00	30.00
clock network delay (ideal)	0.00	30.00
ST_reg_1_/CK (DFFQX1)	0.00	30.00 r
library setup time	-0.25	29.75
data required time		29.75
data required time		29.75
data arrival time		-11.49
slack (MET)		18.26

Delay type:max

Data arrival time:11.49(ns)

Setup time:29.75(ns)

Slack:18.26(ns)

```
*****
Report : timing
-path full
-delay min
-max_paths 1
-sort_by group
Design : traffic_light
Version: P-2019.03
Date   : Sat Apr 30 16:55:52 2022
*****
```

Operating Conditions: slow Library: slow  
Wire Load Model Mode: top

Startpoint: U0/count\_reg\_0\_  
(rising edge-triggered flip-flop clocked by clk)  
Endpoint: U0/count\_reg\_0\_  
(rising edge-triggered flip-flop clocked by clk)  
Path Group: clk  
Path Type: min

Point	Incr	Path
clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
U0/count_reg_0_/CK (DFFRX1)	0.00	10.00 r
U0/count_reg_0_/Q (DFFRX1)	0.40	10.40 r
U0/U22/Y (NOR3X1)	0.07	10.47 f
U0/count_reg_0_/D (DFFRX1)	0.00	10.47 f
data arrival time		10.47
clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
U0/count_reg_0_/CK (DFFRX1)	0.00	10.00 r
library hold time	-0.02	9.98
data required time		9.98
data required time		9.98
data arrival time		-10.47
slack (MET)		0.49



Delay type:min

Data arrival time:10.47(ns)

Hold time:9.98(ns)

Slack:0.49(ns)

## ii. 有設定 input/output delay

```
*****
Report : timing
        -path full
        -delay max
        -max_paths 1
        -sort_by group
Design : traffic_light
Version: P-2019.03
Date   : Thu May 5 15:03:10 2022
*****

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: U0/count_reg_0_
(rising edge-triggered flip-flop clocked by clk)
Endpoint: ST_reg_0_ (rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: max

Point                                     Incr      Path
-----
clock clk (rise edge)                    10.00     10.00
clock network delay (ideal)              0.00     10.00
U0/count_reg_0_/CK (DFFRX1)             0.00     10.00 r
U0/count_reg_0_/Q (DFFRX1)             0.58     10.58 f
U0/U15/Y (NAND2X1)                     0.18     10.75 r
U0/U5/Y (CLKINX1)                      0.12     10.88 f
U0/U11/Y (NAND3X1)                     0.13     11.00 r
U0/U3/Y (NAND2X1)                      0.09     11.09 f
U0/ST5 (counter)                       0.00     11.09 f
U174/Y (AO22X1)                       0.33     11.42 f
U172/Y (AOI221XL)                     0.20     11.63 r
U171/Y (NOR2X1)                       0.08     11.71 f
ST_reg_0_/D (DFFQX1)                   0.00     11.71 f
data arrival time                       11.71
-----
clock clk (rise edge)                    30.00     30.00
clock network delay (ideal)              0.00     30.00
ST_reg_0_/CK (DFFQX1)                   0.00     30.00 r
library setup time                     -0.26     29.74
data required time                      29.74
-----
data required time                       29.74
data arrival time                       -11.71
-----
slack (MET)                             18.03
```

```
*****
Report : timing
        -path full
        -delay min
        -max_paths 1
        -sort_by group
Design : traffic_light
Version: P-2019.03
Date   : Thu May 5 15:03:45 2022
*****

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: reset (input port clocked by clk)
Endpoint: ST_reg_0_ (rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: min

Point                                     Incr      Path
-----
clock clk (rise edge)                    10.00     10.00
clock network delay (ideal)              0.00     10.00
input external delay                    0.20     10.20 r
reset (in)                              0.00     10.20 r
U171/Y (NOR2X1)                         0.02     10.22 f
ST_reg_0_/D (DFFQX1)                   0.00     10.22 f
data arrival time                       10.22
-----
clock clk (rise edge)                    10.00     10.00
clock network delay (ideal)              0.00     10.00
ST_reg_0_/CK (DFFQX1)                   0.00     10.00 r
library hold time                       -0.06     9.94
data required time                       9.94
-----
data required time                       9.94
data arrival time                       -10.22
-----
slack (MET)                             0.28
```

Delay type:max

Data arrival time:11.71(ns)

Setup time:29.74(ns)

Slack:18.03(ns)

Delay type:min

Data arrival time:10.22(ns)

Hold time:9.94(ns)

Slack:0.28(ns)

※比較:有設定 input/output delay 的電路其 Slack 皆比無設定 input/output delay 的電路小。

## 五、功率

### i. 無設定 input/output delay

```
*****
Report : power
       -analysis_effort low
Design : traffic_light
Version: P-2019.03
Date   : Sat Apr 30 16:57:02 2022
*****

Library(s) Used:

    slow (File: /mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Operating Conditions: slow   Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1.000000pf
  Time Units = 1ns
  Dynamic Power Units = 1mW   (derived from V,C,T units)
  Leakage Power Units = 1pW

Cell Internal Power = 7.9365 uW (90%)
Net Switching Power = 929.2347 nW (10%)
-----
Total Dynamic Power = 8.8657 uW (100%)
Cell Leakage Power  = 317.2410 nW

Power Group      Internal      Switching      Leakage      Total
                  Power        Power          Power        Power
-----
io_pad            0.0000          0.0000         0.0000        0.0000 ( 0.00%)
memory            0.0000          0.0000         0.0000        0.0000 ( 0.00%)
black_box         0.0000          0.0000         0.0000        0.0000 ( 0.00%)
clock_network     0.0000          0.0000         0.0000        0.0000 ( 0.00%)
register          7.2164e-03      3.7213e-04     1.7373e+05     7.7623e-03 ( 84.53%)
sequential        0.0000          0.0000         0.0000        0.0000 ( 0.00%)
combinational     7.2004e-04      5.5710e-04     1.4351e+05     1.4207e-03 ( 15.47%)
-----
Total             7.9365e-03 mW   9.2923e-04 mW   3.1724e+05 pW   9.1829e-03 mW

***** End Of Report *****
```

電路總功耗: $9.1829 \times 10^{-3}$ (mW)

### ii. 有設定 input/output delay

```
*****
Report : power
       -analysis_effort low
Design : traffic_light
Version: P-2019.03
Date   : Thu May 5 15:06:43 2022
*****

Library(s) Used:

    slow (File: /mnt3/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Operating Conditions: slow   Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1.000000pf
  Time Units = 1ns
  Dynamic Power Units = 1mW   (derived from V,C,T units)
  Leakage Power Units = 1pW

Cell Internal Power = 7.9004 uW (89%)
Net Switching Power = 934.9669 nW (11%)
-----
Total Dynamic Power = 8.8353 uW (100%)
Cell Leakage Power  = 307.9471 nW

Power Group      Internal      Switching      Leakage      Total
                  Power        Power          Power        Power
-----
io_pad            0.0000          0.0000         0.0000        0.0000 ( 0.00%)
memory            0.0000          0.0000         0.0000        0.0000 ( 0.00%)
black_box         0.0000          0.0000         0.0000        0.0000 ( 0.00%)
clock_network     0.0000          0.0000         0.0000        0.0000 ( 0.00%)
register          7.2158e-03      3.9800e-04     1.7373e+05     7.7875e-03 ( 85.17%)
sequential        0.0000          0.0000         0.0000        0.0000 ( 0.00%)
combinational     6.8400e-04      5.3696e-04     1.3422e+05     1.3558e-03 ( 14.83%)
-----
Total             7.9004e-03 mW   9.3497e-04 mW   3.0795e+05 pW   9.1433e-03 mW

***** End Of Report *****
```

電路總功耗: $9.1433 \times 10^{-3}$ (mW)

※比較:有設定 input/output delay 的電路其電路總功耗較小

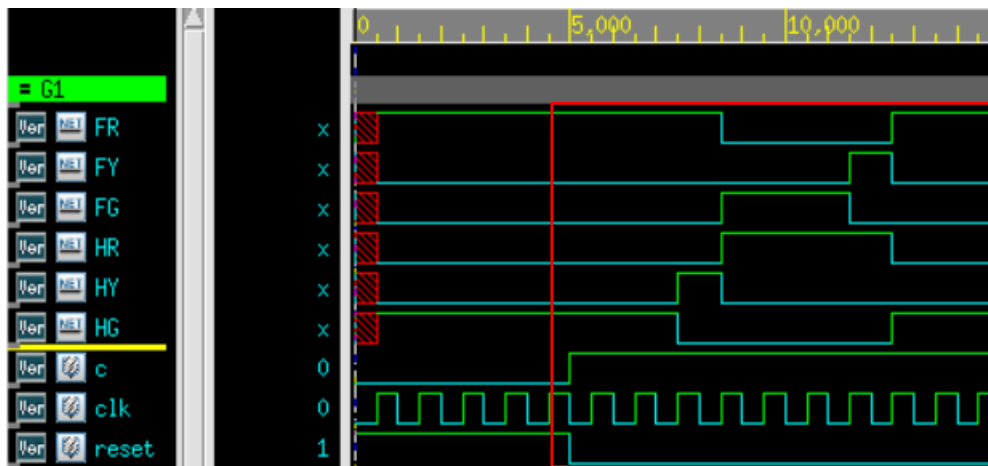
## 伍、Testbench 驗證

此紅綠燈控制器 testbench 將分別測試(1)偵測 Farm road 上有車時，紅綠燈燈號轉變(2)當紅綠燈經過一個週期後若 Farm road 上偵測有車時，紅綠燈燈號持續轉變(3)當紅綠燈經過一個週期後若 Farm road 上沒有車時，Highway 會維持綠燈(4)Reset 功能。

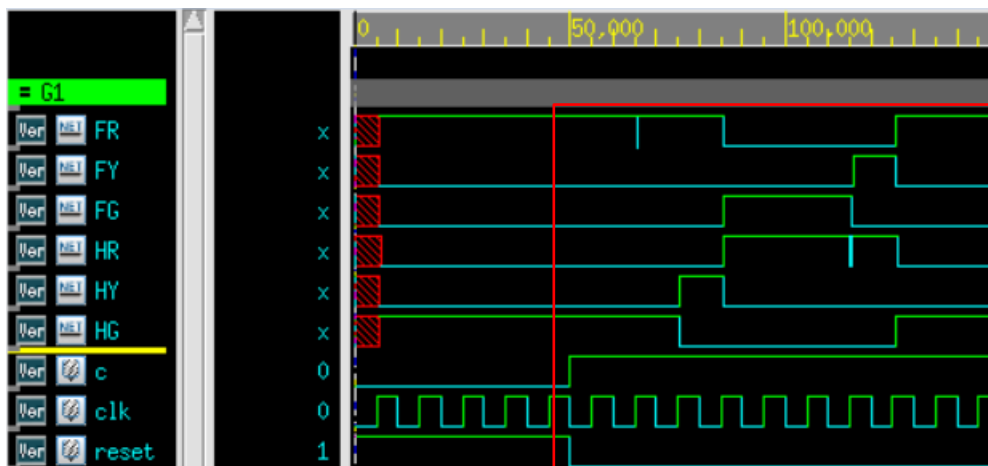
若以上四種狀況模擬皆正確，則此紅綠燈控制器是可行的。

### 一、偵測 Farm road 上有車時，紅綠燈燈號轉變

#### 1.RTL



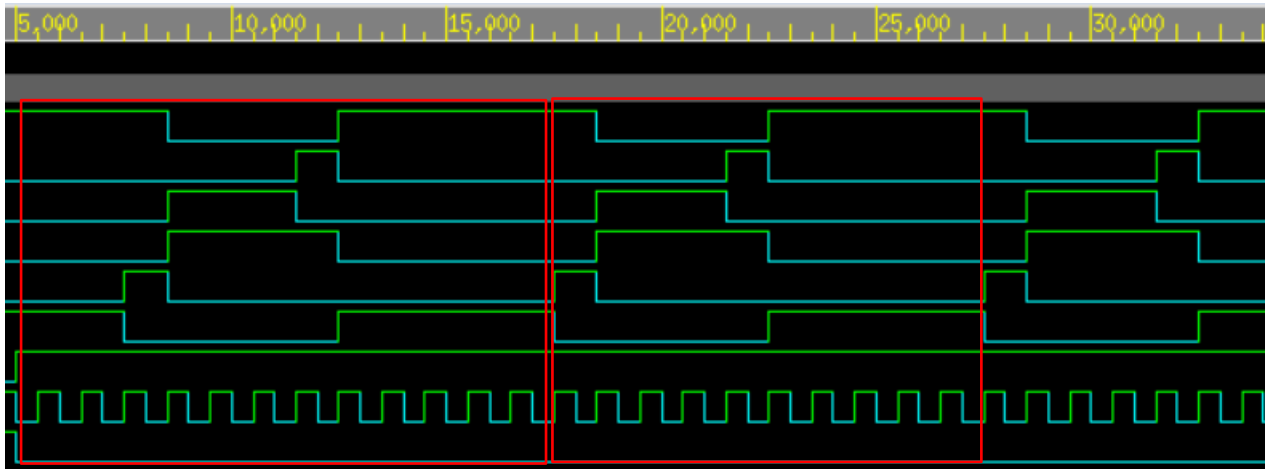
#### 2.SYN



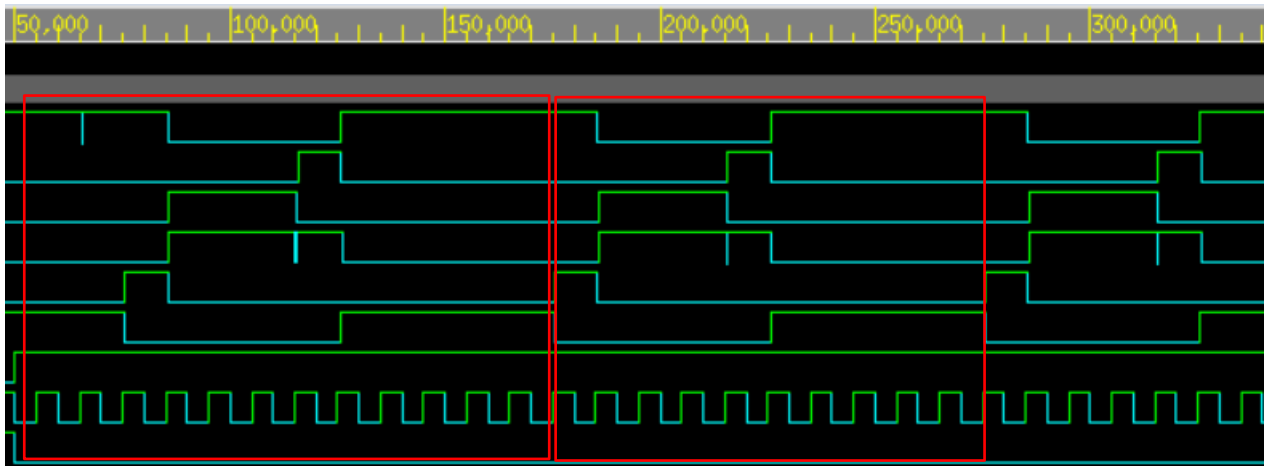
當 C=1 時，紅綠燈燈號開始轉變且燈號轉換順序及週期正常，模擬結果正確。

## 二、當紅綠燈經過一個週期後若 Farm road 上偵測有車時，紅綠燈燈號持續轉變

### 1.RTL



### 2.SYN

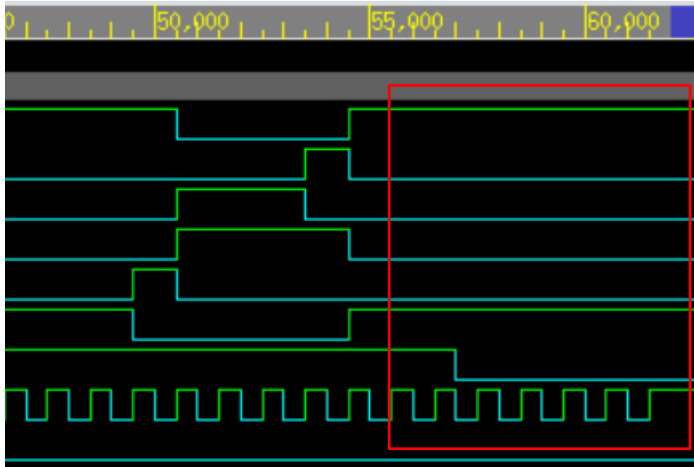


當紅綠燈經過一個週期循環後偵測到  $C=1$ ，燈號持續轉變且燈號轉換順序及週期正

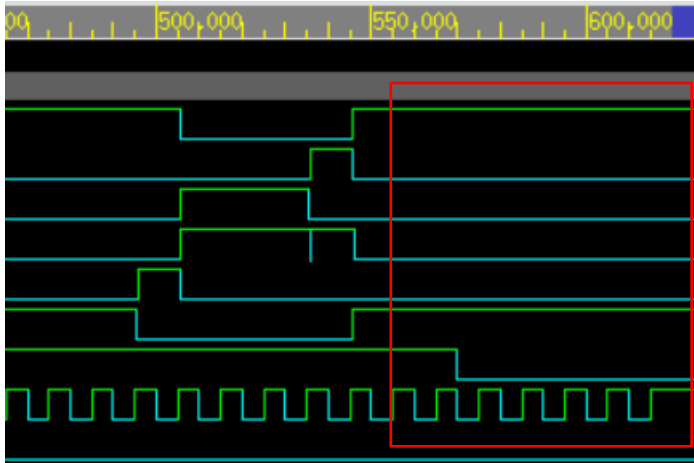
常，模擬結果正確。

### 三、當紅綠燈經過一個週期後若 Farm road 上沒有車時， Highway 會維持綠燈

#### 1.RTL



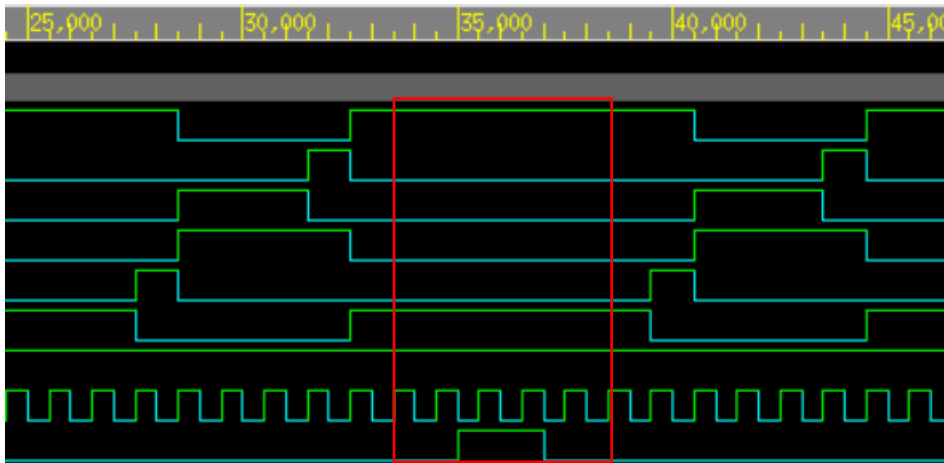
#### 2.SYN



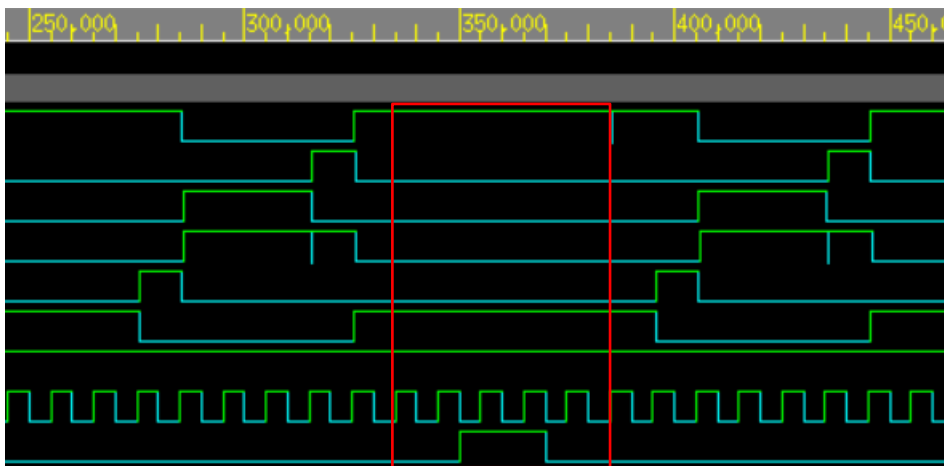
當紅綠燈經過一個週期循環後偵測到  $C=0$ ，Highway 維持綠燈，模擬結果正確。

## 四、Reset 功能

### 1.RTL



### 2.SYN



當  $\text{Reset}=1$  時，電路重置回 Highway 為綠燈的狀態，且沒有因燈號經一個週期且  $C=1$  而轉變燈號，模擬結果正確。

## Delay effect

產生 delay effect 的原因在於訊號抵達 output port 的 delay 時間不同所導致，也就是說在最長路徑的訊號計算完成抵達 output port 前，其餘不同路徑的訊號就會先抵達 output port，造成 output 的數值一直產生變動，而此紅綠燈的 delay effect 為上面 SYN 波形模擬中像 glitch 的訊號。

## 陸、問題討論與反思

這次的紅綠燈控制器我認為最讓我困擾的部分在同步計數器的設計，雖然紅綠燈的狀態在先前已經先設定好，但讓計數器的輸出能夠在對的時間點讓 FSM 轉換狀態讓我花了不少時間，像是原先設定一個紅綠燈循環週期為 12 個 clk，所以剛開始在設定計數器時是它計數到 12 後再作判斷，然而在測試波形時燈號都會延後一個 clk 轉換，後來發現會延後的原因在計數器是從 0 開始數，因此導致紅綠燈的循環週期變成 13 個 clk，有了這個經驗，在之後設計計數器時可以先自己稍微畫一下時脈，也許便能減少類似的問題出現。