

Experiment4. LED 燈控制電路

【目的】

設計 LED 燈控制電路

- i. 了解 IC-CD4094BC 工作原理
- ii. 了解串列傳輸原理
- iii. 設計 IC-CD4094BC 的控制電路

【實驗背景】

Verilog 設計經驗、狀態機觀念

【實驗材料】請同學借還時，確實清點實驗材料！

FPGA Altera DE2-board x1 OR FPGA DE1-SOC x1

IC-CD4094BC x2

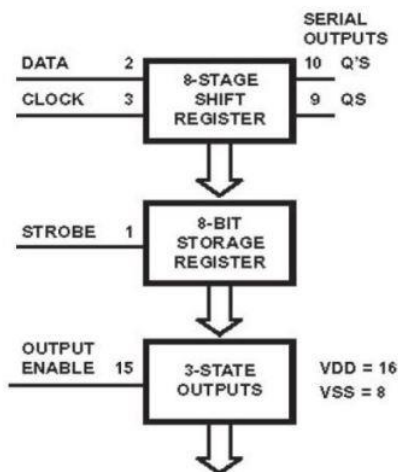
LED 燈 x16

每組自備吸錫槍、鉗槍，電表各一

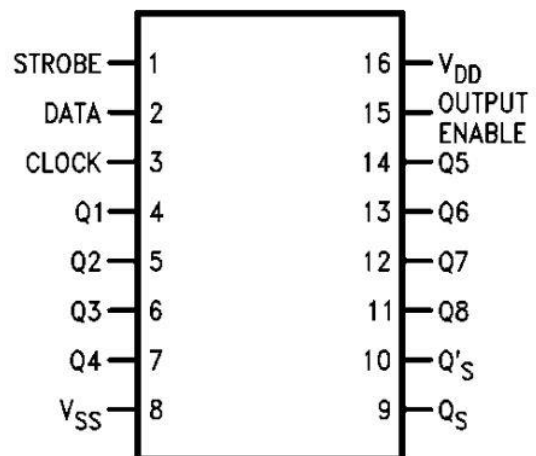
【原理與說明】

1. IC-CD4094BC 原理

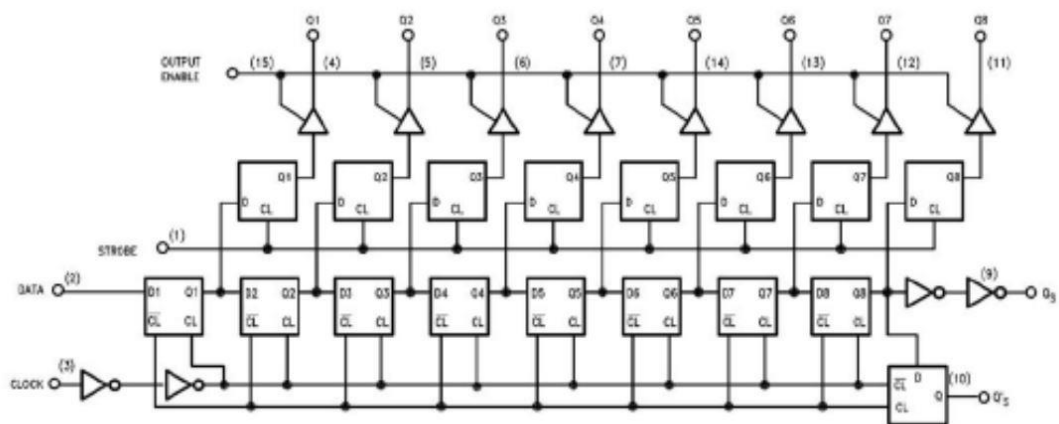
IC-CD4094BC 是由一個 8 位元移位暫存器、儲存暫存器(栓鎖器)和一個 8 位元三態閘組成，如下圖一所示。每當正緣觸發，資料會串列輸入進移位暫存器(圖三下半部)。最後一階輸出端(Qs)可用來串聯其他裝置。Qs 資料在負緣觸發時傳送到另一個輸出端 Q's，如下圖二所示。



圖一 結構示意圖



圖二 IC-CD4094BC 接腳圖



圖三 結構圖

2. IC-CD4094BC 真值表

Clock	Output Enable	Strobe	Data	Parallel Outputs		Serial Outputs	
				Q1	Q _N	Q _S (Note 1)	Q' _Σ
⎯	0	X	X	Hi-Z	Hi-Z	Q7	No Change
⎯	0	X	X	Hi-Z	Hi-Z	No Change	Q7
⎯	1	0	X	No Change	No Change	Q7	No Change
⎯	1	1	0	0	Q _N -1	Q7	No Change
⎯	1	1	1	1	Q _N -1	Q7	No Change
⎯	1	1	1	No Change	No Change	No Change	Q7

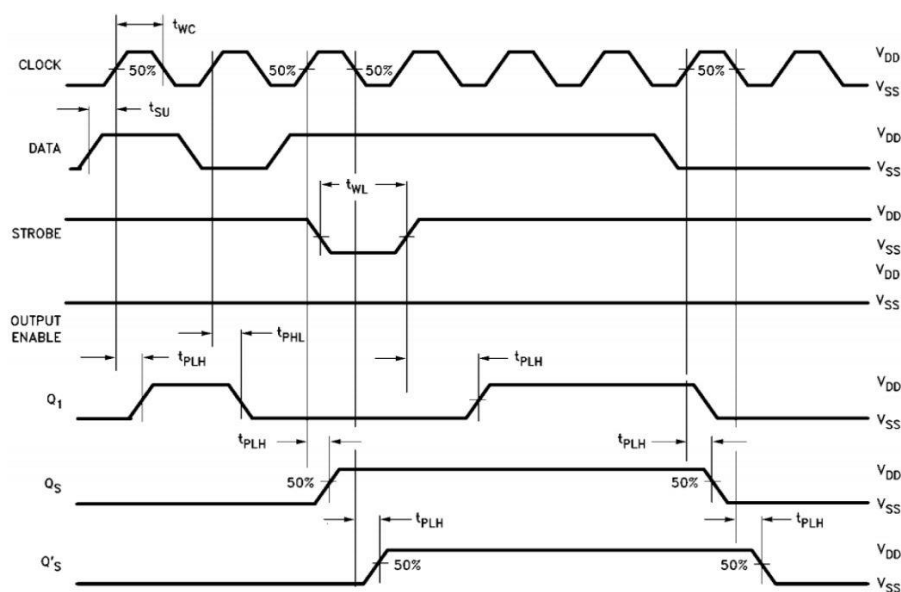
X = Don't Care

⎯ = HIGH-to-LOW

⎯ = LOW-to-HIGH

Note 1: At the positive clock edge, information in the 7th shift register stage is transferred to Q8 and Q_S.

3. IC-CD4094BC 時序圖



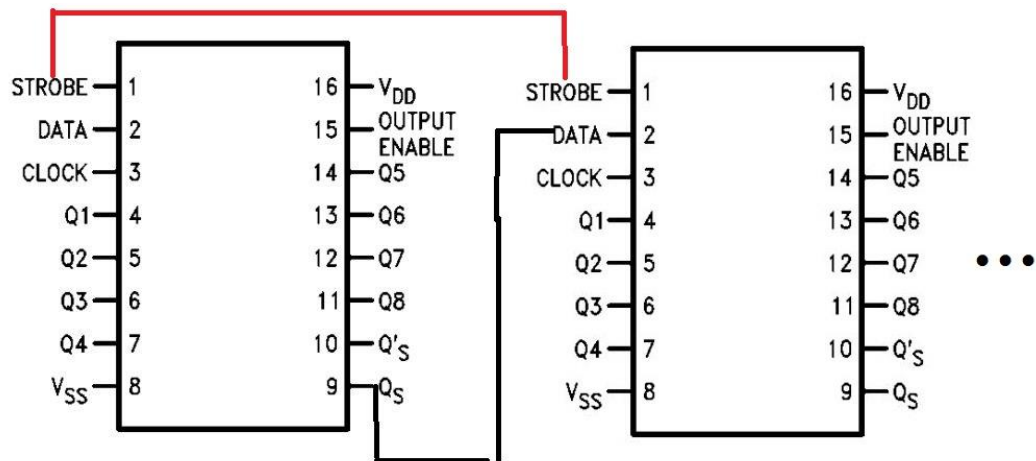
每一階移位暫存器的輸出端對應一個儲存暫存器，當輸入端 **strobe** 變為 0 時，儲存暫存器並不會將資料栓鎖；當 **strobe** 為 1 時，儲存暫存器將其輸入 **D** 的資料栓鎖並輸出到三態閘輸出緩衝器。當 **output enable** 為 1 時，三態閘允許資料並行輸出。

4. 串列傳輸原理

IC-4094 將資料輸入端(D)之值，在 **clock**(輸入端 CP)正緣時讀入，並進行 **shift**，故可使串列輸入資料並列輸出。在以 **str** 將並列資料轉為串列輸出，即可節省大量傳輸埠。

5. IC 控制器設計

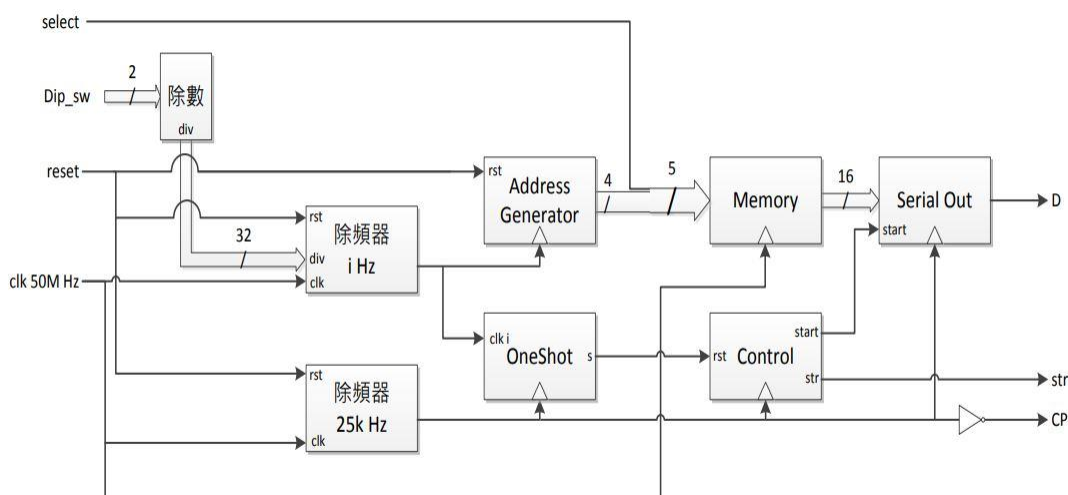
若將上一級輸出端 **Qs** 串接至下一級資料輸入端(D)，串接 n 個 IC-4094 ($n \geq 1$)，即可處理 $8*n$ bits 之串列輸入資料。在快速之 **clock**(25kHz)依序寫入 $8*n$ bits 串列值，並於第 $8*n$ 個 **clock** 時將各階資料栓鎖在儲存暫存器內，即可控制串列輸出值，在各階形成並列輸出。



【實作】

實做 LED 控制電路，並利用串接兩個 IC-4094 達到以單一資料傳輸埠控制 16 個 LED 之結果，此電路可依照自定義之 16bits 記憶體儲存值，依序由 LED 顯示。

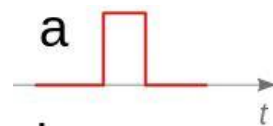
1. 架構圖



2. 設計原理

按照使用者所設定欲改變圖騰之時間差(clk_i)，使用供 IC 之時脈(CP)串列輸出 16 個值，為確保 IC 能抓到正確的 D，對 CP 加上反相器，使其正緣比 D 的更新觸發晚半個週期；在輸出 16 個值後，str 輸出一個週期長度的 pulse，使資料通過儲存暫存器並在栓鎖住。(波型應能在 D 開始輸出資料後第 16 個 clock(CP)，str 輸出一個 pulse。)

註: pulse 脈衝訊號:僅由基準值變為較高或較低的值，之後又快速的回到基準值，例如右圖的脈衝方波:



3. 架構說明

Input 腳位 : clk_50MHz , $Dip_sw[1:0]$, select , reset

- Dip_sw 可改變 LED 切換圖騰之速度。
- Sel_light 可改變 LED 不同亮法。

Output 腳位: str , CP , D

分別控制 IC 之栓鎖開關、輸入時脈、資料輸入。

2 個除頻器：

- 1.除頻器 $50M/divHz(iHz)$ ：將版子上的 50M Hz 轉成 2Hz、4Hz、6Hz 及 8Hz，為切換 memory 所儲存之圖騰的速度。
- 2.除頻器 25KHz：將版子上的 50M Hz 轉成 25kHz，以供 IC 使用。
(產生 CP)

Address Generator：產生 memory 所需的 4bits 位址值，當 rst 拉起時，位址歸零，使 memroy 可以從頭開始輸出資料。(hint：利用非同步計數器的觀念)

Select：切換 led 亮法。

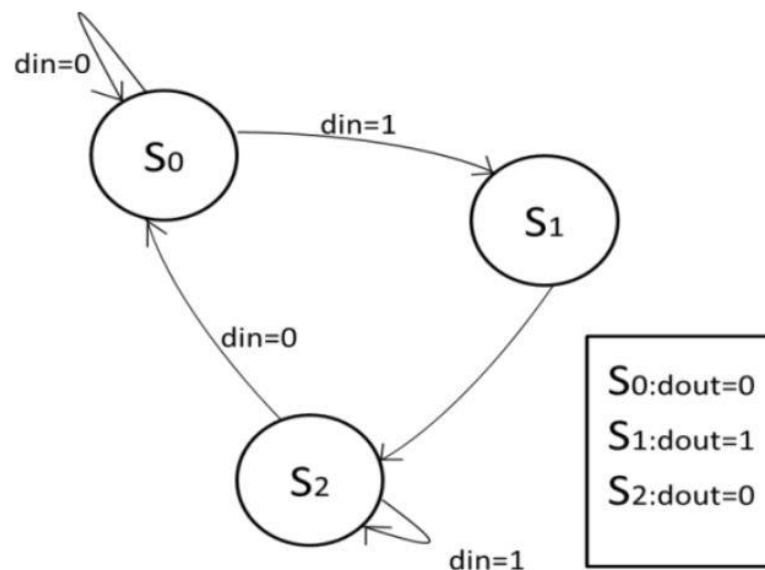
Memory：megafunction 產生之記憶體模組(16bits*32words)，儲存兩個不同的 LED 圖騰，如附件之 mif 檔。

Serial Out：輸入 start = 1 時，將輸入之 16bit 值存入暫存器內，並在 start = 0 之後每一個 clock 正緣時由暫存器之最高位元依序送出至 D。

CP：提供 IC 之 clock，由於 Serial Out 使用正緣觸發，所以給 IC 的 CLOCK(CP)加反相器使之在負緣觸發，確保資料在寫入 IC 時已準備好。

Oneshot：利用 state machine 設計，做出能在較長的輸入訊號正緣觸發後，產生一個長度 1clk(25kHz)之 pulse 訊號。

參考 state：



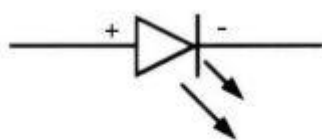
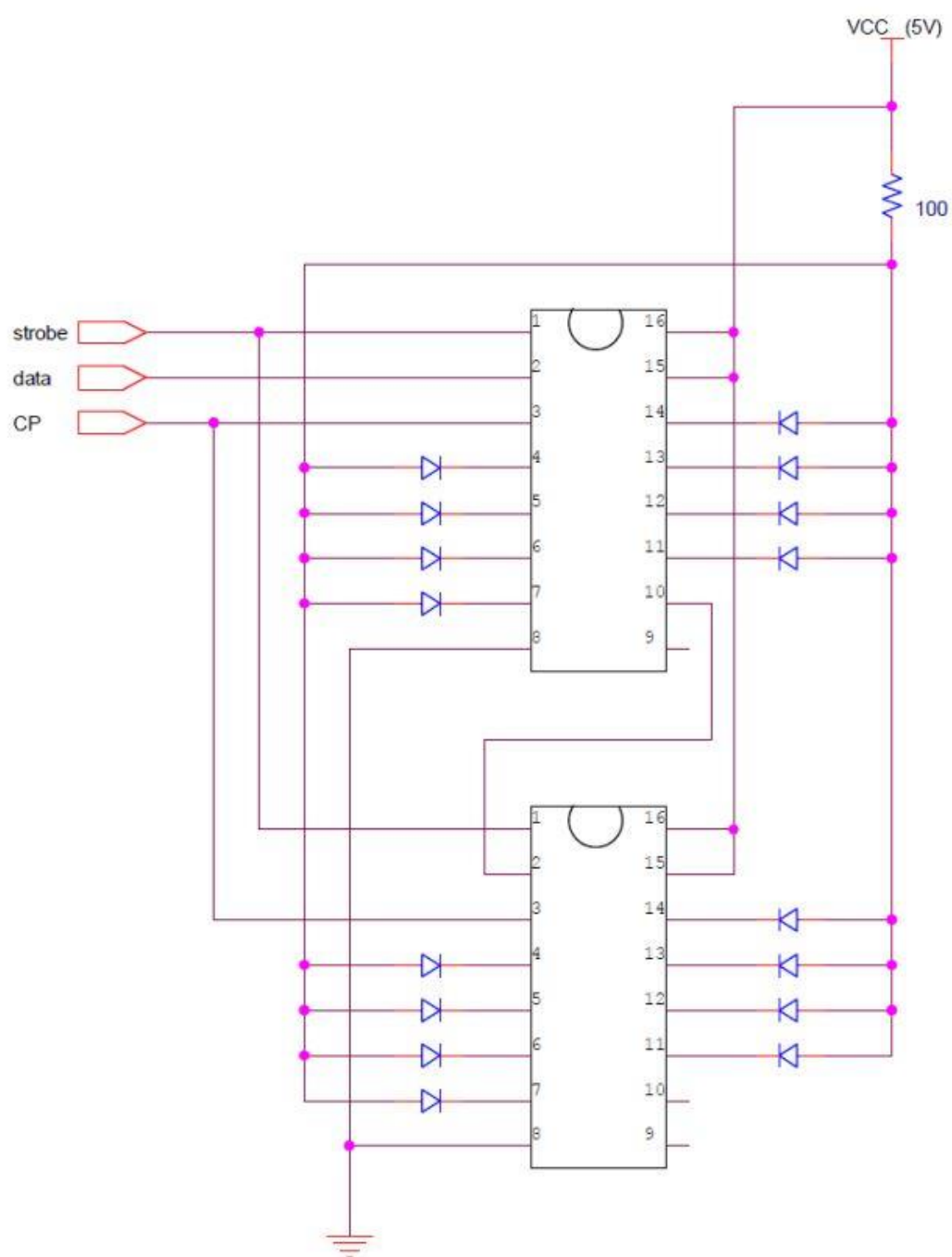
Control：依照 OneShot 輸出(s)產生兩個訊號，分別為：

- serial out 控制訊號 start
- IC 控制訊號 str

在 s 拉起時，輸出長度為一個 clk 的 start 訊號，並在 start 結束之後的第 16 個 clk 時，輸出長度為一個 clk 的 str 訊號。

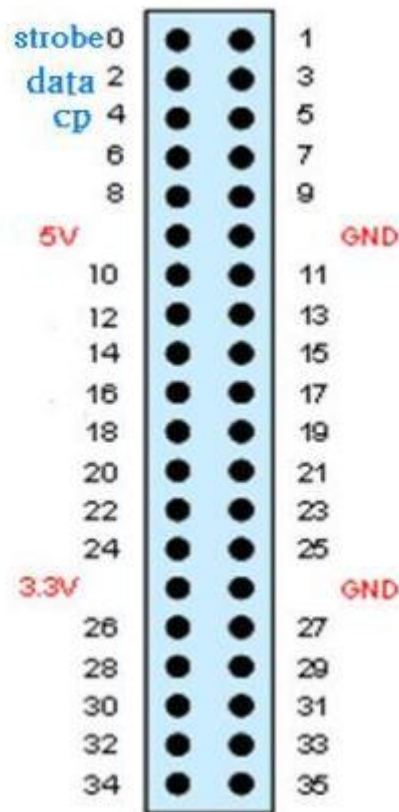
(hint：可利用 counter、state machine 設計)

PCB 板焊接電路圖：



LED 電路之表示法

GPIO 接腳圖(GPIO 1)：



統一輸出腳位：

DEII: str: PIN_K25 D : PIN_M22 CP : PIN_M19
DE1-SOC: str:PIN_AB17 D :PIN_AB21 CP:PIN_AD24

課堂上實作內容：

1. 完成架構圖之模組設計，各模組請用 Verilog 語言來撰寫。
2. 將 IC-CD4094BC 與 LED 焊在 PCB 板上。
3. 使用 FPGA 實現模組並自訂 memory 的內容做出 LED 霹靂燈。
4. 向助教解釋功能和原理。

補充： 電路板之 VCC(5V)及接地為 FPGA 板提供。

額外 bonus： 做出任何有創意或額外的功能。

例如：

1. 加上音樂盒，做出能當音樂出現時隨著音樂速度而閃爍。
2. 加上類比轉數位電路，以光敏電阻控制閃爍的快慢。

實驗報告： 報告內容包含：整體架構圖、波形模擬 (須加註解)、各模組的 Verilog code 含註解 (記憶體模組除外)、創意介紹 (有實作創意者)以及實驗心得