

Experiment 5. 類比轉數位訊號控制電路

【目的】

製作類比訊號轉數位訊號的控制電路

- 了解 IC-ADC0809 原理
- 設計 ADC0809 的控制電路
- 利用熱敏電阻體驗類比轉數位的結果

【實驗背景】

Verilog 設計經驗

【實驗材料】請同學借還時，點清實驗材料！

FPGA Altera DE2-board x1 OR FPGA tarsic DE1-SOC x1

IC-ADC0809 x1

10k 熱敏電阻 x1

電容 0.1uF x1

洞洞板 x1

每組自備吸錫槍、焊槍，電表各一

排針 x 14

10k , 150K ,2K 電阻 x1

IC 座 x1

【原理與說明】

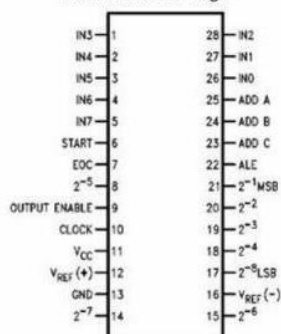
1. IC-ADC0809 原理

ADC0809 是一個 8 bits 類比轉數位的轉換 IC，類比輸入範圍最高為 5v 最低為 0v，轉換成數位的值是由 8 bits 來表示。這顆 IC 一共有 8 個類比的輸入通道，可由 3 bits 的輸入來選擇要使用哪一個類比通道的值進行轉換。

圖一為ADC0809 的腳位圖，表一為類比通道選擇與位址的對應表。

Connection Diagrams

Dual-In-Line Package



Order Number ADC0808CCN or ADC0809CCN
See NS Package J28A or N28A

TABLE 1. Analog Channel Selection

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

表一

圖一

下列為各個接腳所代表的意思

Vcc/Gnd : 5v/0v
VRef(+/-) : 5v/0v

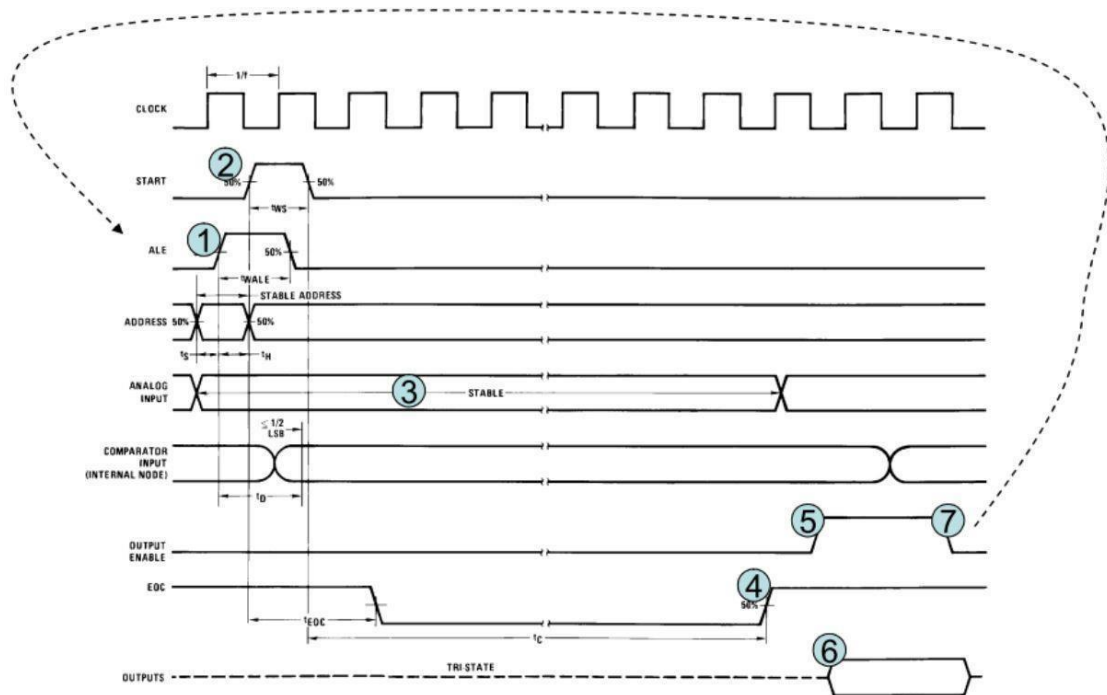
Input :

ALE : Analog Enable
Start : Start Convert
IN0/IN1 : Analog Input
Add A B C : Switch Channel
OE : Output Enable

Output :

EOC : End of Convert
 $2^{-1} \sim 2^{-8}$: Digital Output

連接圖IN0~IN7 為類比的輸入通道共有八個可以使用，選擇哪一個就如同 8 對 1 的多工器，由 3bits 的位址線來選擇 (ADD A, ADD B, ADD C)，轉換結果會由 (2^{-1} (MSB) $\sim 2^{-8}$ (LSB)) 輸出，可以把這 8 根腳的訊號透過 FPGA 由七段顯示器秀出來。這顆IC 的轉換流程如圖二時序圖所示：

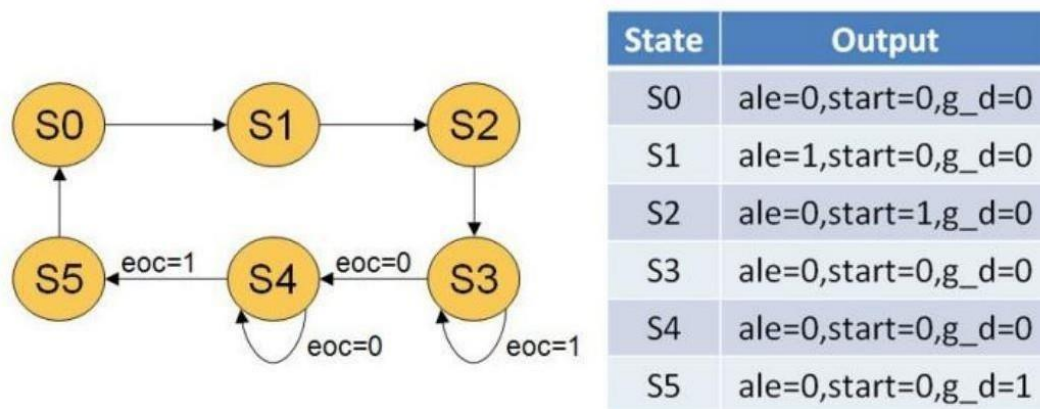


圖二. ADC0809 轉換時序圖

要利用這顆IC 轉換類比訊號，首先要先設定要使用哪一個類比通道 (Address)，接著送出ALE(Analog Enable) 表示類比訊號準備好了，最後送出 Start 通知ADC0809 開始把指定類比通道的值做轉換。ADC0809 轉換完成時會把 EOC(End of Converter) 設成 1，此時只要輸入 OE(Output Enable) 為 1，ADC0809 就會把轉換後的數位值釋放出來，如此一來就完成了類比轉數位的動作。因為電子特性的關係，訊號間都會有一些時間的規範，此規範放在底部的附錄，同學可以自行參考。

2. ADC0809 控制器與顯示電路設計

AD 控制器的動作： AD 控制器基本上就是一個狀態機如圖三所示，首先要先指定類比訊號的通道 (Address)，因為此實驗只有讀取熱敏電阻的跨壓值，所以直接將ADC0809 的第 23、24、25 腳位接地 (Address=000)，指定類比輸入為 IN0，下一個狀態送出 ALE 為 1 訊號，接著 START 為 1 訊號。接著要判斷 EOC 是否為 0，為 0 表示開始轉換；EOC 為 0 之後要判斷是否 EOC 為 1，為 1 則表示轉換結束。我們將 EOC 與 Output Enable 直接接在一起，也就是說在 EOC=1 的這段時間內都可以發出取值的要求，所以下一個狀態發出取值的要求 (訊號線是 g_d)，之後回到狀態 0。



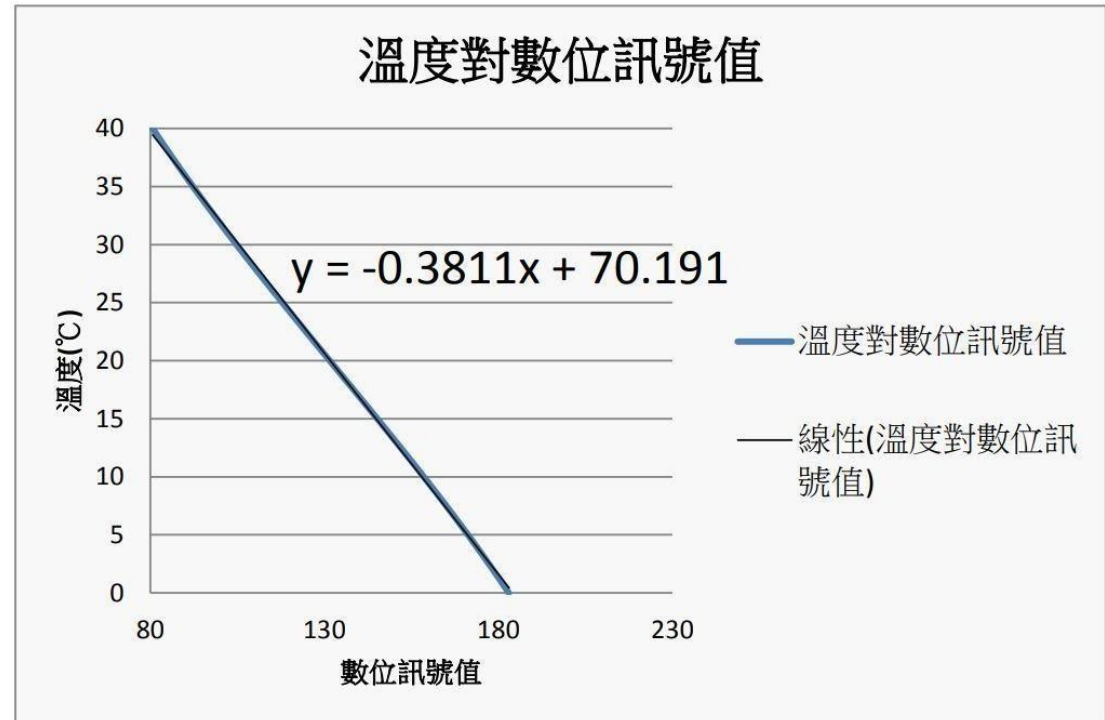
圖三：AD 控制器狀態圖

後端取值與顯示的動作：

當取值 (g_d) 的要求送出後，後端的Dff 要接收 ADC0809 傳過來的值，收到之後，熱敏電阻的跨壓值顯示於七段顯示器上。

3. 熱敏電阻之電路設計原理

因溫度與熱敏電阻阻值倒數成正比，故須將熱敏電阻並聯，即能讓分壓值與溫度近似線性，就能導出一個溫度對分壓值的線性轉換公式。

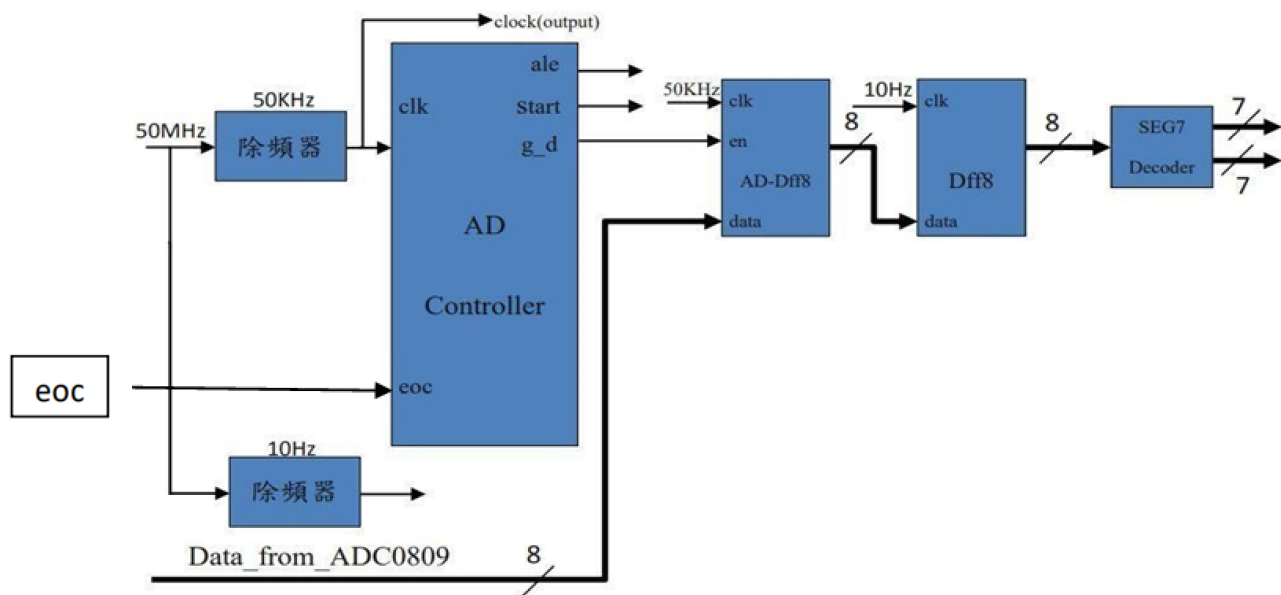


溫度(°C)	數位值	溫度(°C)	數位值	溫度(°C)	數位值
0	183	16	143	32	100
1	181	17	140	33	97
2	178	18	137	34	95
3	176	19	134	35	92
4	174	20	132	36	90
5	171	21	129	37	88
6	169	22	126	38	85
7	166	23	123	39	83
8	164	24	121	40	81
9	161	25	118		
10	159	26	115		
11	156	27	113		
12	153	28	110		
13	151	29	107		
14	148	30	105		
15	145	31	102		

【實作】

設計 ADC0809 控制器，產生提供 ADC0809 之控制訊號與資料的取樣訊號，利用控制訊號將熱敏電阻之類比訊號經ADC0809 轉換為數位訊號的資訊，顯示電路透過取樣訊號，將數位訊號的資訊解碼至板子上的七段顯示器，顯示熱敏電阻分壓之數位值，並將數位訊號接上解碼器用於控制彩色 LED 電路板。

使用 Verilog 完成之架構圖：



此架構如上圖所示，包含：

- Input 腳位：clk_50MHz , eoc , Data_from_ADC0809[7:0]
- Output 腳位：clk_50KHz , ale , Start , 七段輸出
- 2 個除頻器：
 1. 將板子上的 50MHz 轉換成 50KHz 。(ADC0809 的 clock 範圍為 10K~1280K)
 2. 將板子上的 50MHz 轉換成 10Hz。(七段顯示器每 0.1 秒輸出一次)
- AD Controller：

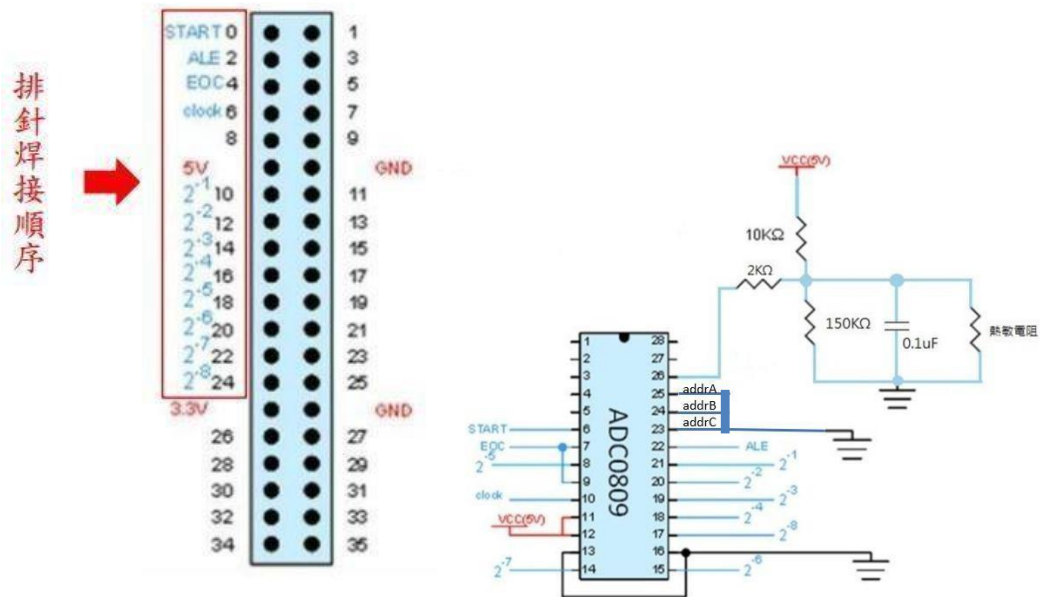
控制ADC0809 的轉換動作以及發送取樣訊號給顯示電路。(參照原理 2)
- Ad-Dff8：

拴鎖住ADC0809 傳送過來的資料訊號。
- Dff8：

拴鎖從Ad-Dff8 來的值。
- Seg7_Decoder：

將資料解碼至七段顯示器上。

電路板之腳位圖(GPIO 0):



注意：

本次實驗所焊排針順序，必需與上圖箭頭所指示完全相同。
課堂上實作內容：

1. 完成上述架構圖之模組設計，各模組請用Verilog 語法撰寫完成之。
2. 按照電路板之腳位圖，在電路板上完成。

補充： 1. 電路板上之 5V 由 FPGA 實驗板提供。

2. 須把 FPGA 的地與電路板上全部元件的地接在一起。
3. 顯示方面由 7 段顯示器秀出 16 進位值。

額外 **bonus** :

做出任何有創意或額外的功能。例如：顯示正確的溫度值。

實驗報告：

報告內容包含：整體架構圖、各模組之波形模擬(解釋如何驗證功能正確)、各模組的Verilog code 含註解(記憶體模組除外)、創意介紹(有實作創意者)以及實驗心得

附錄 1：ADC0809 timing specifications

Electrical Characteristics – Timing Specifications

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25^{\circ}C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	(Figure 5)		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
t_s	Minimum Address Set-Up Time	(Figure 5)		25	50	ns
t_H	Minimum Address Hold Time	(Figure 5)		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ (Figure 5)		1	2.5	μs
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10k$ (Figure 8)		125	250	ns
t_{1H}, t_{0H}	OE Control to HI-Z	$C_L=10$ pF, $R_L=10k$ (Figure 8)		125	250	ns
t_c	Conversion Time	$f_c=640$ kHz, (Figure 5) (Note 7)	90	100	116	μs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	(Figure 5)	0		$8 + 2 \mu s$	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs		10	15	pF