

Работа 5. Триггеры.

§ 5.1. Триггер как система с положительной обратной связью (ПОС)

Триггер - элемент памяти для хранения одного бита информации, цифровая схема с положительной обратной связью и с двумя устойчивыми состояниями.

Обратная связь – это подача выходного сигнала устройства на его вход. Положительная обратная связь (ПОС) возникает, когда сигнал обратной связи суммируется с входным сигналом и увеличивает эффект от его воздействия. Положительная обратная связь позволяет получить в схемах два устойчивых состояния.

Простейшую схему с ПОС (Схема 1 на рис. 6.1) получим, соединяя два инвертора в замкнутую цепь, по которой будет циркулировать сигнал ПОС. Контур ПОС выделен синим цветом. Если подать на вход первого элемента сигнал **1**, то по контуру ПОС на этот вход поступит такой же сигнал **1** и схема запомнит данное состояние. Аналогично произойдет запоминание сигнала 0.

Для построения схемы триггера необходимо вместо инверторов, использованных в схеме 1, включить в замкнутую цепь инвертирующие логические элементы. Если использовать элементы И—НЕ, то получим асинхронный статический $\bar{R}\bar{S}$ триггер с инверсными установочными входами (Схема 2). При анализе работы триггера по схеме учитываются очевидные свойства элементов И-НЕ:

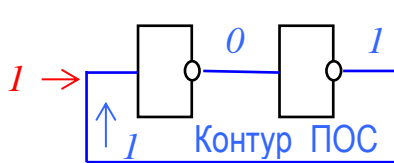


Схема 1

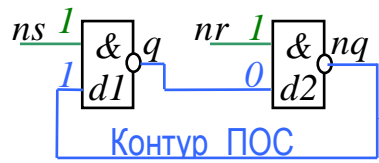


Схема 2

Рис. 5.1. Цифровые схемы с ПОС

c	b	$\overline{a \cdot b}$
0	0	1
0	1	1
1	0	1
1	1	0

элемента равен 1, если хотя бы на одном входе 0 (элемент dd2).

3. Один из входов элемента (например, отмеченный синим) будет активным, и будет передавать значения входного сигнала на выход с инверсией, если на другой вход (отмеченный зеленым) подан сигнал 1. Это свойство определяет режим, при котором в замкнутом контуре триггера циркулирует сигнал ПОС

и триггер сохраняет одно из устойчивых состояний.

Асинхронный статический $\bar{R}\bar{S}$ (nrns) триггер с инверсными установочными входами nr, ns и выходами q, nq, построен на элементах И—НЕ, соединенных в замкнутую цепь с ПОС, как показано на схеме 2. Обозначения образованы от слов set – установить, reset – сбросить quit – выход, not - не.

НЕ:

1. На выходе элемента имеем сигнал 0, если на все входы подаются сигналы 1. (как показано для элемента dd1 на схеме 2).

2. Сигнал на выходе

ns	nr	q_n	q_{n+1}	Режим
1	1	1	0	Хранение
1	1	0	1	
0	1	1	1	Установка 1
0	1	0	1	
1	0	1	0	Установка 0
1	0	0	0	
0	0	1	x	Запрещенная комбинация
0	0	0	x	

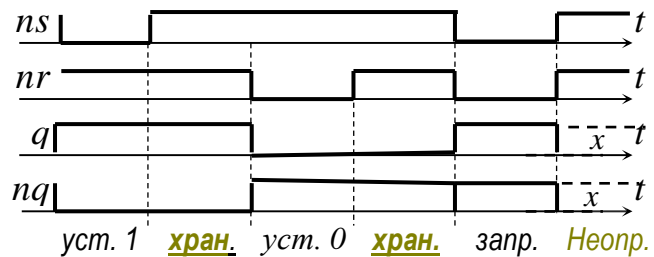


Рис. 5.3. Таблица истинности и временные диаграммы асинхронного prns-триггера

Анализ схем триггеров выполняется в следующей последовательности.

1. По схеме определяется режим хранения (рис. 5.4).
2. Режим установки состояния $q = 1$ и $nq = 0$ выполняет сигнал **ns = 0**, при этом $nr = 1$, чтобы обеспечивалась ПОС.
3. Режим установки состояния $q = 0$. Сигнал **nr = 0**, установит $nq = 1$, при этом сигнал $q = 0$, **ns = 1**, поэтому цепь ПОС устанавливает и **nq = 0**.
В режимах хранения и установки состояний в схеме действует ПОС.
4. Комбинация входных сигналов $ns = nr = 0$ требует, чтобы триггер установился в 0 и в 1 одновременно. Данную комбинацию входов называют запрещенной, она разрушает условия действия ПОС, формируются некорректные выходные сигналы $q = nq = 1$. Состояние триггера при переходе в режим хранения является неопределенным.

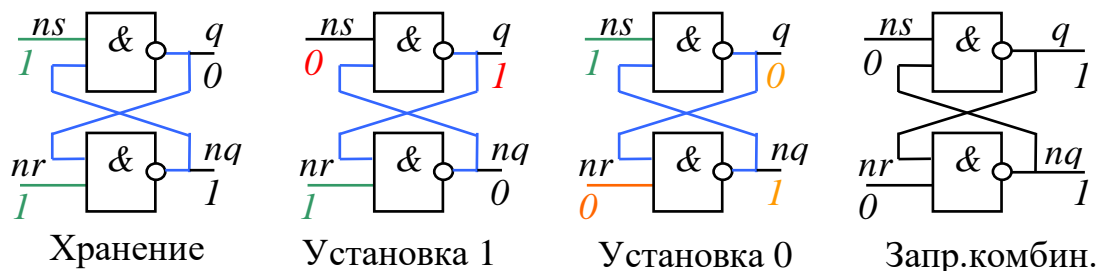


Рис. 5.4. Режимы работы запоминающей ячейки

В таблице истинности определены новые значения выходного сигнала триггера (q_{n+1}) при всех значениях входных сигналов (nr и ns) и исходных состояний (q_n).

Режим хранения prns-триггера: на оба входа (nr и ns) поданы сигналы 1

Теоретические временные диаграммы построены по таблице истинности. Для получения наглядных диаграмм выбрано чередование режимов установки и хранения. режимы а затем отображаются входные сигналы, соответствующие этим режимам. Теоретические временные диаграммы используются при моделировании для создания тестовых сигналов и для сравнения полученных экспериментальных диаграмм с теоретическими.

Задание 5.1. Исследование работы \overline{RS} - триггера .

Изучите § 5.1. Разработайте проект асинхронного триггера с инверсными установочными входами с именем *s51_nrns* по схеме (рис. 5.5). Выполните этапы проектирования 1-9 , разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы (подобные рис. 5.6), , определите

временные задержки (рис. 5.7). Опишите работу схемы по экспериментальным временным диаграммам.

Разработка тестовых входных сигналов для схем с памятью выполняется с использованием инструментов панели редактирования сигналов. Клавиша Esc включает режим выбора временной диаграммы, или ее части курсором мыши по терминалу для ввода определенного логического сигнала кнопками с цифрами 0 или 1.

Вначале необходимо выделить диаграммы для сигналов nr и ns и нажать кнопку «1» (это режим хранения). Затем изобразите (нарисуйте после нажатия кнопки 4 на панели инструментов) отрицательные импульсы, выделяя курсором отдельные интервалы, и задавая противоположные значения сигнала, в данном случае 0. Учитывая (по результатам предыдущих работ), что задержка логических элементов составляет 8 – 12 нс., изображаем импульсы длительности более 20 нс., что упростит анализ диаграмм. Ввод тестовых сигналов обычно выполняется шаг за шагом, многократно запуская имитатор и корректируя сигналы по результату моделирования.

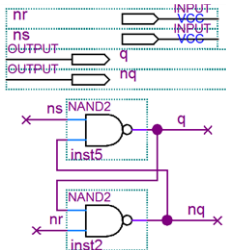


Рис. 5.5.
Схема
S61_nrns

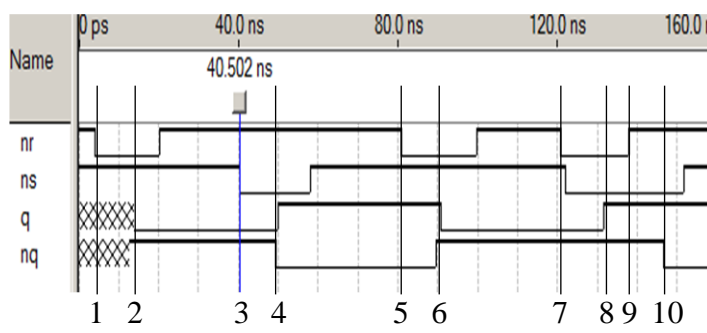


Рис. 5.6. Временные диаграммы

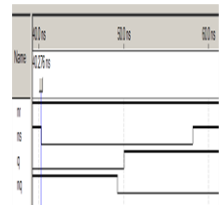


Рис. 5.7.
Измерение
задержек

Для анализа результата моделирования отметим на диаграмме (рис. 5.6) моменты времени, соответствующие изменениям входных и выходных сигналов.

- 1. Момент подачи сигнала установки нуля $nr = 0$, сигнал ns ранее был установлен в 1. Выходные сигналы равны X, компилятор не может их однозначно определить.
- 2. Установилось (с задержкой) состояние $q = 0$, $nq = 1$.

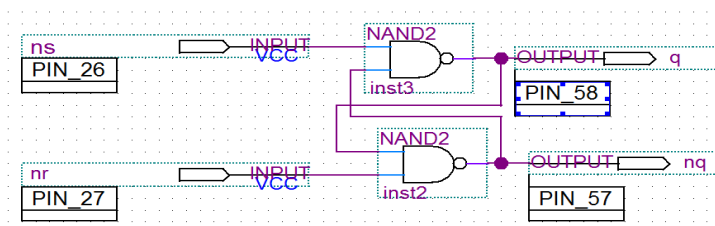


Рис. 5.8. Схема после подключения выводов
(получена из рис. 5.5)

- 3. Начало сигнала установки 1 $ns = 0$, отмечено курсором для измерения задержки.
- 4. Установка 1 выполнена $q = 1$, $nq = 0$
- 5. Начало сигнала установки 0 $nr = 0$.
- 6. Установка 0 выполнена $q = 0$, $nq = 1$
- 7. Подана запрещенная

комбинация установки 0 и 1 одновременно $nr = ns = 0$.

- 8. Выдаются некорректные данные $q = nq = 1$
- 9. Подается сигнал установки 1 $ns = 0$, $nr = 1$.
- 10. Установилась корректная комбинация выходных сигналов $q = 1$, $nq = 0$.

4. Комбинация сигналов $s = r = c = 1$, при которой требуется, чтобы триггер установился одновременно в 0 и в 1, называется запрещенной комбинацией.

Все статические синхронные триггеры (и триггер RS) имеют прозрачный режим, возникающий при подаче на вход синхронизации постоянного сигнала $c=1$.

c	s	r	q_n	q_{n+1}	Режим
0	x	x	0	0	Хранение
0	x	x	1	1	
1	0	0	0	0	
1	0	0	1	1	
1	1	0	0	1	Установка 1
1	1	0	1	1	
1	0	1	0	0	Установка 0
1	0	1	1	0	
1	1	1	0	X	Запрещенная комбинация
1	1	1	1	X	

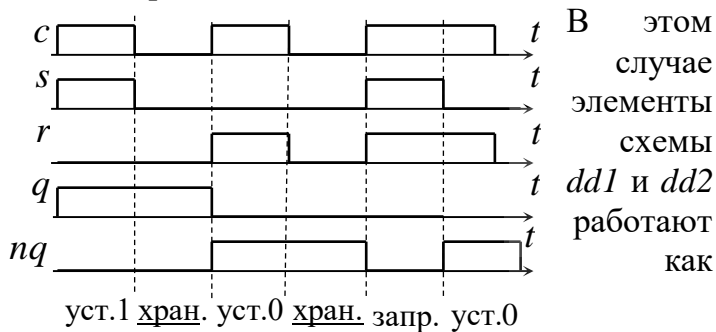


Рис. 5.11. Теоретические временные диаграммы синхронного rs -триггера

инверторы, и устройство превращается в асинхронный rs - триггер с прямыми входами установки единицы (s) и установки нуля (r).

Задание 5.2. Исследование работы синхронного RS - триггера

Изучите § 5.2. Разработайте проект синхронного RS триггера с прямыми установочными входами с именем $s52_rs$ по схеме (рис. 5.12). Выполните этапы проектирования 1-9, разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы, выполните анализ результатов, определите временные задержки.

На диаграммах (рис. 5.13) отмечены следующие моменты времени.

1. Сигнал установки 0 $c = r = 1$
2. Установка 0 выполнена.
3. Появился сигнал $s = 1$, однако $c = 0$, следовательно режим хранения.
4. Вот теперь имеем сигнал установки 1: $c = s = 1$.
5. Установка 1 выполнена.
6. При $c = 0$ изменения сигналов r и s не влияют на состояние триггера.
7. Сигнал установки 0 $c = r = 1$
8. Установка 0 выполнена.

В отчете приведите символ и схему триггера, таблицу истинности. Опишите работу триггера с указанием сигналов на схеме. Поясните разработку теоретических временных диаграмм, предназначенных для наглядно отображения всех возможных режимов работы.

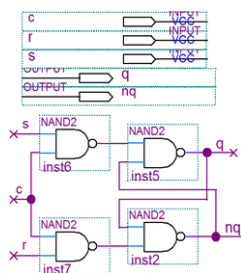


Рис. 5.12.
Схема s63_rs

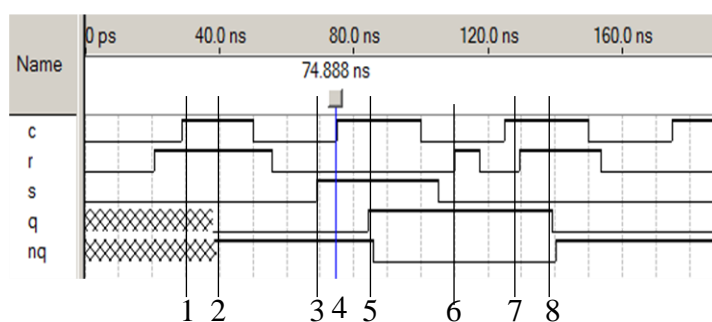


Рис. 5.13. Временные диаграммы

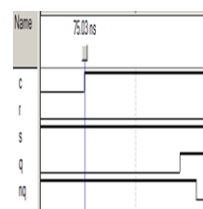


Рис. 5.14.
Измерение задержек

§ 5.3. Статический D-триггер.

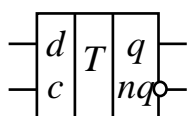


Рис. 5.15.
Символ
статического

Статический D-триггер имеет вход синхронизации (с), один информационный вход (d), а также выходы (q и nq). Схема D-триггера получена в результате модификации схемы RS-триггера, цель которой – устранение нежелательной запрещенной комбинации, возникающей при $s=r=c=1$. Для этого к RS-триггеру добавлен инвертора dd5. В результате запрещенная комбинация сигналов на входах s и r, которые на схеме (рис.5.16) обозначены

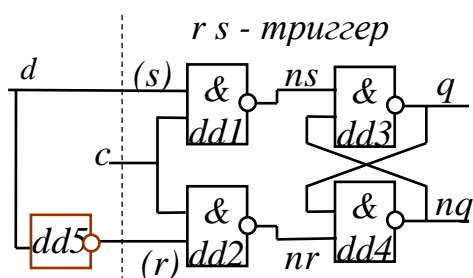


Рис.5.16. Схема d - триггера

в скобках, становится невозможной. В результате D-триггер имеет единственный информационный вход d. Инвертор с3 схемы можно исключить и подключить вход (r) к выходу dd1. Данная связь выделена цветом на рис. 5.17. Состояния d-триггера, приведенные в таблице, определяются по схеме.

Если $c=0$ имеем режим хранения. При этом сигналы ns и nr тождественно равны 1 (в соответствии с правилом 2), а элементарный prns-триггер (запоминающая ячейка) находится в режиме хранения. Изменения входного сигнала d не передаются на выход, сигнал q не изменяется.

Если $c=1$ возникает прозрачный режим. Любые изменения сигнала d, передаются на выход q: $q=d$. При $d=1$ произойдет установка 1, а при $d=0$ - установка 0.

Если $c=1$, при этом сигнал d изменяется, то запоминается значение d, предшествующее спаду синхросигнала. Входные данные в этот момент как бы «защелкиваются», отсюда и название — триггер-защелка (англ. latch). По результатам анализа схемы составляется таблица истинности и теоретические временные диаграммы (рис. 5.18).

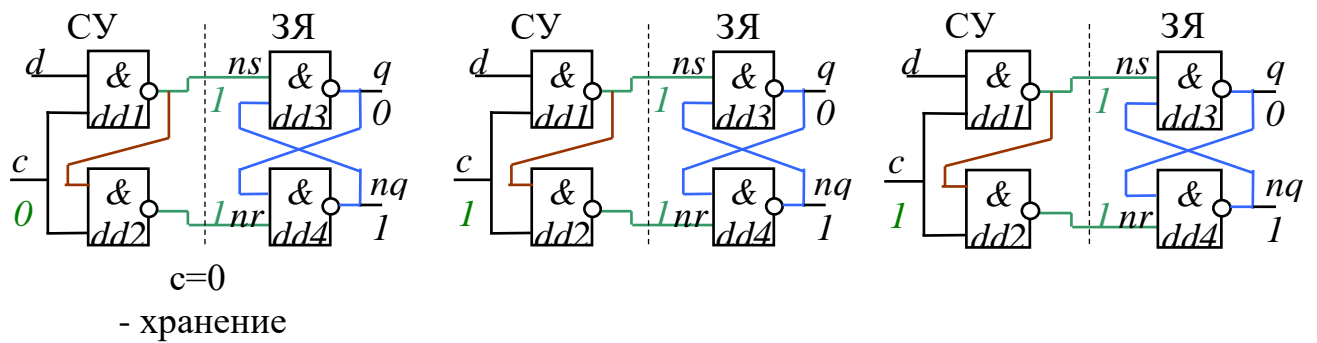


Рис. 5.17. Работа статического D - триггера

Описание на Verilog схем с элементами памяти (триггеров, счетчиков, регистров) выполняется последовательными операторами, которые содержат :

1. Ключевое слово «*always*» (всегда) – означает повторение присваивания при возникновении определенного события.
2. Символ @ – соответствует понятию «событие».
3. Список чувствительности в круглых скобках, содержащий перечисление сигналов, или определение события, которые должны вызывать повторение процесса присваивания.
4. Операторы, описывающие условия присваивания: if, case, begin – end. Выходной сигнал должен быть указан как reg.

Статический триггер, называемый защелка (*latch*), передает на выход q сигнал d при наличии сигнала c=1. По входу c управление осуществляется потенциалом. Триггер имеет прозрачный режим, В американском обозначении вход c называется «latch».

c	d	q _n	q _{n+1}	Режим
0	x	0	0	Хранение
0	x	1	1	
1	1	0	1	Установка 1
1	1	1	1	
1	0	0	0	Установка 0
1	0	1	0	

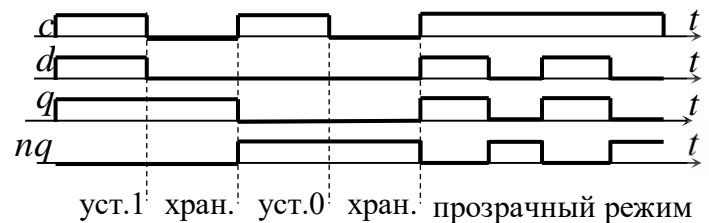


Рис. 5.18. Теоретические временные диаграммы статического d - триггера

Описание статического D - триггера (рис. 5.15) содержит заголовок, описание выводов - входы c, d, выход q типа reg.

В описании работы статического триггера (строка 6) список чувствительности отсутствует. В этом случае последовательный оператор работает подобно параллельному оператору, он срабатывает при изменении любого из входных сигналов. Строка 6 имеет смысл: «если c = 1, то присвоить q = d». Строка else (иначе) отсутствует. Поэтому при c = 0 никакие операции выполнять не требуется, это режим хранения.

Задание 5.3. Исследование работы статического d - триггера.

Изучите § 5.3. Разработайте проект и с именем s53_dstat по схеме (рис. 5.19). Выполните этапы проектирования 1-9, ввод схемы, компиляцию, создайте символ, разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы, выполните анализ временных диаграмм (рис. 5.20).

Исходное состояние $c = d = 0$, q не определено.

1. Фронт синхросигнала c . Переход в прозрачный режим, при котором $q = d$.
2. Выполнена запись $q = 0$.
3. $c = 0$, режим хранения, сигнал $d = 1$ не передается на выход.
4. Сигналы записи 1, $c = 1$, $d = 1$, момент отмечен курсором для измерения временной задержки.
5. Запись 1 выполнена. 6 – 7. Прозрачный режим, $q = d$, любые изменения сигнала d передаются на выход q с задержкой.

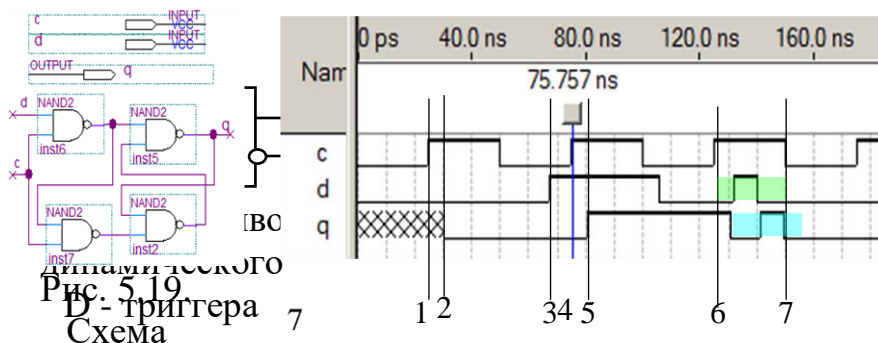


Рис. 5.19. Схема s53_d_stat

Рис. 5.20. Временные диаграммы

наглядно отображения всех возможных режимов работы.

Выполните подключение и программирование ПЛИС (по заданию преподавателя). В отчете опишите исследование работы триггера в различных режимах с использованием для ввода и вывода сигналов кнопок и светодиодов.

§ 5.4. Динамический D – триггер

В динамических триггерах запись сигналов, поданных на информационные входы, происходит только по фронту синхросигнала – при его изменениях от значения 0 к значению 1 (рис. 5.21). Вывод сигнала q отмечают треугольником или черточкой.

При любых статических состояниях синхросигнала ($c = 0$, или $c = 1$) динамический триггер находится в режиме хранения и выходной сигнал не изменяется $q = \text{const}$. Динамические триггеры обеспечивают отсутствие прозрачного режима, а также запись данных в строго определенные моменты времени.

Двухступенчатый динамический D-триггер содержит два статических D-триггера, которые изменяют свои состояния в противофазе вследствие подачи синхроимпульсов на вспомогательный триггер через инвертор (рис. 5.22.).

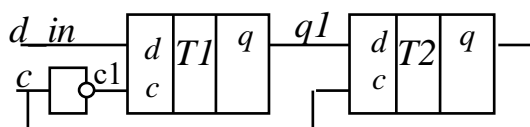


Рис. 5.22. Схема динамического двухступенчатого D - триггера

Первая ступень – вспомогательный триггер T1, вторая - основной триггер T2. Работа динамического триггера содержит две фазы.

Первая фаза – подготовка входных данных. На основной триггер подается $c=0$, он находится в состоянии хранения и выдает сигнал q . Это исходное состояние триггера, например, 0 (рис. 5.23). Вспомогательный триггер (для которого $c1 = 1$),

В отчете

приведите символ и схему триггера, описание таблицы истинности и работы триггера с указанием сигналов на схеме. Поясните разработку теоретических временных диаграмм, предназначенных для

c	d	q_n	q_{n+1}	Режим
x	x	0	0	Хранение
x	x	1	1	
↑	1	0	1	Установка 1
↑	1	1	1	
↑	0	0	0	Установка 0
↑	0	1	0	

c	d	q_n	q_{n+1}	Режим
x	x	0	0	Хранение
x	x	1	1	
↑	1	0	1	Установка 1
↑	1	1	1	
↑	0	0	0	Установка 0
↑	0	1	0	

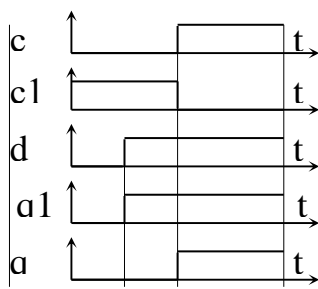


Рис. 5.23. Работа динамического триггера

Фронт сигнала s - переход из 0 в 1 – выполняет запись нового значения q . Основной триггер переходит в прозрачный режим. Сигнал на его выходе $q = q_1$ соответствует входному сигналу d в момент времени, предшествующий фронту синхросигнала s , подобно фотографии со вспышкой. Динамический триггер в

Таблица истинности динамического d – триггера

0

nd

d

nr

1

nq

Рис. 5.24. Динамический D -триггер, схема трех триггеров

Вторая фаза ($c=1, c1=0$) – хранение нового состояния.. Вспомогательный триггер находится в состоянии хранения нового состояния, он сохраняет сигнал $q1 = d$. Основной триггер, для которого $c = 1$, находится в прозрачном режиме и выдает на выход сигнал, соответствующий новому состоянию $q = q1 = d$.

Таблица истинности для данного триггера

показывает, что срабатывание происходит только по фронту импульса. Фронт импульса - изменение сигнала от 0 к 1, в таблице обозначает вертикальная стрелка (\uparrow). Для записи $q = 1$ необходимо заблаговременно подать входной информационный сигнал $d = 1$ (как показано на схеме), а затем сформировать фронт синхросигнала – изменение s от 0 к 1. Для разработки теоретических временных диаграмм изобразите вначале диаграмму для s , выделите моменты, соответствующие фронтам, а затем изобразите сигнал d и по его значениям в моменты фронтов определите сигнал q .

Динамический D – триггер по схеме «трех триггеров» - это второй вариант построения схемы. Подобно предыдущему двухступенчатому триггеру он использует двухфазную синхронизацию и выполняет запись входного сигнала по фронту синхроимпульса.

Хранение данных выполняет основной *nrns*-триггер на элементах *ddb* и *ddb6*), имеющий установочные входы *ns*, *nr*. Подготовку новых данных выполняют два вспомогательных триггера на элементах *ddl* – *ddl4* . (рис. 6.9).

1. Фаза подготовки данных $s = 0$. В соответствии с правилом для элементов И – НЕ получим $nr = ns = 1$, следовательно, основной триггер будет находиться в режиме хранения исходного состояния триггера. По схеме можно получить, что при $s = 0$ элементы $dd1$ – $dd4$ работают как инверторы. В результате на входах триггера формируются сигналы d и nd .
2. Фронт синхросигнала s – запись нового состояния, которое определяет сигнал d .

Если $c = 1$ и $d = 1$, то $ns = 0$. В соответствии с правилом работы триггера получим $q = 1$.

Если $c = 1$ и $nd = 1$, то $nr = 0$, получим $q = 0$.

3. Фаза хранения нового состояния $c = 1$. Вспомогательные триггеры () переходят в состояние хранения нового значения сигнала d .

Запись входного информационного сигнала d при появлении фронта тактового сигнала c выполняют два входных коммутирующих триггера (элементы $ddl - dd4$), которые подготавливают входной сигнал d для записи в момент действия фронта сигнала c и сохраняют это значение, пока $c=1$, что обеспечивает отсутствие прозрачного режима. показывает, что срабатывание происходит только по фронту импульса.

Для записи 1 необходимо заблаговременно подать входной информационный сигнал (например, $d = 1$), а затем сформировать фронт $c = 0 \Rightarrow 1$. В момент фронта сигнала c на выходе элемента $dd2$ появляется сигнал $ns = 0$, который устанавливает основной триггер в состояние $q = 1$. Одновременно этот сигнал поступает на входы элементов $ddd1$ и $dd3$, на выходах которых будет сохраняться единичные сигналы. На изменения входного сигнала схема уже не будет реагировать. Запись нового состояния возможна только после перехода в режим хранения $c=0$ и появления затем следующего фронта сигнала c .

```
// динамический D-триггер
module v45_d_din (c, d, q);
  input c, d;
  output q;      reg q;
  always @ (posedge c) q = d;
endmodule
```

При $d = 0$ по фронту сигнала c на выходе элемента $dd3$ формируется сигнал $nr = 0$, который и устанавливает основной триггер в состояние $q=0$.

Схема динамического триггера в графическом редакторе приведена на рис. 5.10., на схеме используются только прямой выход триггера q .
для разработки теоретических временных

диаграмм изобразите диаграмму для c , выделите моменты, соответствующие фронтам, затем изобразите сигнал d и по его значениям в моменты фронтов определите сигнал q . При моделировании ввод тестовых входных сигналов можно выполнять экспериментально, многократно запуская моделирование. Вначале следует установить время моделирования 6 мкс. (File > End Time) и шаг сетки 60 нс.(Options > Grid Size), подать синхросигнал, выбирая множитель 2, добавить сигнал для остальных входов D и получить экспериментальное подтверждение правильности его функционирования во всех возможных режимах. Опишите принцип работы триггера по схеме и особенности его применения.

Описание динамического D - триггера выполняется последовательным оператором с ключевым словом *always*, в списке чувствительности которого указано срабатывание по фронту синхросигнала. Фронт сигнала обозначается *posedge* (positive edge – положительный край). Для выходного сигнала q указан тип *reg*. Последовательный оператор читается так: «всегда по событию фронт c присваивать $q = d$ ».

Задание 5.4. Исследование динамическИХ D – триггерОВ.

Изучите § 5.4. Разработайте иерархический проект для исследования динамических триггеров с именем *sv54_ddin*, содержащий три модуля:

- двухступенчатый динамический D – триггер с именем *s54_d2st* по схеме (рис. 5.25),
- динамический D – триггер по схеме трех триггеров ((рис. 5.26) с именем

s45_d3tr;

- динамический D – триггер по описанию с именем v45_d_din .

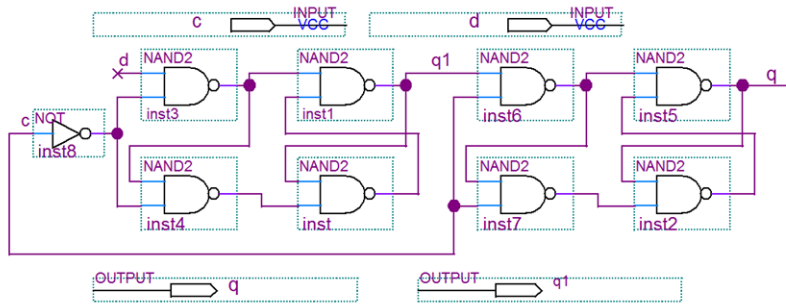


Рис. 5.25. Схема s54_2st

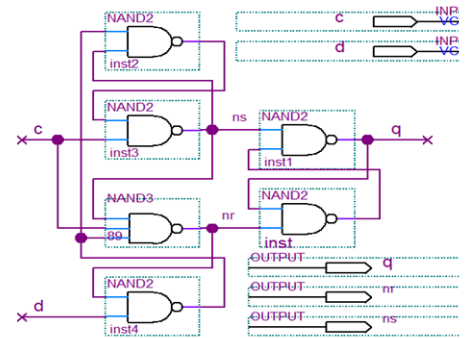


Рис. 5.26. Схема s54_d3tr

Вначале для каждого из модулей нижнего уровня создайте проект, выполните этапы 1 – 5, создайте символ. Затем создайте проект верхнего уровня с именем sv54_ddin по схеме ((рис. 5.27)), выполните этапы 1 – 9, , разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы , определите временные задержки.

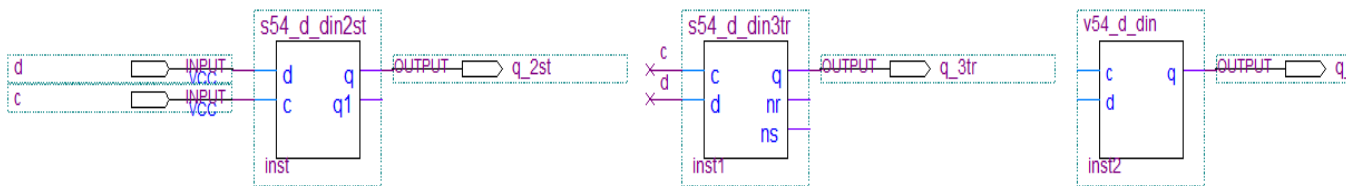


Рис. 5.27. Схема ssv66_d_din

В отчете приведите символ и схему триггера, опишите таблицы истинности. Опишите работу триггера с указанием сигналов на схеме. Поясните разработку теоретических временных диаграмм, предназначенных для наглядно отображения всех возможных режимов работы.

Анализ временных диаграмм. Выделим моменты изменения сигналов d и c.

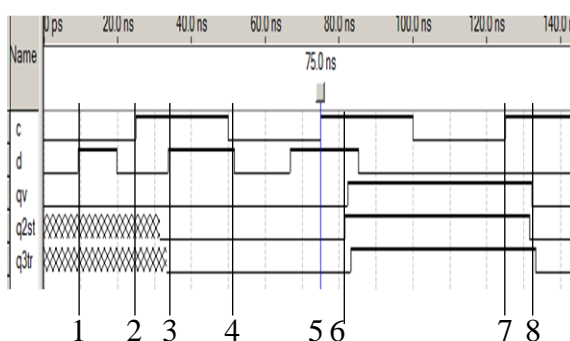


Рис. 5.28. Временные диаграммы

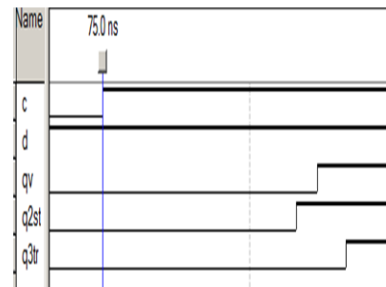


Рис. 5.29. Измерение задержек

1.

Исходное состояние – первый такт, c = 0, d – изменяется. Динамические триггеры прозрачного режима не имеют, поэтому

выходной сигнал q не изменяется, в момент включения значение q не может быть определено компилятором.

2. Момент фронта синхросигнала, c, изменение его от 0 к 1. Запись данных, сигнал d, передается на выход q с некоторой задержкой. В момент действия фронта d = 0, поэтому q принимает значение 0..

3 – 4. Сигнал d изменяется, но на выход эти изменения не передаются.

5. В динамических триггерах запись $q = d$ выполняется по фронту синхросигнала.

6. Выходное напряжение $q = d = 1$ появляется с задержкой.

7. Фронт, запись $q = d = 0$.

8. Появление $q = 0$ с задержкой.

Для измерения задержек маркер установлен на фронт синхроимпульса и увеличен масштаб (рис. 5.29).

Выполните программирование и подключение ПЛИС.

Опишите процесс исследования работы устройства в различных режимах с использованием для ввода и вывода сигналов кнопок и светодиодов.

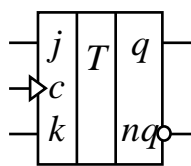


Рис. 5.30. Символ jk - триггера

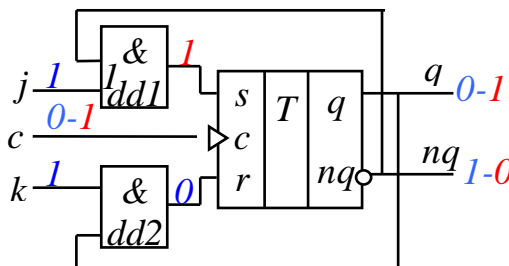


Рис. 5.31. Структура jk - триггера

§ 5.5. JK-триггер.

В jk - триггере имеются отдельные установочные входы: j - установка единицы, k - установка нуля, запрещенная комбинация входных сигналов устранена за счет использования в схеме

обратных связей. Комбинация $j = k = 1$ вызывает изменение состояния триггера на противоположное.

Схема jk - триггера содержит динамический RS - триггер и схему управления на элементах $dd1$, $dd2$, на входы которых подаются сигналы обратной связи с выходов триггера. Сигналы обратной связи обеспечивают передачу на установочные входы s и r только разрешенные для текущего состояния сигналы.

c	j	k	q_n	q_{n+1}	Режим
x	x	x	0	0	хранения
x	x	x	1	1	
↑	0	0	0	0	
↑	0	0	1	1	
↑	0	1	0	0	Установка а 0
↑	0	1	1	0	
↑	1	0	0	1	Установка а 1
↑	1	0	1	1	
↑	1	1	0	1	Инверсия состояния
↑	1	1	1	0	

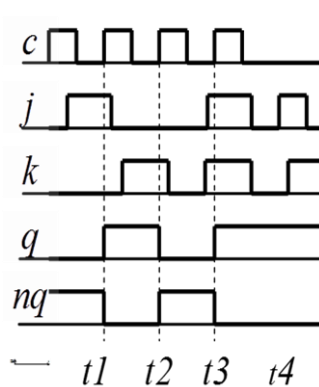


Рис. 5.29. Работа jk - триггера

Элемент $dd1$ формирует сигнал установки RS – триггера в 1: $s = j \cdot nq$. Этот сигнал примет значение 1, если исходное состояние триггера $q = 0$ (следовательно, $nq = 1$) при подаче $j = 1$. На схеме (рис. 5.28) показаны сигналы для исходного состояния $q = 0$ (отмечены синим). На входы триггера подаются одновременно

сигналы установки триггера в 1 и в 0 ($j = k = 1$). По фронту синхросигнала c произойдут изменения сигналов, показанные красным. Появится сигнал установки в единицу $s = 1$, и триггер перейдет в состояние $s = 1$, противоположное исходному (отмечено красным). Сигнал обратной связи $nq = 1$, поданный на элемент $dd1$, разрешает формирование только одного сигнала установки $s = 1$, так как $q = 0$.

Таблица истинности, которая показывает, что при любых постоянных значениях входных сигналов ($c = j = k = x$) триггер находится в режиме хранения данных.

Запись 0 или 1 происходит только по фронту синхросигнала, что показано в таблице стрелкой для сигнала c .

Для построения теоретических временных диаграмм (рис. 5.19) вначале изображена диаграмма для синхроимпульсов (меандр), затем отмечены моменты времени, соответствующие фронтам импульсов (пунктир). Затем изображены информационные сигналы для установки триггера в определенные состояния: установка 1 (момент времени t_1), установка 0 (момент времени t_2), инверсия состояния (момент времени t_3). Сигналы установки j и k должны принять необходимые значения заблаговременно, перед появлением фронта синхросигнала. Все интервалы, соответствующие статическим состояниям сигналов определяют режим хранения.

```
module v55_jk (c, j, k, q);
input c, j, k; output q; reg q;
always @ (posedge c)
if (~j & k) q = 0;
else if (j & ~k) q = 1;
else if (j & k) q = ~q;
endmodule
```

Описание JK-триггера на языке Verilog
последовательным оператором выполнено с учетом таблицы истинности. Вложенные операторы if выполняют выбор варианта для присваивания требуемого значения выходному сигналу q

Задание 5.5. Исследование работы JK-триггера.

Изучите § 5.5. Разработайте проект для исследования JK-триггеров по описанию с именем `v55_jk`. выполните этапы 1 – 9.

В отчете приведите символ триггера, таблицу истинности, временные диаграммы. Выполните анализ временных диаграмм и измерение временных задержек.

§ 5.6. Счетные триггеры

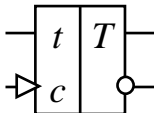


Рис.. 5.30. Символ счетного триггера

Счетный триггер предназначен для построения счетчиков, он изменяет свое состояние на противоположное по каждому фронту входных синхроимпульсов c . Вход t (toggle – переключение) является управляющим. Для разрешения счета необходимо подать $t = 1$. В неуправляемом триггере ход t

отсутствует.

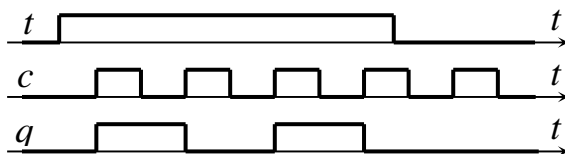


Рис.. 5.31. Временные диаграммы работы счетного триггера

```
// Счетный триггер
module v56_t (c, t, q);
input c, t;
output q; reg q;
always @ (posedge c)
if (t) q = ~q; endmodule
```

Описание счетного триггера на Verilog содержит последовательный оператор, который читается так: «всегда по фронту сигнала c , если $t = 1$, то присваивать сигналу q инверсное значение.

Теоретические временные диаграммы (рис. 5.31) поясняют работу Т – триггера. При $t = 1$ триггер изменяет состояние на противоположное по каждому фронту синхросигнала s . При $t = 0$ триггер переходит в состояние хранения.

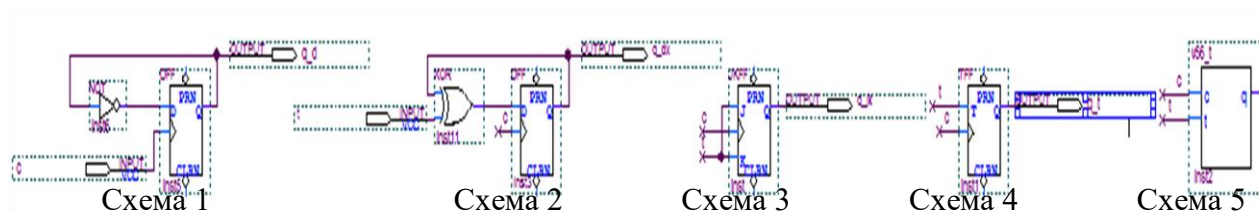


Рис. 5.32. Счетные триггеры

Счетные триггеры строятся на основе динамических триггеров типов D или JK , варианты построения схем приведены на рис. 5.32.

В схеме использованы комбинированные триггеры из библиотеки / libraries / primitives / storage. Буквы «FF» в обозначениях триггеров - от английского flip-flop-триггер. Библиотечные триггеры имеют несколько входных сигналов, синхронных и асинхронных. Входы D , J , K являются синхронными информационными входами. Они срабатывают синхронно с фронтом синхросигнала C , это определяет треугольник в обозначении входа C . Триггеры имеют также асинхронные установочные входы, обозначенные PRN - Preset Negative – инверсный вход установки 1 (подобный ns) и CLRN - Clear Negative – инверсный вход установки 0 (nr). На схеме эти входы никуда не подключены, они не будут влиять на работу триггера, по умолчанию на эти входы компилятор подаст сигнал 1.

Для построения T -триггера на основе D -триггера необходимо на вход d подать инверсное значение выходного сигнала (q) (Схема 1). В результате по каждому фронту входного синхроимпульса C будет выполняться присваивание выходному сигналу триггера q , инверсного или противоположного значения q . Триггер будет изменять свое состояние на противоположное.

В схеме 2 цепь передачи выходного сигнала на вход d содержит элемент хог (исключающее Или), который является управляемым инвертором. Вход t является сигналом разрешения счета. При $t = 1$ на вход d триггера поступает сигнал $d = q \oplus 1 = \bar{q}$.

Схема 3 содержит счетный триггер, построенный на JK -триггере, который (в соответствии с таблицей истинности) переходит в противоположное состояние по каждому фронту синхроимпульса при подаче сигнала 1 на входы $j = k = 1$. Соединение выводов j и k позволяет получить входной сигнал разрешения счета t . Схема 4 содержит символ счетного триггера, способ построения которого скрыт. Схема 4 содержит символ счетного триггера $v56_t$, полученный в проекте счетного триггера по описанию на Vtrilog.

Задание 5.6. Иерархический проект счетных триггеров.

Создайте проект счетного триггера с именем $v56_t$ по приведенному описанию, выполните этапы 1 – 5, создайте символ.

Создайте иерархический проект счетных триггеров с именем $sv56_t$ по схеме (рис. 5.32), выполните этапы 1-9. Выполните моделирование, определите временные задержки и минимальное допустимое значение периода входных импульсов, при котором сохраняется работоспособность, подтвердите экспериментально результат.

Задание 5.7. Иерархический проект двух D – триггеров по описанию на Vereilog.

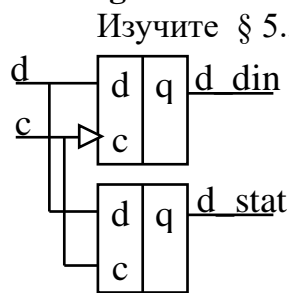


Рис. 5.33.

D -триггеры

Изучите § 5.3, § 5.4. Разработайте описание приведенной схемы (рис. 5.33), содержащей два D-триггера - статический и динамический, которая предназначена для моделирования и сравнительного анализа указанных триггеров. Входы триггеров соединены параллельно, а выходы – отдельные, имеют различные имена. По описанию создайте проект с именем v67_dstat_ddin, выполните моделирование (этапы 1 - 9) и анализ экспериментальных временных диаграмм.

Описание содержит заголовок (строка 2) и назначение входных и выходных сигналов (строки 3 - 5) – общие для двух триггеров. Выходной сигнал динамического триггера, описан как reg (строка 5), он вычисляется последовательным оператором (строка 6) «всегда по фронту с присваивать q_din = d».

Строка 7 - первый вариант описания статического триггера условным параллельным оператором «если c = 1, то q_stat = q, иначе хранение q_stat».

Строки 8 – 10 закомментированы. Это второй вариант описания статического триггера последовательным оператором, в котором после ключевого слова always отсутствует список чувствительности. Выходной сигнал описан как тип reg. Однако, последовательный оператор будет срабатывать на уровень сигнала c = 1, при изменении любого из аргументов, подобно параллельному оператору.

Отключите строку 7, включите строки 8 – 10, убедитесь в работоспособности.

Выполните анализ временных диаграмм, проведите сплошные и пунктирные линии в соответствии с моментами появления фронтов и спадов синхроимпульсов. Опишите выходные сигналы в соответствии с правилами срабатывания триггеров.

Динамический триггер: по фронту синхросигнала выход q_din равен входу d.

В моменты 1, 3, 7, 11 на вход d подается 0, поэтому на выходе q_din устанавливается 0.

В моменты 5, 9 на вход d подается 1, поэтому на выходе q_din устанавливается 1.

Статический триггер при c = 0 имеет режим хранения, а при c = 1 – прозрачный режим, при котором q_stat = d. Запоминается состояние входного сигнала, предшествующее спаду синхроимпульса (или последняя фраза). В моменты 2, 4, 10 спаду синхроимпульса соответствует d = 0, поэтому q_stat устанавливается в 0. На интервале 9 – 10 имеем c = 1 – прозрачный режим, выход q_stat повторяет вход d с задержкой. В момент спада d = 0, поэтому q_stat сохраняет далее значение 0.

```
//два D - триггера      1
module v57_dstat_ddin
(c, d, q_stat, q_din);    //2
input c,d;               //3
output q_stat, q_din;    //4
reg q_din;               //5
always @ (posedge c) q_din = d; //6
assign q_stat = c ? d : q_stat; //7
//reg q_stat;           //8
//always                //9
// if (c) q_stat = d;    //10
endmodule                //11
```

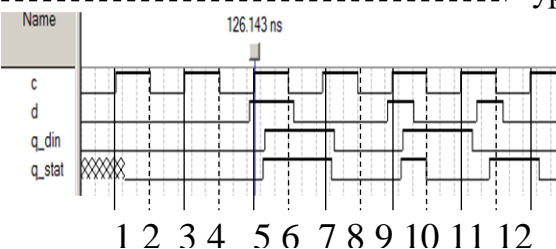


Рис. 5.34. Временные диаграммы

Контрольные вопросы

1. Назначение и типы триггеров.
2. Поясните работу положительной обратной связи в триггере.
3. Для заданного триггера изобразите схему и временные диаграммы, таблицу истинности. Поясните его работу по схеме .
4. Поясните способ построения тестовых сигналов для всех триггеров.
5. Поясните правило функционирования триггеров типа: RS, D, JK, T.
6. Поясните работу статического и динамического D – триггеров по схемам.
7. Поясните способ составления таблиц истинности для заданного триггера