

Рис. 6.16. Задержка в КС

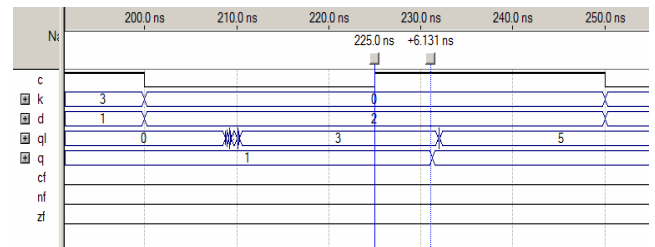


Рис. 5.17. Задержка записи в память

2 этап. Запись выхода КС в память. Начало этапа – фронт синхросигнала, окончание – получение  $q = ql$ . Результат: время записи  $T_{\text{зап}} = 6,1 \text{ нс}$  (рис. 6.17). Максимальное значение имеет задержка в КС:  $T_{\text{мах}} = T_{\text{кс}} = 10,5 \text{ нс}$ .

Определение минимального периода синхронизации и максимальной рабочей частоты. Работоспособность устройства будет обеспечена, если длительность интервала, соответствующего значению  $c = 0$ , превышает задержку в АЛУ:  $T_0 > T_{\text{кс}}$ , а также . длительность интервала, соответствующего значению  $c = 1$ , превышает задержку записи в память:  $T_1 > T_{\text{зап}}$ .

Импульсы синхронизации имеют вид меандра, для которого  $T_0 = T_1 = T_c/2$ . Для того, чтобы обеспечить работоспособность устройства, необходимо выбрать период синхросигнала  $T_c$  так, чтобы длительность интервала  $T_c/2$  превышала максимальную из задержек:  $T_c/2 > T_{\text{мах}}$ , или  $T_c > 2 \cdot T_{\text{мах}}$ . При этом  $F_c = 1/T_c$ .

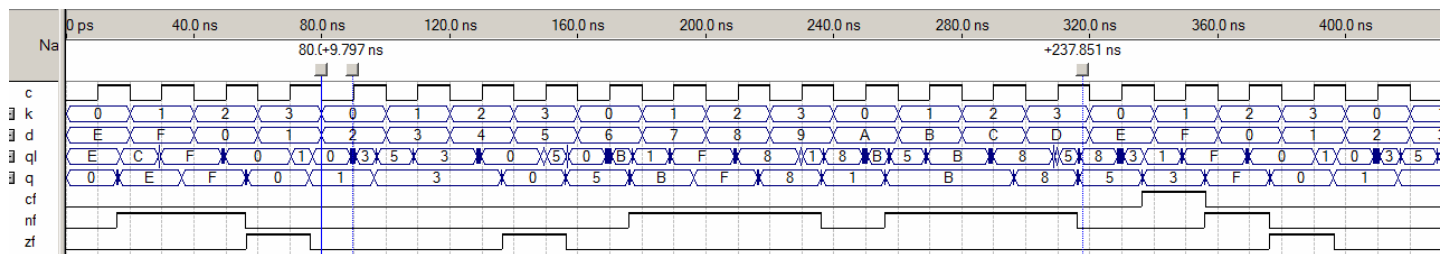


Рис. 6.18. Период синхросигнала 20 нс.

В данном случае максимальную задержку создает комбинационная схема  $T_{\text{кс}} = 10,5 \text{ нс}$ ., выбираем предельное значение периода синхросигнала  $T_c = 20 \text{ нс}$ .

Экспериментальная проверка при установке параметров Period 20 ns и Count every 20 ns показывает, что работоспособность устройства сохраняется. Сравнение диаграмм (рис. 6.15 и 6.18) показывает совпадение последовательностей кодов на шине  $q$  и признаков. Максимальная частота синхронизации составит:  $F_c = 1/T_c = 1/20 \cdot 10^{-9} = 50 \cdot 10^6 = 50 \text{ МГц}$ .

### Контрольные вопросы

1. Классификация, области применения регистров
2. Классификация типов сдвигов. Какие сдвиги реализуются в регистрах?
3. Опишите работу универсального регистра в режиме параллельной загрузки.
4. Опишите работу универсального регистра в режиме сдвига.
6. Изобразите алгоритм преобразования параллельного кода в последовательный.
6. Изобразите алгоритм преобразования последовательного кода в параллельный.
7. Поясните способы описания регистров на языке Verilog.
8. Какими свойствами обладает псевдослучайная последовательность кодов?
9. Какими свойствами обладает операция сумма по модулю два?
10. Изобразите схему АЛУ комбинационного типа, поясните его работу.
11. Составьте описание на Verilog АЛУ комбинационного типа.
12. Изобразите теоретические временные диаграммы для АЛУ комбинационного типа.

## Работа 7. Счетчики

### § 7.1. Функциональное назначение и типы счетчиков

Счетчик – цепочка последовательно включенных счетных триггеров, каждый из которых делит частоту повторения входных импульсов на два.

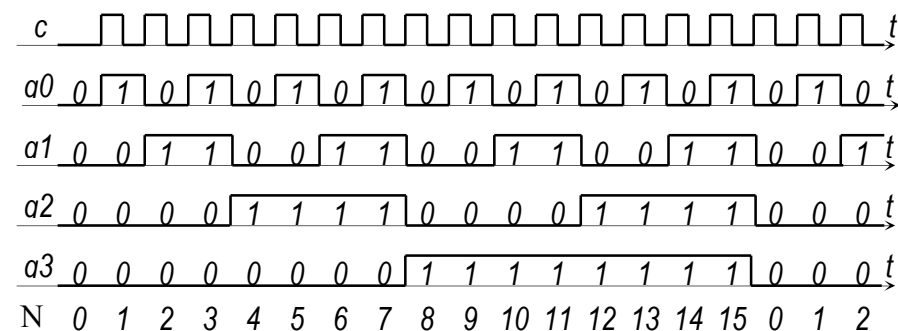
## Применение счетчиков.

1. Подсчет числа импульсов, поданных на его вход и выдача результата в виде кода.
2. Деление частоты; формирование последовательностей импульсных сигналов.
3. Формирование последовательностей линейно изменяющихся кодов;
4. Формирование модулированных импульсных последовательностей.

## Классификация счетчиков.

1. По наличию синхронизации различают асинхронные или синхронные счетчики.
2. По направлению счета различают суммирующие, вычитающие, реверсивные счетчики.
3. По способу кодирования внутренних состояний различают двоичные счетчики, счетчики в коде Грея, счетчики с кодом "1 из N" и др.

Двоичным счетчиком называется счетчик, имеющий модуль  $M = 2^n$ , где  $n$  - целое число. Модуль определяет число возможных состояний счетчика. После поступления на счетчик  $M$  входных сигналов начинается новый цикл, повторяющий предыдущий. Состояния счетчика отображаются последовательностью двоичных чисел, десятичными эквивалентами которых будут числа  $0, 1, 2, 3, \dots, M-1$ .



Теоретические временные диаграммы двоичного счетчика (рис. 7.1). показывают, что состояния младшего разряда изменяются на противоположные в каждом периоде входной частоты, выполняется чередование нулей и единиц вида 01010101. В следующем разряде наблюдается последовательность

пар нулей и единиц вида 00110011... В третьем разряде образуется последовательность из четверок нулей и единиц 00001111... и т.д. Таким образом, следующий по старшинству разряд переключается с частотой, в два раза меньшей, чем данный. Счетчик может быть построен в виде цепочки последовательно включенных счетных триггеров с динамическим управлением (Т-триггеров), построенных на триггерах типа D, или JK.

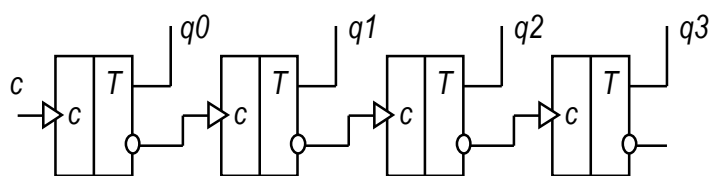


Рис. 7.2. Асинхронный суммирующий счетчик

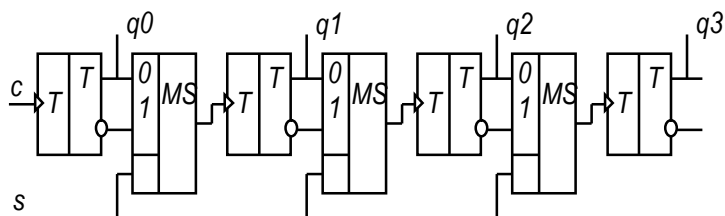


Рис. 7.3. Реверсивный счетчик

**Асинхронный счетчик** - цепочка триггеров, тактовый вход каждого из которых подключен к выходу предыдущего триггера (рис. 7.2). Сигнал на вход последнего триггера приходит лишь тогда, когда все предыдущие триггеры переключились.

**В суммирующем счетчике** следующий разряд переключается при переходе предыдущего в направлении 1-0 (спад импульса), а в вычитающем - наоборот, при переключении 0-1 (фронт импульса).

Если схема построена на счетных триггерах с прямым динамическим управлением (по фронту синхроимпульсов), то для получения суммирующего счетчика необходимо подключить счетные входы триггеров (обозначенные треугольником) к инверсным выходам предыдущих разрядов и подать сигнал 1 на вход T.

Для получения вычитающего счетчика входы счетных триггеров необходимо при подключить к прямым выходам предыдущих триггеров..

**Реверсивный счетчик** (рис. 7.3) получается путем переноса точки съема сигнала с триггера на противоположный выход под действием управляющего сигнала  $s$  (sign) помощью мультиплексора.

Асинхронные счетчики используются в простых схемах, они не требуют внешней синхронизации, позволяют увеличивать разрядность подключением необходимого числа

триггеров. Недостатками асинхронных счетчиков являются сравнительно низкое быстродействие и зависимость его от числа разрядов.

$$\begin{array}{r} + 0111 \\ 01000 \\ \hline \end{array} \quad \begin{array}{l} q_n \\ q_{n+1} \end{array}$$

**В синхронных счетчиках** срабатывание всех триггеров происходит одновременно по фронту синхроимпульсов, которые подаются на входы С всех разрядов. Для управления процессом переключения используются управляющие входы J, К, или Т.

В примере выделены рамкой все разряды, которые инвертируются при инкременте (прибавление 1) счетчика. Эти разряды имеют в младших разрядах состояние 1, на входы Т этих разрядов необходимо подать 1.

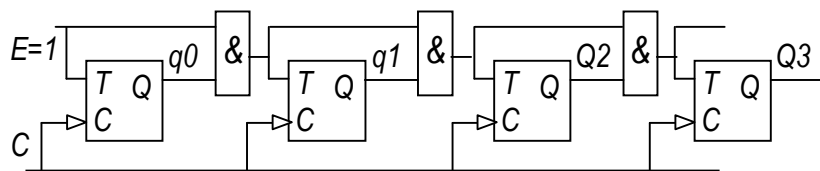


Рис. 7.4. Синхронный суммирующий счетчик

Формирование сигналов Т выполняют логические элементы И, которые, образуют цепи ускоренного переноса. Для нулевого разряда триггер должен срабатывать всегда, если разрешение счета  $E = 1$ , поэтому  $T_0 = E$ . Первый триггер должен изменять

состояние, если  $E = 1$  и  $Q_0 = 1$ , поэтому  $T_1 = E \cdot Q_0$ . Подобные рассуждения позволяют записать:  $T_2 = E \cdot Q_0 \cdot Q_1$ ;  $T_3 = E \cdot Q_0 \cdot Q_1 \cdot Q_2$  и т. д. В синхронном счетчике сигнал 1 быстро пробегает через цепь ускоренного переноса до первого триггера, состояние которого 0. Сигнал С выполнит инверсию этих триггеров, для которых  $T = 1$ . Синхронные счетчики обеспечивают высокое быстродействие и строгую синхронизацию момента срабатывания, используются для построения широкого круга вычислительных устройств.

```
//Реверсивный четчик
module v71_revcnt (c,n);
input c, dnp;
output [3:0] n; reg [3:0] n;
always @(posedge c)
if (dnp) n = n-1;
else n = n+1;
endmodule
```

В описании реверсивного счетчика на Vtrilog v72\_cnt указан входной сигнал с, сигнал направления счета dnp (по умолчанию - одноразрядный) и 4-разрядный выходной сигнал q типа reg. Работу счетчика описывает последовательный оператор, который изменяет состояние триггера «всегда по фронту с». При условии  $dnp = 1$  выполняется присваивание  $n = n-1$  (вычитание), иначе выполняется суммирование  $n+1$ .

### Задание 7.1.

1. Создайте проект с именем s71\_counters .по схеме (рис. 7.5), которая содержит асинхронный (схема 1) и синхронный (схема 2) счетчики. На входы обоих счетчиков подаются одинаковые синхросигналы с. Выходом асинхронного счетчика является шина q, а выход синхронного счетчика – шина w.

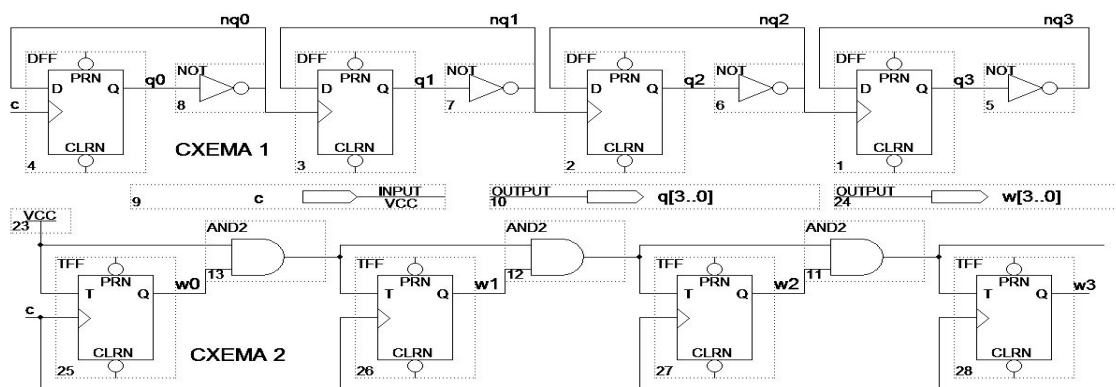


Рис. 7.5. Схема проекта s71 counters

Выполните этапы 1-9. По экспериментальным временным диаграммам определите временные задержки сигналов на выходах триггеров асинхронного и синхронного счетчиков. Определите **период синхросигнала**, а также периоды сигналов w0, w1, w2, w3. Для этого необходимо представить шину w в виде отдельных сигналов (разгруппировать -- ungroup), установить маркер на начало периода, а указатель – на его окончание, или на начало следующего периода.

100 ns

Для асинхронного счетчика определите состояния, которые принимает код счетчика при

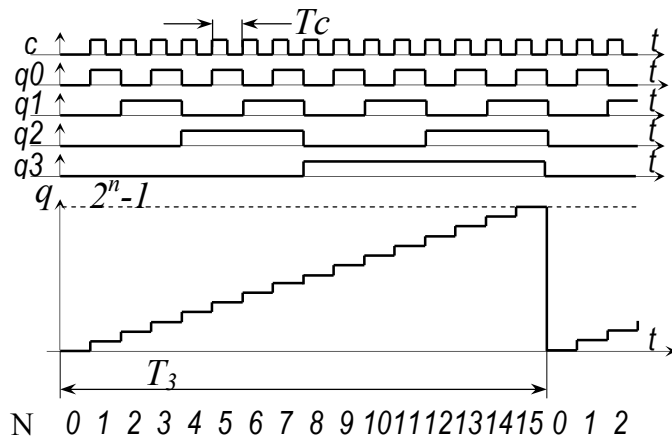


Рис. 7.6. Работа делителя частоты

показывает, во сколько раз делитель уменьшает частоту импульсов и увеличивает период их повторения выходного сигнала в сравнении с входным сигналом:  $k = F_c / F_{n-1} = T_{n-1} / T_c$ . Коэффициент деления частоты  $n$ -разрядного счетчика  $k$  равен  $2^n$ , а период повторения импульсов с выхода старшего разряда содержит  $2^n$  периодов входной частоты (рис. 7.6). Для определения коэффициента деления вначале вычисляется отношение заданных частот, а затем выбирается ближайшее большее число, являющееся степенью числа 2.

Например, для вывода мигающих сигналов на светодиоды необходимо сформировать импульсы с частотой мене 4 Гц. Тактовая частота генератора синхросигналов на отладочной плате составляет 60 МГц. Для получения импульсов с частотой 4 Гц необходим коэффициент деления  $60\,000\,000 / 4 = 15 \cdot 10^6$ . Учитывая, что  $2^{10} = 1024$ , требуемый коэффициент можно приближенно записать как произведение сомножителей, кратных степени числа 2 в виде:

$$M = 16 \cdot 1024 \cdot 1024 = 2^4 \cdot 2^{10} \cdot 2^{10} = 2^{24}.$$

Описание 24-разрядного счетчика приведено в задании Описание многоразрядного

### Задание 7.2. Реверсивный счетчик на отладочной плате.

Создайте иерархический проект с именем sv72\_reverscnt по схеме (рис. 7.7) для исследования работы реверсивного счетчика с использованием отладочной платы.

Создайте проект модуля нижнего уровня – реверсивного счетчика с именем v71\_revcnt по описанию, выполните ввод описания, компиляцию, моделирование, создайте символ (этапы 1-9).

Создайте проект модуля нижнего уровня – делителя частоты с именем v72\_24cnt по

```
module module v72_24cnt (c,s);
input c;
reg [23:0] q;
output s;
always @(posedge c) q=q+1;
assign s=q[23];
endmodule
```

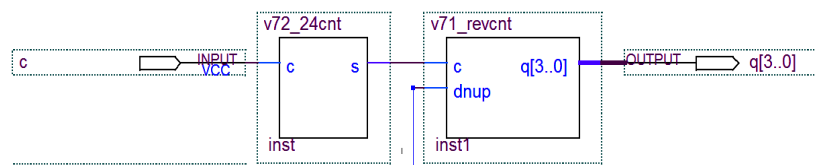


Рис. 7.7. Схема проекта sv72\_reverscnt

описанию, выполните ввод описания, компиляцию, создайте символ (этапы 1-5). Для моделирования 24-рядного счетчика требуется более часа времени, так как симулятор должен выполнить огромное количество циклов моделирования отдельных периодов. Проверку работоспособности описания можно выполнить, уменьшая разрядность делителя частоты (4 разряда вместо 24-х).

Создайте проект верхнего уровня с именем sv72\_reverscnt по схеме (рис. 7.7). Выполните ввод схемы, компиляцию, подключение отладочной платы (этапы 1-4, 10). Убедитесь в работоспособности схемы, подавая сигнал направления счета от кнопки, а сигналы с выходов разрядов реверсивного счетчика – на светодиоды. Экспериментально определите период мигания одного из светодиодов путем измерения интервала времени, соответствующего 10 периодам сигнала.

### § 7.3. Управляемые делители частоты

переходе из состояния 7 в состояние 8, а также из состояния f в состояние 0, используя увеличенный масштаб отображения временных диаграмм.

### § 7.2. Делители частоты

При использовании счетчика в качестве делителя частоты на его вход подается синхросигнал с фиксированной (опорной) частотой  $F_c$  и периодом  $T_c = 1 / F_c$  (рис. 7.6). Каждый триггер в счетчике делит частоту на 2, поэтому коэффициент деления  $n$  – разрядного счетчика равен его модулю:  $k = M = 2^n$ . Каждый триггер делителя формирует на выходе прямоугольные импульсы типа «меандр». Коэффициент деления

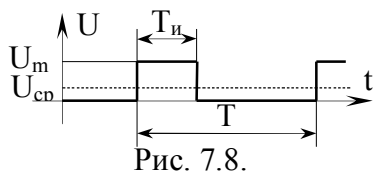


Рис. 7.8.

Делители частоты используются в схемах формирователей модулированных импульсных сигналов.

Последовательность прямоугольных импульсов характеризуют 3 параметра:  $U_m$  - амплитуда импульсов,  $T_n$  - длительность импульса,  $T$  - период повторения импульсов. Дополнительно можно определить частоту повторения импульсов  $F$ , коэффициент заполнения  $k$ , среднее значение напряжения за

период  $U_{cp}$ , скважность  $Q$ , длительность паузы  $T_n$ . Коэффициент заполнения  $k$  определяет степень заполнения периода импульсом и как следствие – величину среднего за период напряжения  $U_{cp}$ . Импульсы типа «меандр» имеют  $k = 0,5$ ;  $U_{cp} = 0,5 U_m$ ;  $T_n = T/2$ .

$$F = \frac{1}{T}; \quad k = \frac{T_n}{T}; \quad U_{cp} = k \cdot U_m = \frac{U_m \cdot T_n}{T}; \quad Q = \frac{1}{k}; \quad T_n = T - T_u;$$

Модуляция - это изменение величины (или модуля) определенного параметра несущего сигнала в соответствии с передаваемым – модулирующим - сигналом. При изменении амплитуды импульсов (при постоянных значениях периода и длительности импульсов) формируются импульсная последовательность с амплитудно-импульсной модуляцией (АИМ). Подобным образом изменение длительности или частоты повторения импульсов позволяет получить модулированные импульсные последовательности с широтно-импульсной модуляцией (ШИМ), либо с частотно- импульсной модуляцией (ЧИМ). Модулированные импульсные последовательности используют для передачи сигналов через каналы связи, в устройствах аналогового вывода сигналов, в импульсных источниках питания.

Частотно-импульсную модуляцию (ЧИМ) выполняют управляемые делители частоты, содержащие счетчики, коэффициент пересчета которых зависит от входного кода. Они выполняют преобразование «код – частота».

Максимальный коэффициент деления частоты  $n$ -разрядного счетчика  $k_{max}$ , который показывает, во сколько раз выходная частота меньше, чем входная, определяется модулем  $M$ , или числом кодовых комбинаций, которое может принимать код счетчика:  $k_{max} = M = 2^n$ . При этом период повторения импульсов с выхода старшего разряда на счетчика  $t_3$  (рис 7.6) содержит  $2^n$  периодов входного сигнала  $t_c$ .

Коэффициент пересчета управляемых делителей частоты – УДЧ, (которые называются также счетчиками с произвольным модулем), зависит от входного кода  $n$ . Для построения УДЧ используют способ исключения лишних состояний в конце, или в начале процесса счета.

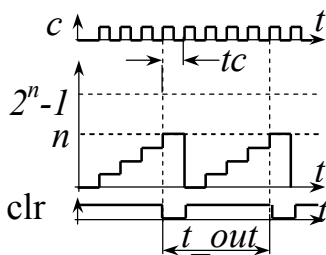
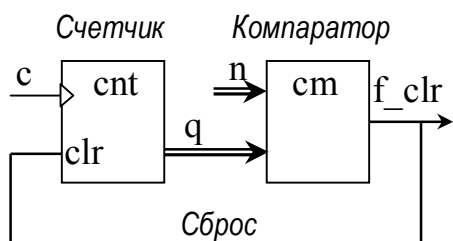


Рис. 7.9. Управляемый делитель частоты, вариант 1

Первый вариант построения УДЧ. Используется исключение последних состояний счетчика в конце процесса счета путем его принудительного сброса, если код на выходе  $q$  достиг значения, равного входному коду  $n$  (Рис. 7.9). В соответствии с постановкой задачи построена схема, в которой код

счетчика изменяется от нуля до заданного кода  $n$  (рис. 7.9). Сброс счетчика выполняет отрицательный импульс  $clr_n$ , который формирует компаратор кодов при равенстве  $q = n$ , в соответствии с логической функцией.

$$clr = (q_3 \oplus n_3) \vee (q_2 \oplus n_2) \vee (q_1 \oplus n_1) \vee (q_0 \oplus n_0).$$

Выходным сигналом УДЧ являются отрицательные импульсы с компаратора, период повторения и частота которых являются функциями входного кода  $n$ , зависящими от способа сброса счетчика.

Асинхронный сброс счетчика выполняется при

```

//control divider variant 1
module v73_cdiv1 (c, q, n, clr);
input c;
input [3:0] n;
output clr;
output [3:0] q; reg [3:0] q;
assign clr = (q[3]^n[3])|(q[2]^n[2])|
(q[1]^n[1])|(q[0]^n[0]);
always @(posedge c)
if (clr) q = q + 1; else q = 0;
endmodule

```



подаче импульса с выхода компаратора на сход счетчика  $clrn$ , показанный на рис. 7.11. В этом случае после появления кода счетчика  $n$  происходит его обнуление. Код счетчика принимает значения  $0, 1, \dots, n-1, 0 \dots$ . Последовательность кодов имеет параметры :  $t_{out} = n \cdot tc$ ;  $f_{out} = 1/(n \cdot tc)$ . При асинхронном сбросе выходной сигнал содержит помехи типа «иголками».

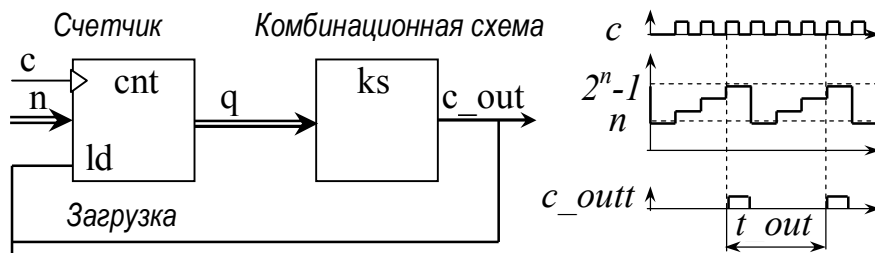


Рис. 7.10. Управляемый делитель частоты, вариант 2

Синхронный сброс счетчика выполняется путем параллельной загрузки по фронту синхросигнала в счетчик кода  $n = 0$ . Сигнал сброса сохраняется весь период, для которого код счетчика равен входному коду, как показано на диаграммах (рис. 7.9). Код счетчика принимает значения  $0, 1, \dots, n-1, n, 0 \dots$ . Последовательность кодов имеет параметры :  $t_{out} = (n + 1) \cdot tc$ ;  $f_{out} = 1/t_{out}$ .

```
//control divider variant 2
module v73_cdiv2 (c, q, n, cout);
input c;
input [3:0] n;
output cout;
output [3:0] q; reg [3:0] q;
assign cout=q[3]& q[2] & q[1]& q[0];
always @(posedge c)
if(cout) q = n; else q = q +1;
endmodule
```

Описание управляемого делителя вариант 1 на языке Verilog (с именем  $v73\_cdiv1$ ) содержит параллельный оператор (assign) для формирования сигнала сброса  $clr$  отрицательной полярности, а также последовательного оператора (always) для управления счетчиком. Сигнал  $clr$ , записанный в скобках в операторе if, является условием. Если  $clr = 1$ , то выполняется инкремент счетчика, иначе, при  $clr = 0$  выполняется сброс. Синхронный сброс использован в приведенной схеме (рис. 7.11), он обеспечивает более надежную работу и уменьшение помех в выходном сигнале.

Второй вариант построения УДЧ. Используется исключение первых состояний счетчика путем загрузки начального кода при переполнении. В данной схеме счетчик работает в режиме суммирования. При увеличении кода до максимального значения  $1111_2$ , возникает импульс переполнения, или выходного переноса  $c_{out}$  положительной полярности, который подается на вход синхронной параллельной загрузки  $ld$ . В результате происходит запись в счетчик параллельного кода, поданного на вход  $n$ . Период повторения и частота выходных импульсов  $c_{out}$  зависят от входного кода  $n$ :  $t_{out} = (2^n - n) \cdot tc$ ;  $f_{out} = 1/t_{out}$ .

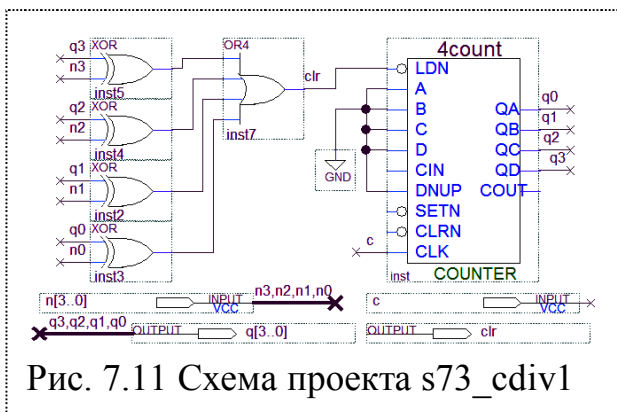


Рис. 7.11 Схема проекта  $s73\_cdiv1$

моделировании (Рис. 7.11)используется 4-разрядный реверсивный счетчик с параллельной загрузкой, имеющий следующие выходы.

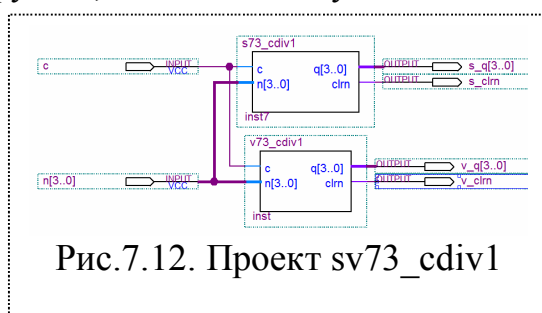


Рис.7.12. Проект  $sv73\_cdiv1$

$A, B, C, D$  - входные данные, параллельный код;  $QA, QB, QC, QD$  – выходные данные;  $CIN$  входной перенос;  $COUT$  - выходной перенос;  $LDN$  (Load Negative) отрицательный сигнал, управляющий синхронной параллельной загрузкой входных данных, которая происходит по фронту синхроимпульса  $CLK$ , при  $LDN = 0$ ;  $SETN$  - асинхронная параллельная загрузка;

$CLRN$  - асинхронная очистка;  $DNUP$  - направление счета.

Это библиотечный элемент 4count из библиотеки others / maxPlus2.

### Задание 7.3. Исследование управляемых делителей частоты

1. Создайте иерархический проект управляемого делителя вариант 1 с именем sv73\_cdiv1, содержащий два модуля, для каждого из которых необходимо вначале создать проекты и символы (этапы 1-5). Модуль с именем s73\_cdiv1 необходимо создать по схеме (рис. 7.11), в которой сигнал clr выполняет синхронный сброс при равенстве  $q = n$ . Модуль с именем v73\_cdiv1 - по описанию, приведенному выше.

Модуль верхнего уровня с именем sv73\_cdiv1 необходимо создать по схеме (рис. 7.12) и Выполнить этапы 1-9.

При моделировании в сигнальном редакторе из меню Edit/End Time установите интервал моделирования 10 us. Для ввода синхросигнала (c) используйте кнопку «Ввод синхросигнала», установите период 50 нс. Сигнал n получите от счетчика (кнопка с буквой C), установите параметры – Radix Hexadecimal, Period – 50 ns, Multiply by 16. Выбранное значение множителя

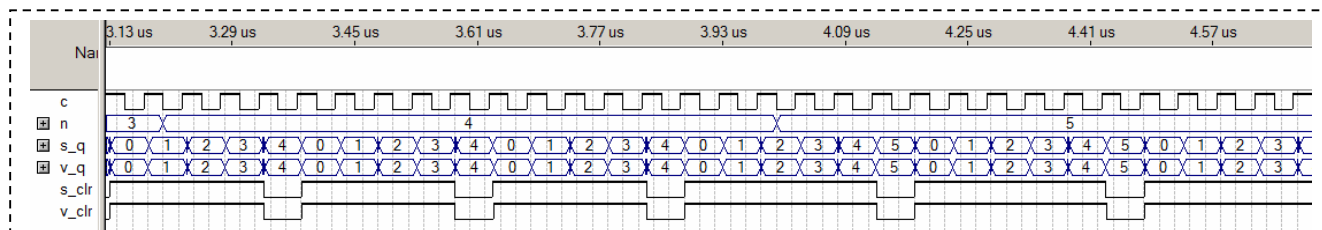


Рис.7.13. Работа проекта sv73\_cdiv1

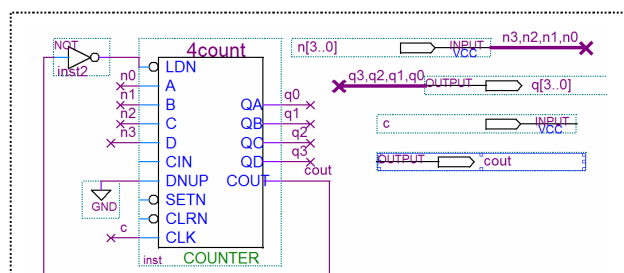


Рис. 7.14 Схема проекта s73\_cdiv2

позволяет получить диаграммы для значений n от 0 до 10.

Составьте таблицу для зависимости периода повторения выходных импульсов от входного кода n. Постройте графики зависимостей периода повторения импульсов от кода и частоты повторения импульсов от кода. Приведите формулы для определения теоретических значений периода и частоты импульсов.

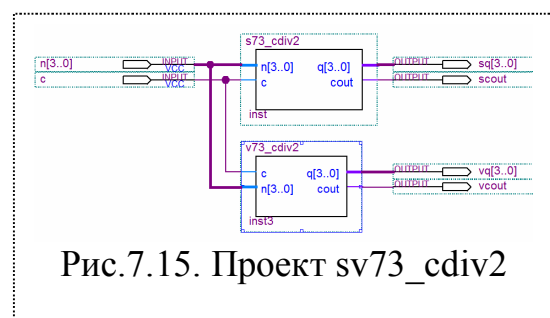


Рис.7.15. Проект sv73\_cdiv2

2. Создайте иерархический проект управляемого делителя вариант 1 с именем sv73\_cdiv2, содержащий два модуля, для каждого из которых необходимо вначале создать проекты и символы (этапы 1-5). Модуль с именем s73\_cdiv2 необходимо создать по схеме (рис. 7.14), а модуль с именем v73\_cdiv2 - по описанию, приведенному выше.

Модуль верхнего уровня с именем sv73\_cdiv2 создайте по схеме (рис. 7.15) и выполните этапы 1-9.

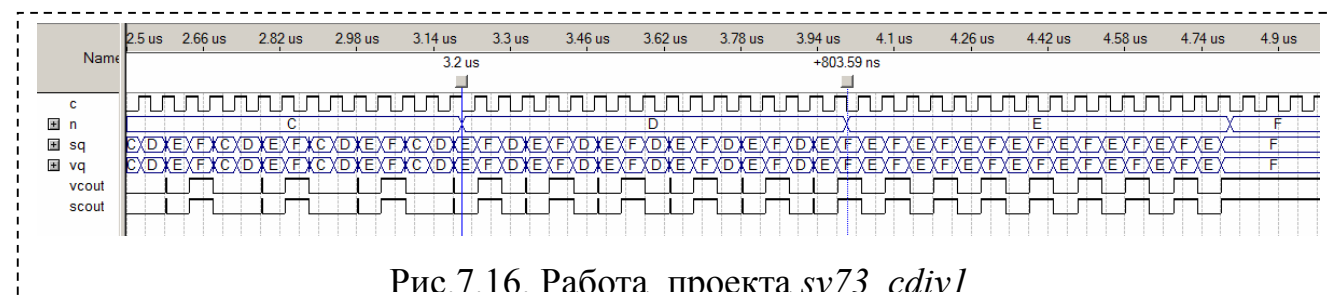


Рис 7 16 Работа проекта sv73\_cdiv1

При моделировании в сигнальном редакторе из меню Edit/End Time установите интервал моделирования 10 us. Для ввода синхросигнала (c) используйте кнопку «Ввод синхросигнала», установите период 50 нс. Сигнал n получите от счетчика (кнопка с буквой C), установите параметры – Radix Hexadecimal, Period – 50 ns, Multiply by 16. Выбранное значение множителя позволяет получить диаграммы для значений n от 0 до 10.

Составьте таблицу для зависимости периода повторения выходных импульсов от входного кода  $n$ . Постройте графики зависимостей периода повторения импульсов от кода и частоты повторения импульсов от кода. Приведите формулы для определения теоретических значений периода и частоты импульсов.

Запишите формулу и составьте таблицу для зависимости периода повторения и частоты выходных импульсов от входного кода  $n$ . Постройте графики зависимостей периода повторения импульсов от кода и частоты повторения импульсов от кода.

Выполните исследование участков временных диаграмм, содержащих ложные сигналы, обусловленные эффектом гонок. Для этого необходимо увеличить масштаб по временной оси и представить коды, содержащиеся на шинах в виде сигналов на проводниках.

#### § 7.4. Широтно-импульсный модулятор

При широтно-импульсной модуляции (ШИМ, PWM) входной модулирующий сигнал вызывает изменение длительности (или ширины) импульсов, при этом изменяется коэффициент заполнения импульсов  $k_{\text{зап}} = T_{\text{имп}} / T$ .

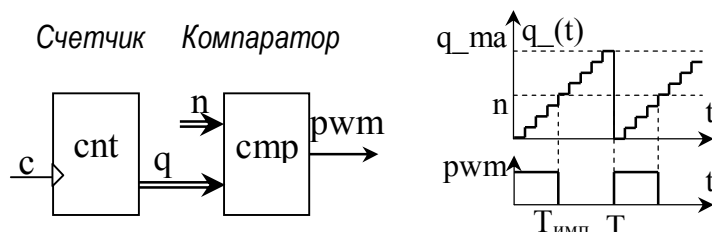


Рис. 7.17. Широтно-импульсный модулятор

Шиотно-импульсные модуляторы выполняют преобразование «код - временной интервал». Работу модулятора поясняет рис. 7.17. Схема широтно-импульсного модулятора содержит счетчик и компаратор. Код двоичного счетчика  $q$  изменяется линейно под действием импульсов тактовой частоты.

Компаратор выполняет сравнение кода

счетчика  $q$  с входным кодом  $n$ . Если текущее значение кода счетчика  $q$  меньше входного кода  $n$ , то сигнал  $pwm$  на выходе компаратора равен 1, а если больше - то 0. В результате длительность импульса равна:  $T_{\text{и}} = T_0 \cdot n$ , а коэффициент заполнения равен:  $K_{\text{зап}} = n / 2^m$ , где  $m$ -разрядность счетчика.

Схема проекта широтно-импульсного модулятора в графическом редакторе (рис. 7.18) содержит счетчик на элементе 4count и компаратор в виде комбинационной схемы, реализующей отношение «больше», на логических элементах and2 ... and6, or4, xnor, формирующий признак «больше», который является выходным сигналом  $pwm$ .

Известно, что для формирования признака «больше» необходимо сравнить поразрядно коды чисел, начиная со старшего разряда. Сигнал  $pwm=1$  при  $n>q$ , если в старшем разряде числа  $n$  записана «1», а числа  $q$  – «0». Если старшие разряды равны, то значение сигнал  $pwm$  будут определять следующие разряды. Схема компаратора построена по следующим логическим

функциям.

$$pwm = n_3 \cdot \overline{q_3} \vee e_3 \cdot n_2 \cdot \overline{q_2} \vee e_3 \cdot e_2 \cdot n_1 \cdot \overline{q_1} \vee e_3 \cdot e_2 \cdot e_1 \cdot n_0 \cdot q_0;$$

$$e_3 = n_3 \oplus q_3; \quad e_2 = n_2 \oplus q_2; \quad e_1 = n_1 \oplus q_1;$$

Модуль счетчика в данной схеме равен  $2^4 = 16$ .

```
//ШИМ-модулятор
module v74_pwm (c, q, n, pwm);
input c;
input [3:0] n;
output [3:0] q;
reg [3:0] q;
output pwm;
always @(posedge c) q = q + 1;
assign pwm = n > q;
endmodule
```

Входной код, обозначенный на схеме как « $n[3..0]$ », может изменяться в диапазоне от 0 до 15. С выхода компаратора снимается сигнал  $pwm$ .

Описание широтно-импульсного модулятора на языке Verilog содержит описание сигналов соответствии со схемой (рис. 7.18). Счетчик описан последовательным оператором, а компаратор – параллельным.

Задание 7.4. Иерархический проект иротно-импульсный модулятор

1) Создайте проект по схеме с именем  $s74\_pwm$ .

Создайте символ.

2) Создайте проект по описанию с именем  $v74\_pwm$ . Создайте символ.



3) Создайте модуль верхнего уровня иерархического проекта с именем *sv74\_pwm*, содержащий модули *s74\_pwm* и *v74\_pwm* для исследования широтно-импульсного модулятора. Выполните этапы 1-9. При моделировании установите время моделирования 50 мкс., множитель для сигнала с равным 1, а для кода d –16.

По результатам моделирования (рис. 7.19) составьте описание работы широтно-импульсного модулятора. Определите по диаграммам направление счета счетчика в приведенной схеме. Запишите формулу и постройте график зависимости коэффициента заполнения выходных импульсов от входного кода. Определите допустимые диапазоны изменения входной и выходной величин устройства, определяющие динамический диапазон и погрешность.

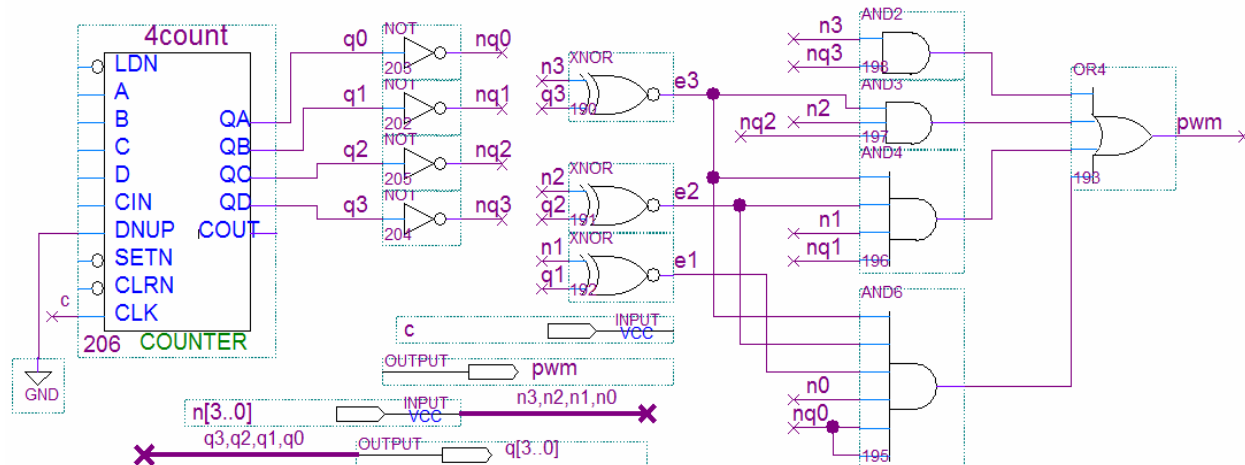


Рис. 7.18. Широтно-импульсный модулятор *s74\_pwm*

4) Измените направление счета на противоположное. Получите временные диаграммы. Опишите работу модулятора, постройте график зависимости коэффициента заполнения выходных импульсов от входного кода.

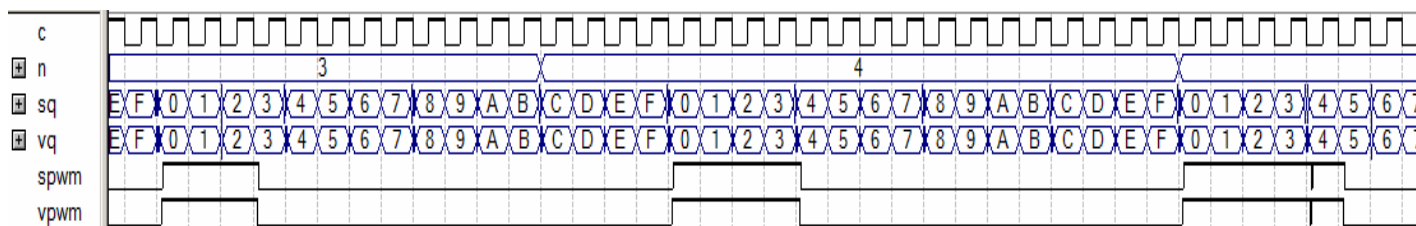


Рис. 7.19. Работа проекта *sw74\_pwm*

## § 7.5. Формирование модулированных сигналов в заданном диапазоне частот

Для формирования модулированных сигналов, изменяющихся в заданном диапазоне частот, используют Управляемые делители частоты, на входе которых включаются предварительные делители частоты с фиксированным коэффициентом деления, обеспечивающий требуемое значение  $f_{\max}$ .

Схема иерархического проекта (рис. 7.20) с именем *sv75\_counters* разработана для реализации в ПЛИС на отладочной плате и изучения работы УДЧ, вариант 1 (модуль *v72\_cdiv1*). Для ввода управляющего кода *n* необходимо использовать кнопки, а для вывода кода УДЧ и импульсов *cout* – светодиоды. Сечению светодиода и нажатому состоянию кнопки должны соответствовать сигналы 1. Максимальная частота мигания светодиодов должна составлять 3 – 5 Гц.

Схема содержит предварительный делитель частоты (модуль *v72\_24cnt*). Коэффициент деления предварительного делителя определяется отношением:  $k = f_{\text{clk}} / f_c$ , где  $f_{\text{clk}}$  - частоты тактового генератора, содержащегося на отладочной плате, формирующего синхросигнал  $f_{\text{clk}} = 50\text{ МГц}$ , а  $f_c$  – частота синхросигнала, подаваемого на вход УДЧ, определяющая максимальную частоту на его выходе. Сигнал  $f_c$  в данной схеме будет подаваться на светодиоды, для визуального различения состояний которых частота  $f_c$  не должна превышать 3 – 5 Гц. Коэффициент деления частоты приближенно представим в виде произведения сомножителей, являющихся степенью числа 2.

$k = f_{clk} / f_c = 50 \cdot 10^6 / 3 = 50/3 \cdot 10^3 \cdot 10^3 \approx 2^4 \cdot 2^{10} \cdot 2^{10} = 2^{24}$ . Предварительный делитель должен иметь 24 разряда.

Схемы включения светодиодов и кнопок на плате (см. рис. 1.12) формируют сигналы, в которых нажатой кнопке и светящемуся светодиоду соответствует сигнал 0. Для анализа работы устройства целесообразно, чтобы логический сигнал (1) отображался свечением диода и соответствовал нажатому состоянию кнопки. Поэтому выполняется инверсия сигналов, поступающих от кнопок и подаваемых на светодиоды, посредством модулей, содержащих 4 инвертора *v75\_4not*.

### Задание 7.5. Исследование управляемого делителя частоты с использованием отладочной платы.

```
module v75_4not (d, q);
input [3:0] d;
output [3:0] q;
assign q=d;
endmodule
```

1. Создайте проект модуля инверторов *v75\_4not* по приведенному описанию, выполните этапы 1-5, создайте символ..

2. Создайте ведущий модуль иерархического проекта по схеме (рис. 7.20) с именем *sv75\_counters*, используя ранее созданные символы. Если данного символа в библиотеке нет, то откройте соответствующий проект, выполните его компиляцию, создайте символ.

3. Выполните компиляцию проекта *sv74\_counters*. Моделирование не выполнять, для проекта, содержащего счетчик большой разрядности, оно потребует много времени.

5. Выполните назначение ПЛИС. Assignment> Device – MAX II, EPMT100C5.

6. В этом же окне задайте состояние неиспользуемых выводов Device and Pin options> Unused Pins – As Input Try States.

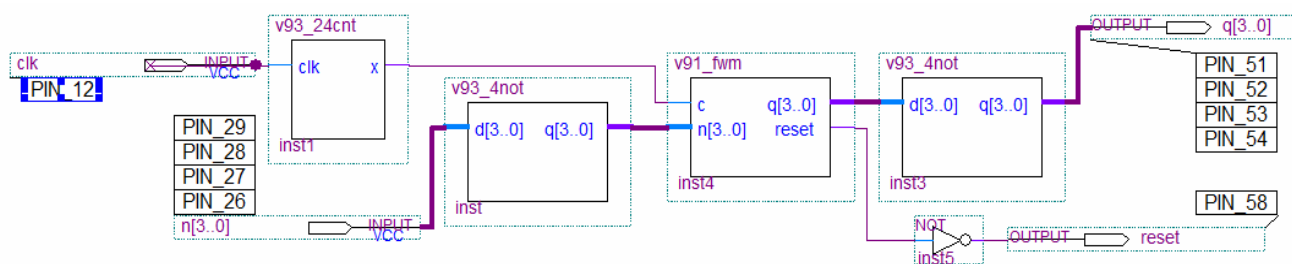


Рис. 7.20. Схема проекта *sv75\_counters*

7. Подключите выводы. Assignment> Pins. Двойным щелчком выделите сигнал в столбце Node Name, затем выделите вывод кристалла в столбце Location.

8. Выполните компиляцию.

9. Прошивка ПЛИС. Подключите устройство к компьютеру, включите программатор Tools > Programmer > выбрать Program/Configure > Start

10. Опишите в отчете работу управляемого делителя частоты, анализируя изменения кода счетчика и сигнал при различных значениях кодов от кнопок.

### Контрольные вопросы

1. Классификация и области применения счетчиков.
2. Работа суммирующего и вычитающего двоичных счетчиков на D-триггерах.
3. Способ построения реверсивных счетчиков.
4. Примеры описания счетчиков на языке Verilog.
5. Поясните процесс программирования ПЛИС.
6. Параметры последовательности прямоугольных импульсов.
7. Физический смысл параметра «коэффициент заполнения импульсов».
8. Способы построения управляемых делителей частоты.
9. Использование счетчиков в качестве делителей частоты.
10. Особенности описания схем с элементами памяти на Verilog.
11. Отличия синхронного и асинхронного сброса счетчиков.
- 12.