**Работа 5. Триггеры.**

**§ 5.1. Триггер как система с положительной обратной связью (ПОС)**

**Триггер** - элемент памяти для хранения одного бита информации, цифровая схема с положительной обратной связью и с двумя устойчивыми состояниями.

Обратная связь – это подача выходного сигнала устройства на его вход. Положительная обратная связь (ПОС) возникает, когда сигнал обратной связи суммируется с входным сигналом и увеличивает эффект от его воздействия. Положительная обратная связь позволяет получить в схемах два устойчивых состояния.

Простейшую схему с ПОС (Схема 1 на рис. 6.1) получим, соединяя два инвертора в замкнутую цепь, по которой будет циркулировать сигнал ПОС. Контур ПОС выделен синим цветом. Если подать на вход первого элемента сигнал **1**, то по контуру ПОС на этот вход поступит такой же сигнал **1** и схема запомнит денное состояние. Аналогично произойдет запоминание сигнала 0.

|  |  |  |
| --- | --- | --- |
| с | b |  |
| 0  0  1  1 | 0  1  0  1 | 1  1  1  0 |

Для построения схемы триггера необходимо вместо инверторов, использованных в схеме 1, включить в замкнутую цепь инвертирующие логические элементы. Если использовать элементы И—НЕ, то получим асинхронный статический  триггер с инверсными установочными входами (Схема 2). При анализе работы триггера по схеме учитываются очевидные свойства элементов И-НЕ:  
 1. На выходе элемента имеем сигнал 0, если на все входы подаются сигналы 1. (как показано для элемента dd1 на схеме 2).  
 2. Сигнал на выходе элемента равен 1, если хотя бы на одном входе 0 (элемент dd2).  
 3. Один из входов элемента (например, отмеченный синим) будет активным, и будет передавать значения входного сигнала на выход с инверсией, если на другой вход (отмеченный зеленым) подан сигнал 1. Это свойство определяет режим, при котором в замкнутом контуре триггера циркулирует сигнал ПОС и триггер сохраняет одно из устойчивых состояний.

*1*

*1*

*0*

*1*

Контур ПОС

Схема 1

Рис. 5.1. Цифровые схемы с ПОС

Контур ПОСКонтур ПОС *ПОС*

*&*

*d1*

*&*

*d2*

*1*

*1*

*1*

*0*

*1*

Схема 2

*q*

*nq*

*ns*

*nr*

Асинхронный статический  (nrns)триггер с инверсными установочными входами nr, ns и выходами q, nq, построен на элементах И—НЕ, соединенных в замкнутую цепь с ПОС, как показано на схеме 2. Обозначения образованы от слов set –установить, reset – сбросить quit – выход, not - не.

Анализ схем триггеров выполняется в следующей последовательности.   
1. По схеме определяется режим хранения (рис. 5.4).  
2. Режим установки состояния q = 1 и nq = 0 выполняет сигнал **ns = 0**, при этом nr = 1, чтобы обеспечивалась ПОС.  
3. Режим установки состояния q = 0. Сигнал **nr = 0**, установит nq = 1, при этом сигнал q = 0, **ns = 1**, поэтому цепь ПОС устанавливает и **nq = 0.**   
В режимах хранения и установки состояний в схеме действует ПОС.  
4. Комбинация входных сигналов **ns** = nr = 0 требует, чтобы триггер установился в 0 и в 1 одновременно. Данную комбинацию входов называют запрещенной, она разрушает условия действия ПОС, формируются некорректные выходные сигналы q =nq =1. Состояние триггера при переходе в режим хранения является неопределенным.

*x*

*t*

*t*

*t*

*t*

*x*

*уст. 1*

***хран****.*

*уст. 0*

***хран.***

*запр.*

*Неопр.*

*ns*

*nr*

*nq*

*q*

Рис. 5.3. Таблица истинности и временные диаграммы асинхронного nrns -триггера

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ns | nr | *qn* | *qn+1* | Режим |
| **1** | **1** | 1 | 0 | **Хранение** |
| **1** | **1** | 0 | 1 |
| 0 | 1 | 1 | 1 | Установка 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | Установа 0 |
| 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | х | Запрещенная комбинация |
| 0 | 0 | 0 | х |

Хранение

*ns*

*q*

*&*

*nr*

*nq*

*&*

*1*

*1*

*0*

*0*

*ns*

*q*

*&*

*nr*

*nq*

*&*

*1*

*0*

*0*

*1*

*ns*

*q*

*&*

*nr*

*nq*

*&*

*0*

*1*

*1*

*1*

*ns*

*q*

*&*

*nr*

*nq*

*&*

*0*

*1*

*1*

*0*

Установка 1

Установка 0

Запр.комбин.

Рис. 5.4. Режимы работы запоминающей ячейки

В таблице истинности определены новые значения выходного сигнала триггера (*qn+1*) при всех значениях входных сигналов (nr ns) и исходных состояний (*qn*).

*Режим хранения nrns-триггера: на оба входа ( nr и ns) поданы сигналы 1*

Теоретические временные диаграммы построены по таблице истинности. Для поучения наглядных диаграмм выбрано чередование режимов установки и хранения. режимы а затем отображаются входные сигналы, соответствующие этим режимам. Теоретические временные диаграммы используются при моделировании для создания тестовых сигналов и для сравнения полученных экспериментальных диаграмм с теоретическими.

**Задание 5.1. Исследование работы**  **- триггера .**

Изучите § 5.1. Разработайте проект асинхронного триггера с инверсными установочными входами с именем *s51\_nrns* по схеме (рис. 5.5). Выполните этапы проектирования 1-9 , разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы (подобные рис. 5.6), , определите временные задержки (рис. 5.7). Опишите работу схемы по экспериментальным временным диаграммам.

**Разработка тестовых входных сигналов** для схем с памятью выполняется с использованием инструментов панели редактирования сигналов. Клавиша Esc включает режим выбора временной диаграммы, или ее части курсором мыши по терминалу для ввода определенного логического сигнала кнопками с цифрами 0 или 1.

Вначале необходимо выделить диаграммы для сигналов nr и ns и нажать кнопку «1» (это режим хранения). Затем изобразите (нарисуйте после нажатия кнопки 4 на панели инструментов) отрицательные импульсы, выделяя курсором отельные интервалы, и задавая противоположные значения сигнала, в данном случае 0. Учитывая (по результатам предыдущих работ), что задержка логических элементов составляет 8 – 12 нс., изображаем импульсы длительности более 20 нс., что упростит анализ диаграмм. Ввод тестовых сигналов обычно выполняется шаг за шагом, многократно запуская имитатор и корректируя сигналы по результату моделирования.

Для анализа результата моделирования отметим на диаграмме (рис. 5.6) моменты времени, соответствующие изменениям входных и выходных сигналов.   
∙ 1. Момент подачи сигнала установки нуля nr =0, сигнал ns ранее был установлен в 1. Выходные сигналы равны Х, компилятор не может их однозначно определить.  
∙ 2. Установилось (с задержкой) состояние q = 0, nq = 1.  
∙ 3. Начало сигнала установки 1 ns = 0, отмечено курсором для измерения задержки.  
∙ 4. Установка 1 выполнилась q = 1, nq = 0  
∙ 5. Начало сигнала установки 0 nr = 0.   
∙ 6. Установка 0 выполнилась q = 0, nq = 1  
∙ 7. Подана запрещенная комбинация установки 0 и 1 одновременно nr = ns = 0.  
∙ 8. Выдаются некорректные данные q = nq = 1  
∙ 9. Подается сигнал установки 1 ns = 0, nr = 1.  
∙ 10. Установилась корректная комбинация выходных сигналов q = 1, nq = 0.

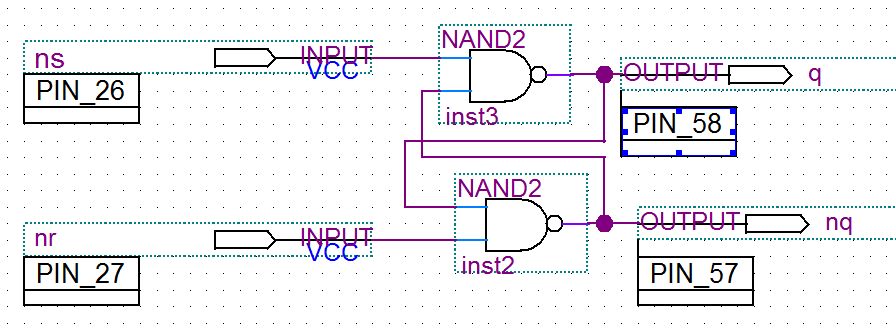


Рис. 5.8. Схема после подключения выводов (получена из рис. 5.5)

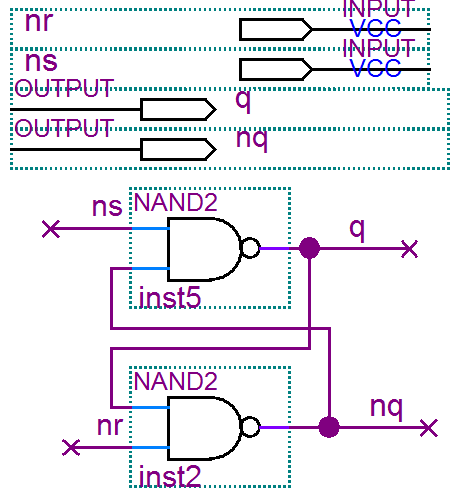


Рис. 5.5.

Схема

S61\_nrns

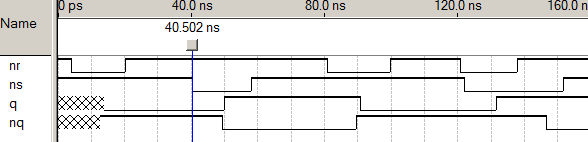


Рис. 5.6. Временные диаграммы

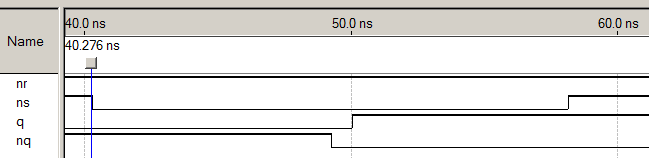


Рис. 5.7.   
Измерение   
задержек

3

4

2

1

5

6

10

7

8

9

В отчете приведите символ и схему триггера, опишите таблицы истинности. Опмшите работу триггера с указанием сигналов на схеме. Поясните разработку теоретических временных диаграмм, предназначенных для наглядно отображения всех возможных режимов работы.

**Исследование**  **- триггера с подключением отладочной платы.**

Выполните этап 10, подключите отладочную плату. Изобразите таблицу подключения выходов ПЛИС применительно к исследуемому устройству. Опишите процесс исследования работы устройства в различных режимах с использованием для ввода и вывода сигналов кнопок и светодиодов.

**§ 5.2. Синхронный *RS*-триггер**.

Синхронный *RS*-триггер имеет вход синхронизации (с), прямые установочные входы (r, s), а также прямой и инверсный выходы (q, nq).

*s*

*c*

*r*

*T*

*q*

*nq*

Рис. 5.9. Символ синхронного  
RS - триггера

Схема данного триггера содержит рассмотренную ранее запоминающую ячейку ЗЯ (nrns)триггер) и схему управления записью данных (элементы *dd1, dd2*). Имеет вход синхронизации *c*, прямые установочные входы *r* и *s*, а также прямой и инверсный выходы *q* и nq.

По схеме определяются режимы работы триггера, таблица истинности и временные диаграммы (Рис.5.11). . При этом необходимо учитывать логику работы nrns – триггера и правила для элементов И-НЕ.

1. Режим хранения обеспечивается, если на на входы nrns триггера поступают сигналы nr=ns=1. Такие сигналы (как следует из схемы) формируются в двух случаях:   
а) при r = s =0 (с - любое), либо б) при c = 0 (r, s - любые).

Для последнего варианта отображены сигналы на рис. 5.11. В этом режиме на входах запоминающей ячейки формируются сигналы nr= ns = 1.

Рис. 5.10. Схема RS-триггера

*ns*

*q*

*&*

*dd3*

*nr*

*nq*

*&*

*dd4*

*0*

*1*

*1*

*1*

*s*

*c*

*r*

*0*

*&*

*dd1*

*&*

*dd2*

nrns триггер - ЗЯ

СУ - Схема  
управления

2. Установка единицы (*q*=1) происходит, если *c*=1, s=1, r = 0. При этом (по схеме) получим ns=0, nr = 1, следовательно, q = 1.

3. Установка нуля (*q*=0) происходит, если *c*=1, *r*=1, *s*=0. При этом (по схеме) получим ns=1, nr = 0, следовательно, q = 0.

4. Комбинация сигналов *s = r = c* = 1, при которой требуется, чтобы триггер установился одновременно в 0 и в 1, называется запрещенной комбинацией.

Все статические синхронные триггеры (и триггер RS) имеют прозрачный режим, возникающий при подаче на вход синхронизации постоянного сигнала *c*=1. В этом случае элементы схемы *dd1* и *dd2* работают как инверторы, и устройство превращается в асинхронный *rs*- триггер с прямыми входами установки единицы (*s*) и установки нуля (*r*).

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *c* | *s* | *r* | *qn* | *qn+1* | Режим |
| 0 | х | х | 0 | 0 | Хранение |
| 0 | х | х | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | Установка 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | Установка 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | X | Запрещенная комбинация |
| 1 | 1 | 1 | 1 | X |

Рис. 5.11. Теоретические временные диаграммы синхронного *rs*-триггера

*c*

*s*

*r*

*q*

*nq*

хран.

уст.1

уст.0

запр.

хран.

уст.0

*t*

*t*

*t*

*t*

*t*

**Задание 5.2. Исследование работы синхронного RS - триггера**

Изучите § 5.2. Разработайте проект синхронного RS триггера с прямыми установочными входами с именем *s52\_rs* по схеме (рис. 5.12). Выполните этапы проектирования 1-9, разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы, выполните анализ результатов, определите временные задержки.

На диаграммах (рис. 5.13) отмечены следующие моменты времени.  
1. Сигнал установки 0 c = r = 1  
2. Установка 0 выполнена.  
3. Появился смгнал s = 1, однако с = 0, следовательно режим хранения.  
4. Вот теперь имеем сигнал установки 1: c = s = 1.  
5. Установка 1 выполнена.  
6. При с = 0 изменения сигналов r и s не влияют на состояние триггера.  
7. Сигнал установки 0 c = r = 1  
8. Установка 0 выполнена.

В отчете приведите символ и схему триггера, таблицу истинности. Опишите работу триггера с указанием сигналов на схеме. Поясните разработку теоретических временных диаграмм, предназначенных для наглядно отображения всех возможных режимов работы.

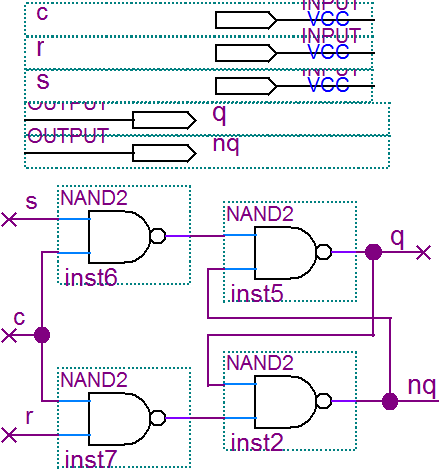


Рис. 5.12.

Схема s63\_rs

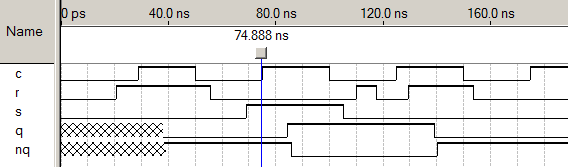


Рис. 5.13. Временные диаграммы

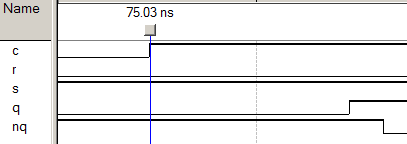


Рис. 5.14.   
Измерение   
задержек

3

4

2

1

5

6

7

8

**§ 5.3. Статический *D*-триггер.**

Статический *D*-триггер имеет вход синхронизации(с), один информационный вход (d), а также выходы (q и nq). Схема D - триггера получена в результате модификации схемы RS-триггера, цель которой – устранение нежелательной запрещенной комбинации, возникающей при s=r=c=1. Для этого к RS – триггеру добавлен инвертора dd5. В результате запрещенная комбинация сигналов на входах s и r , которые на схеме (рис.5.16) обозначены в скобках, становится невозможной. В результате D-триггер имеет единственный информационный вход *d*. Инвертор сз схемы можно исключить и подключить вход (r) к выходу dd1. Данная связь выделена цветом на рис. 5.17. Состояния *d*-триггера, приведенные в таблице, определяются по схеме.

*d*

*q*

*nq*

*c*

*&*

*dd2*

*&*

*dd1*

*dd5*

*&*

*dd3*

*&*

*dd4*

*nr*

*ns*

*(s)*

*(r)*

*r s - триггер*

Рис.5.16. Схема d - триггера

*d*

*c*

*T*

*q*

*nq*

Рис. 5.15. Символ статического  
D - триггера

Если c=0 имеем режим хранения. При этом сигналы ns nr тождественно равны 1 (в соответствии с правилом 2), а элементарный nrns - триггер (запоминающая ячейка) находится в режиме хранения. Изменения входного сигнала *d* не передаются на выход, сигнал *q* не изменяется.

Если с = 1 возникает прозрачный режим. Любые изменения сигнала *d*, передаются на выход *q*: q = d. При d = 1 произойдет установка 1, а при d = 0 - установка 0.

Если с = 1, при этом сигнал d изменяется, то запоминается значение d, предшествующее спаду синхросигнала. Входные данные в этот момент как бы «защелкиваются», отсюда и название — триггер-защелка (англ. latch). По результатам анализа схемы составляется таблица истинности и теоретические временные диаграммы (рис. 5.18).

**Описание на Verilog**  схем с элементами памяти (триггеров, счетчиков, регистров) выполняется последовательными операторами, которые содержат :   
1. Ключевое слово «*always*» (всегда) – означает повторение присваивания при возникновении определенного события.  
2. Символ *@* – соответствует понятию «событие».  
3. Список чувствительности в круглых скобках, содержащий перечисление сигналов, или определение события, которые должны вызывать повторение процесса присваивания.  
4. Операторы, описывающие условия присваивания: if, case, begin – end.  
Выходной сигнал дожжен быть указан как reg.

*ns*

*q*

*&*

*dd3*

*nr*

*nq*

*&*

*dd4*

*0*

*1*

*1*

*1*

ЗЯ

*d*

*c*

*1*

*&*

*dd1*

*&*

*dd2*

СУ

с=0  
 - хранение

*ns*

*q*

*&*

*dd3*

*nr*

*nq*

*&*

*dd4*

*0*

*1*

*1*

*1*

ЗЯ

*d*

*c*

*0*

*&*

*dd1*

*&*

*dd2*

СУ

*ns*

*q*

*&*

*dd3*

*nr*

*nq*

*&*

*dd4*

*0*

*1*

*1*

*1*

ЗЯ

*d*

*c*

*1*

*&*

*dd1*

*&*

*dd2*

СУ

Рис. 5.17. Работа статического D - триггера

Статический триггер, называемый защелка (*latch*), передает на выход q сигнал d при наличии сигнала *c*=1. По входу *c* управление осуществляется потенциалом. Триггер имеет прозрачный режим, В американском обозначении вход *c* называется «latch».

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *c* | *d* | *qn* | *qn+1* | Режим |
| 0 | х | 0 | 0 | Хранение |
| 0 | х | 1 | 1 |
| 1 | 1 | 0 | 1 | Установка 1 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | Установка 0 |
| 1 | 0 | 1 | 0 |

Рис. 5.18. Теоретические временные диаграммы статического *d* - триггера

*c*

*d*

*q*

*nq*

хран.

уст.1

уст.0

прозрачный режим

хран.

*t*

*t*

**

*t*

Описание статического *D* - триггера (рис. 5.15) содержит заголовок, описание выводов - входы *c, d,* выход *q* типа *reg*.

В описании работы статического триггера (строка 6) список чувствительности отсутствует. В этом случае последовательный оператор работает подобно параллельному оператору, он срабатывает при изменении любого из входных сигналов. Строка 6 имеет смысл: «если с = 1, то присвоить q = d». Строка else (иначе) отсутствует. Поэтому при с = 0 никакие операции выполнять не требуется, это режим хранения.

*module v53\_d\_stat (c, d, q)*;//1

*input c, d*; //2

*output q*; *reg q*; //4

*always if (c) q = d*; //5

*endmodule* //6

**Задание 5.3. Исследование работы статического d - триггера.**

Изучите § 5.3. Разработайте проект и с именем s53\_dstat по схеме (рис. 5.19). Выполните этапы проектирования 1-9, ввод схемы, компиляцию, создайте символ, разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы , выполните анализ временных диаграмм (рис. 5.20).   
 Исходное состояние с = d = 0, q не определено.  
 1. Фронт синхросигнала с. Переход в прозрачгый режим, при котором q = d.  
 2. Выполнена запись q = 0.  
 3. С = 0, режим хранения, сигнал d = 1 не передается на выход.  
 4. Сигналы записи 1, с = 1, d =1, момент отмечен курсором для измерения временной задержки.  
 5. Запись 1 выполнена. 6 – 7. Прозрачный режим, q = d, любые изменения сигнала d передаются на выход с задержкой.

*d*

*c*

*TТ*

*q*

*nq*

Рис. 5.21. Символ динамического  
D - триггера

В отчете приведите символ и схему триггера, описание таблицы истинности и работы триггера с указанием сигналов на схеме. Поясните разработку теоретических временных диаграмм, предназначенных для наглядно отображения всех возможных режимов работы.

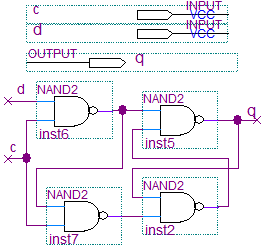


Рис. 5.19. Схема s53\_d\_stat

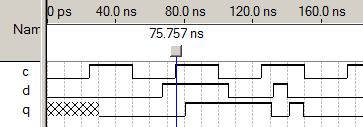




Рис. 5.20. Временные диаграммы

3

4

2

1

5

6

7

**Выполните подключение и программирование ПЛИС** (по заданию преподавателя). В отчете опишите исследование работы триггера в различных режимах с использованием для ввода и вывода сигналов кнопок и светодиодов.

**§ 5.4. Динамический D – триггер**

В динамических триггерах запись сигналов, поданных на информационные входы, происходит только по фронту синхросигнала – при его изменениях от значения 0 к значению 1 - (рис. 5.21). Вывод сигнала с отмечают треугольником или черточкой.

При любых статических состояниях синхросигнала (с = 0, или с = 1) динамический триггер находится в режиме хранения и выходной сигнал не изменяется q = const. Динамические триггеры обеспечивают отсутствие прозрачного режима, а также запись данных в строго определенные моменты времени.

**Двухступенчатый динамический D-триггер** содержит два статических D-триггера, которые изменяют свои состояния в противофазе вследствие подачи синхроимпульсов на вспомогательный триггер через инвертор (рис. 5.22.).

Первая ступень – вспомогательный триггер Т1, вторая - основной триггер Т2. Работа динамического триггера содержит две фазы.

Первая фаза – подготовка входных данных. На основной триггер подается с=0, он находится в состоянии хранения и выдает сигнал q. Это исходное состояние триггера, например., 0 (рис. 5.23). Вспомогательный триггер (для которого с1 = 1), как показано на рис 6.11, находится в прозрачном режиме (q1 = d), он принимает входной сигнал d, который определяет новое состояние динамического триггера. Изменения сигнала d передаются на выход q1, при этом q не изменяется.

*c*

*d\_in*

Рис. 5.22. Схема динамического двухступенчатого D - триггера

*d*

*c*

*T1*

*q*

*T2*

*q*

*q1*

*d*

*c*

с1

Фронт сигнала с - переход из 0 в 1 –выполняет запись нового значения q. Основной триггер переходит в прозрачный режим. Сигнал на его выходе q = q1 соответствует входному сигналу d в момент времени, предшествующий фронту синхросигнала с, подобно фотографии со вспышкой. Динамический триггер в момент фронта сигнала с устанавливается в состояние q = d.

Рис. 5.23. Работа динамического  
 триггера

t

t

t

t

t

с

с1

d

q1

q

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *c* | *d* | *qn* | *qn+1* | Режим |
| х | х | 0 | 0 | Хранение |
| х | х | 1 | 1 |
| ↑ | 1 | 0 | 1 | Установка 1 |
| ↑ | 1 | 1 | 1 |
| ↑ | 0 | 0 | 0 | Установка 0 |
| ↑ | 0 | 1 | 0 |

Таблица истинности  
динамического d – триггера

Вторая фаза (с=1, с1 =0) – хранение нового состояния.. Вспомогательный триггер находится в состоянии хранения нового состояния, он сохраняет сигнал q1 = d. Основной триггер, для которого с = 1, находится в прозрачном режиме и выдает на выход сигнал, соответствующий новому состоянию q = q1 = d.

Таблица истинности для данного триггера показывает, что срабатывание происходит только по фронту импульса. Фронт импульса - изменение сигнала от 0 к 1, в таблице обозначает вертикальная стрелка (↑). .Для записи q = 1 необходимо заблаговременно подать входной информационный сигнал *d* = 1 (как показано на схеме), а затем сформировать фронт синхросигнала – изменение *c* от 0 к 1. Для разработки теоретических временных диаграмм изобразите вначале диаграмму для с, выделите моменты, соответствующие фронтам, а затем изобразите сигнал d и по его значениям в моменты фронтов определите сигнал q.

**Динамический D – триггер по схеме «трех триггеров»** - это второй вариант построения схемы. Подобно предыдущему двухступенчатому триггеру он использует двухфазную синхронизацию и выполняет запись входного сигнала по фронту синхроимпульса.

Рис. 5.24. Динамический

*D*-триггер, схема  
трех триггеров

*&*

*dd4*

*q*

*nq*

*c*

*d*

*ns*

*nr*

*nd*

*&*

*dd3*

*&*

*dd5*

*&*

*dd6*

*&*

*dd1*

*&*

*dd2*

*d*

*0*

*1*

*1*

Хранение данных выполняет основной nrns-триггер на элементах *dd6* и *dd6*), имеющий установочные входы *ns, nr. П*одготовку новых данных выполняют два вспомогательных триггера на элементах dd1 – dd4 . (рис. 6.9).  
1. Фаза подготовки данных с = 0. В соответствии с правилом для элементов И – НЕ получим nr = ns = 1, следовательно, основной триггер будет находиться в режиме хранения исходного состояния триггера. По схеме можно получить, что при с = 0 элементы dd1 dd4 работают как инверторы. В результате на входах триггера формируются сигналы d и nd.  
2. Фронт синхросигнала с – запись нового состояния, которое определяет сигнал d.  
Если с = 1 и d = 1, то ns = 0. В соответствии с правилом работы триггера получим q = 1.  
Если с = 1 и nd = 1, то nr = 0, получим q = 0.  
3. Фаза хранения нового состояния с = 1. Вспомогательные триггеры () переходят в состояние хранения нового значения сигнала d.

Запись входного информационного сигнала *d* при появлении фронта тактового сигнала *c* выполняют два входных коммутирующих триггера (элементы *ddl – dd4*), которые подготавливают входной сигнал *d* для записи в момент действия фронта сигнала *c* и сохраняют это значение, пока *c*=1, что обеспечивает отсутствие прозрачного режима. показывает, что срабатывание происходит только по фронту импульса.  
Для записи 1 необходимо заблаговременно подать входной информационный сигнал (например, *d* = 1), а затем сформировать фронт *c* = 0 => 1. В момент фронта сигнала *c* на выходе элемента *d2* появляется сигнал ns = 0, который устанавливает основной триггер в состояние *q* = 1. Одновременно этот сигнал поступает на входы элементов *ddd1* и *dd3*, на выходах которых будет сохраняться единичные сигналы. На изменения входного сигнала схема уже не будет реагировать. Запись нового состояния возможна только после перехода в режим хранения *с*=0 и появления затем следующего фронта сигнала *с*.

При *d* = 0 по фронту сигнала c на выходе элемента *dd3* формируется сигнал nr = 0, который и устанавливает основной триггер в состояние *q*=0.   
Схема динамического триггера в графическом редакторе приведена на рис. 5.10., на схеме используются только прямой выход триггера q. ля разработки теоретических временных диаграмм изобразите диаграмму для с, выделите моменты, соответствующие фронтам, затем изобразите сигнал d ии по его значениям в моменты фронтов определите сигнал q. При моделировании ввод тестовых входных сигналов можно выполнять экспериментально, многократно запуская моделирование. Вначале следует установить время моделирования 6 мкс. (File > End Time) и шаг сетки 60 нс.(Options > Grid Size), подать синхросигнал, выбирая множитель 2, добавить сигнал для остальных входов *D* и получить экспериментальное подтверждение правильности его функционирования во всех возможных режимах. Опишите принцип работы триггера по схеме и особенности его применения.

// динамический D-тиггер

module v45\_d\_din (c, d, q);

input c, d;

output q; reg q;

always @ (posedge c) q =d;

endmodule

Описание динамического D - триггера выполняется последовательным оператором с ключевым словом always, в списке чувствительности которого указано срабатывание по фронту синхросигнала. Фронт сигнала обозначается *posedge* (positive edge – положительный край). Для выходного сигнала q указан тип reg. Последовательный оператор читается так: «всегнда по событию фронт с присваивать q = d».

**Задание 5.4. Исследование динамическИХ D – триггерОВ.**

Изучите § 5.4. Разработайте иерархический проект для исследования динамических триггеров с именем sv54\_ddin, содержащий три модуля:  
- двухступенчатый динамический D – триггер с именем *s54\_d2st* по схеме (рис. 5.25),  
- динамический D – триггер по схеме трех триггеров ((рис. 5.26) с именем *s45\_d3tr;*  
- динамический D – триггер по описанию с именем v45\_d\_din .

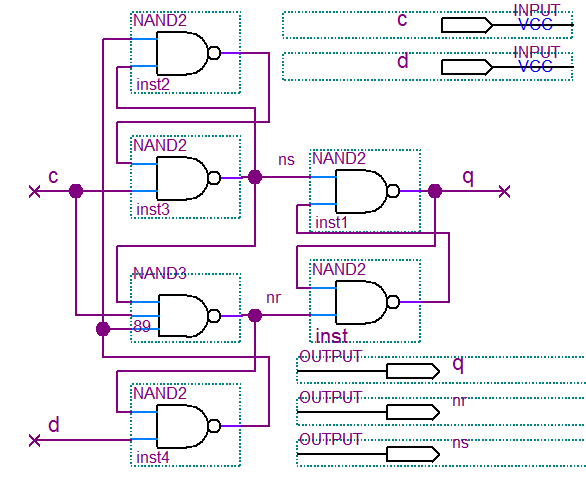


Рис. 5.26. Cхема s54\_d3tr

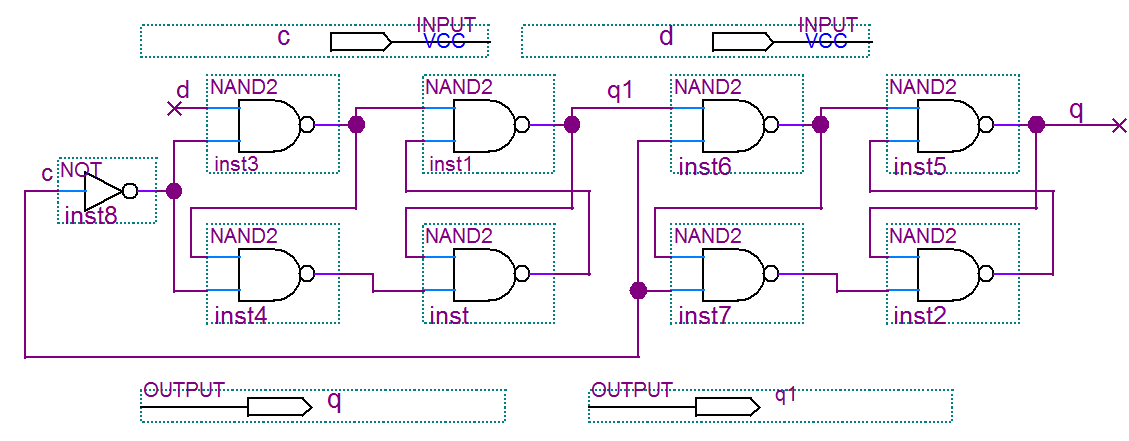


Рис. 5.25. Cхема s54\_2st

Вначале для каждого из модулей нижнего уровня создайте проект, выполните этапы 1 – 5, создайте символ. Затем создайте проект верхнего уровня с именем sv54\_ddin по схеме ((рис. 5.27),, выполните этапы 1 – 9, , разработайте тестовые входные сигналы, получите экспериментальные временные диаграммы , определите временные задержки.

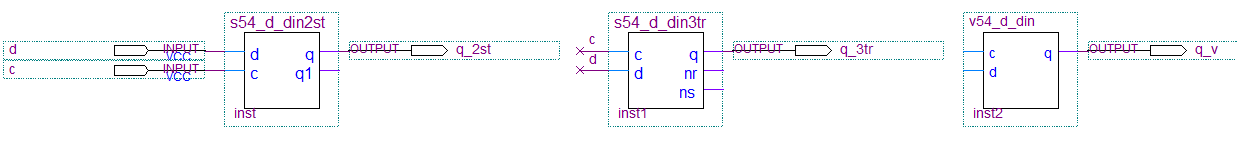


Рис. 5.27. Cхема ssv66\_d\_din

В отчете приведите символ и схему триггера, опишите таблицы истинности. Опмшите работу триггера с указанием сигналов на схеме. Поясните разработку теоретических временных диаграмм, предназначенных для наглядно отображения всех возможных режимов работы.

Анализ временных диаграмм. Выделим моменты изменения сигналов d и c.

1. Исходное состояние – первый такт, с = 0, d – изменяется. Динамические триггеры прозрачного режима не имеют, поэтому выходной сигнал q не изменяется, в момент включения значение q не может быть определено компилятором.

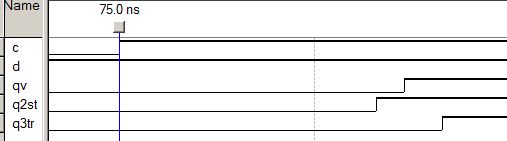


Рис. 5.29. Измерение   
задержек

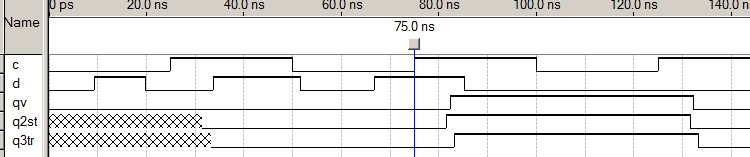


Рис. 5.28. Временные диаграммы

3

4

2

1

5

6

7

8

2. Момент фронта синхросигнала, c, изменение его от 0 к 1. Запись данных, сигнал d, передается на выход q с некоторой задержкой. В момент действия фронта d = 0, поэтому q принимаетзначение 0..

3 – 4. Сигнал d изменяется, но на выход эти изменения не передаются.

***5. В динамических триггерах запись q = d выполняется по фронту синхросигнала.***

6. Выходное напряжение q = d =1 появляется с задержкой.

7. Фронт, запись q1 = d = 0.

8 ..Появление q = 0 с задержкой.

Для измерения задержек маркер установлен на фронт синхроимпульса и увеличен масштаб (рис. 5.29).

**Выполните программирование и подключение ПЛИС.**

Опишите процесс исследования работы устройства в различных режимах с использованием для ввода и вывода сигналов кнопок и светодиодов.

**§ 5.5. JK-триггер.**

*j*

*c*

*k*

*T*

*q*

*nq*

Рис. 5.30. Символ  
 jk - триггера

Рис. 5.31. Структура  
 jk - триггера

*s*

*c*

*r*

*T*

*q*

*nq*

*&*

*dd1*

*&*

*dd2*

*c*

*k*

*j*

*q*

*nq*

*1-0*

*0-1*

*1*

*1*

*1*

*0*

*0-1*

*1*

В jk - триггере имеются раздельные установочные входы: *j* - установка единицы, *k* – установка нуля, запрещенная комбинация входных сигналов устранена за счет использования в схеме обратных связей. Комбинация j = k = 1 вызывает изменение состояния триггера на противоположное.

Схема jk - триггера содержит динамический *RS* - триггер и схему управления на элементах d1, d2, на входы которых подаются сигналы обратной связи с выходов триггера. Сигналы обратной связи обеспечивают передачу на установочные входы *s* и *r* только разрешенные для текущего состояния сигналы.

Элемент dd1 формирует сигнал установки RS – триггера в 1: s = j ∙ nr. Этот сигнал примет значение 1, если исходное состояние триггера q = 0 (следовательно, nq = 1) при подаче j = 1. На схеме (рис. 5.28) показаны сигналы для исходного состояния q = 0 (отмечены синим). На входы триггера подаются одновременно сигналы установки триггера в 1 и в 0 (j = k = 1). По фронту синхросигнала с произойдут изменения сигналов, показанные красным. Появится сигнал установки в единицу s = 1, и триггер перейдет в состояние s = 1, противоположное исходному (отмечено красным). Сигнал обратной связи nq = 1, поданный на элемент dd1, разрешает формирование только одного сигнала установки s = 1, так как q = 0.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *с* | *j* | *k* | *qn* | *qn+1* | Режим |
| x | x | x | 0 | 0 | хранения |
| x | x | x | 1 | 1 |
| ↑ | 0 | 0 | 0 | 0 |
| ↑ | 0 | 0 | 1 | 1 |
| ↑ | 0 | 1 | 0 | 0 | Установка 0 |
| ↑ | 0 | 1 | 1 | 0 |
| ↑ | 1 | 0 | 0 | 1 | Установка 1 |
| ↑ | 1 | 0 | 1 | 1 |
| ↑ | 1 | 1 | 0 | 1 | Инверсия состояния |
| ↑ | 1 | 1 | 1 | 0 |



Рис. 5.29. Работа  
*jk* -триггера

Таблица истинности, которая показывает, что при любых постоянных значениях входных сигналов (c = j = k = x) триггер находится в режиме хранения данных.   
Запись 0 или 1 происходит только по фронту синхросигнала, что показано в таблице стрелкой для сигнала с.   
Для построения теоретических временных диаграмм (рис. 5.19) вначале изображена диаграмма для синхроимпульсов (меандр), затем отмечены моменты времени, соответствующие фронтам импульсов (пунктир). Затем изображены информационные сигналы для установки триггера в определенные состояния: установка 1 (момент времени t1), установка 0 (момент времени t2), инверсия состояния (момент времени t3). Сигналы установки j и k должны принять необходимые значения заблаговременно, перед появлением фронта синхросигнала. Все интервалы, соответствующие статическим состояниям сигналов определяют режим хранения.

**Описание JK-триггера на языке Verilog** последовательным оператором выполнено с учетом таблицы истинности. Вложенные операторы if выполняют выбор варианта для присваивания требуемого значения выходному сигналу q

module v55\_jk (c, j, k, q);

input c, j, k; output q; reg q;

always @ (posedge c)

if (~j & k) q = 0;

else if (j &~k) q = 1;

else if (j & k) q =~ q;

endmodule

**Задание 5.5. Исследование работы JK-триггера.**

Изучите § 5.5. Разработайте проект для исследования JK-триггеров по описанию с именем v55\_jk. выполните этапы 1 – 9.

В отчете приведите символ триггера, таблицу истинности, временные диаграммы. Выполните анализ временных диаграмм и измерение временных задержек.

**§ 5.6. Счетные триггеры**

*t*

*c*

*T*

Рис.. 5.30. Символ счетного триггера

Счетный триггер предназначен для построения счетчиков, он изменяет свое состояние на противоположное по каждому фронту входных синхроимпульсов c. Вход t (toggle – переключение) является управляющим. Для разрешения счета необходимо подать t = 1. В неуправляемом триггере ход t отсутствует.

Описание счетного триггера на Verilog содержит последовательный оператор, который читается так: «всегда по фронту сигнала с, если t = 1, то присваивать сигналу q инверсное значение.

*t*

*t*

*t*

*t*

*c*

*q*

Рис.. 5.31. Временные диаграммы работы счетного триггера

// Счетгый тиггер

module v56\_t (c, t, q);

input c, t;

output q; reg q;

always @ (posedge c)

if (t) q =~q; endmodule

Теоретические временные диаграммы (рис. 5.31) поясняют работу Т – триггера. При t = 1 триггер изменяет состояние на противоположное по каждому фронту смнхросигнала c. При t = 0 триггер переходит в состояние хранения.

Счетные триггеры строятся на основе динамических триггеров типов *D* или *JK,* варианты построения .схем приведены на рис. 5.32.

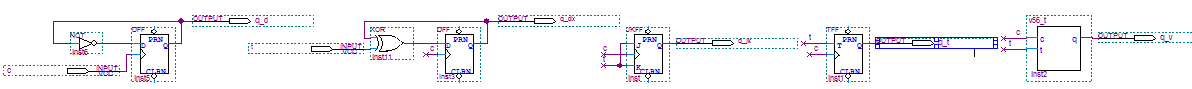


Рис. 5.32. Счетные триггеры

Схема 1

Схема 5

Схема 2

Схема 3

Схема 4

В схеме использованы комбинированные триггеры из библиотеки / libraries / primitives / storage. Буквы «FF» в обозначениях триггеров - от английского flip-flop-триггер. Библиотечные триггеры имеют несколько входных сигналов, синхронных и асинхронных. Входы D, *J, K* являются синхронными информационными входами. Они срабатывают синхронно с фронтом синхросигнала *С*, это определяет треугольник в обозначении входа *С*. Триггеры имеют также асинхронные установочные входы, обозначенные PRN - Preset Negative – инверсный вход установки 1 (подобный ns) и CLRN - Clear Negative – инверсный вход установки 0 (nr). На схеме эти входы никуда не подключены, они не будут влиять на работу триггера, по умолчанию на эти входы компилятор подаст сигнал 1.

Для построения *Т*-триггера на основе *D*-триггера необходимо на вход *d* подать инверсное значение выходного сигнала (nq) (Схема 1). В результате по каждому фронту входного синхроимпульса С будет выполняться присваивание выходному сигналу триггера q, инверсного или противоположного значения nq. Триггер будет изменять свое состояние на противоположное.

В схеме 2 цепь передачи выходного сигнала на вход d содержит элемент xor (исключающее Или), который является управляемым инвертором. Вход t является сигналом разрешения счета. При t = 1 на чход d триггера поступает сигнал .

Схема 3 содержит счетный триггер, построенный на *JK*-триггере, который (в соответствии с таблицей истинности) переходит в противоположное состояние по каждому фронту синхроимпульса при подаче сигнала 1 на на входы *j* = *k* = 1. Соединение выводов *j* и *k* позволяет получить входной сигнал разрешения счета t.   
Схема 4 содержит символ счетного триггера, способ построения которого скрыт.  
Схема 4 содержит символ счетного триггера v56\_t, полученный в проекте счетного триггера по описанию на Vtrilog.

**Задание 5.6. Иерархический проект счетных триггеров.**

Создайте проект счетного триггера с именем v56\_t по приведенному описанию, выполните этапы 1 – 5, создайте символ.

Создайте иерархический проект счетных триггеров с именем sv56\_t по схеме (рис. 5.32), выполните этапы 1-9. Выполните моделирование, определите временные задержки и минимальное допустимое значение периода входных импульсов, при котором сохраняется работоспособность, подтвердите экспериментально результат.

**Задание 5.7. Иерархический проект двух D – триггеров по описанию на Vereilog.**

Изучите § 5.3, § 5.4. Разработайте описание приведенной схемы (рис. 5.33), содержащей два D-триггера - статический и динамический, которая предназначена для моделирования и сравнительного анализа указанных триггеров. Входы триггеров соединены параллельно, а выходы – раздельные, имеют различные имена. По описанию создайте проект с именем v67\_ dstat\_ddin, выполните моделирование (этапы 1 - 9) и анализ экспериментальных временных диаграмм.

Рис. 5.33.

D -триггеры

d

c

q

d

c

q

d

c

d\_din

d\_stat

Описание содержит заголовок (строка 2) и назначение входных и выходных сигналов (строки 3 - 5) – общие для двух триггеров. Выходной сигнал динамического триггера, описан как reg (строка 5), он вычисляется последовательным оператором (строка 6) «всегда по фронту с присваивать q\_din = d».   
Стока 7 - первый вариант описания статического триггера условным параллельным оператором «если с = 1, то q\_stat = q, иначе хранение q\_stat ».  
Стоки 8 – 10 закомментированы. Это второй вариант описания статического триггера последовательным оператором, в котором после ключевого слова always отсутствует список чувствительности. Выходной сигнал описан как тип reg. Однако, последовательный оператор будет срабатывать на уровень сигнала с = 1, при изменении любого из аргументов, подобно параллельному оператору.

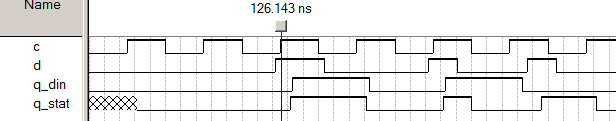


Рис. 5.34. Временные диаграммы

1 2 3 4 5 6 7 8 9 10 11 12

//два D - ртиггера 1

module v57\_dstat\_ddin

(c, d, q\_stat, q\_din); //2

input c,d; //3

output q\_stat, q\_din;// 4

reg q\_din; //5

always @ (posedge c) q\_din = d; //6

assign q\_stat = c ? d : q\_stat; //7

//reg q\_stat; //8

//always //9

// if (c) q\_stat = d; //10

endmodule //11

Отключите строку 7, включите строки 8 – 10, убедитесь в работоспособности.

Выполните анализ временных диаграмм, проведите сплошные и пунктирные линии в соответствии с моментами появления фронтов и спадов синхроимпульсов. Опишите выходные сигналы в соответствии с правилами срабатывания триггеров.  
Динамический триггер: по фронту синхросигнала выход q\_din равен входу d.  
В моменты 1, 3, 7, 11 на вход d подается 0, поэтому на выходе q\_din устанавливается 0.  
В моменты 5, 91 на вход d подается 1, поэтому на выходе q\_din устанавливается 1.  
Статический триггер при с = 0 имеет режим хранения, а при с = 1 – прозрачный режим, при котором q\_stat = d. Запоминается состояние входного сигнала, предшествующее спаду синхроимпульса (или последняя фраза). В моменты 2,4,10 спаду синхроимпульса соответствует d = 0, поэтому q\_stat устанавливается в 0. На интервале 9 – 10 имеем с = 1 –прозрачный режим, выход q\_stat повторяет вход d с задержкой. В момент спада d = 0, поэтому q\_stat сохраняет далее значение 0.

**Контрольные вопросы**

|  |  |
| --- | --- |
| 1.  2.  3.  4.  5.  6.  7. | Назначение и типы триггеров.  Поясните работу положительной обратной связи в триггере.  Для заданного триггера изобразите схему и временные диаграммы, таблицу истинности. Поясните его работу по схеме .  Поясните способ построения тестовых сигналов для всех триггеров.  Поясните правило функционирования триггеров типа: RS, D, JK, T.  Поясните работу статического и динамического D – триггеров по схемам.  Поясните способ составления таблиц истинности для заданного триггера |