

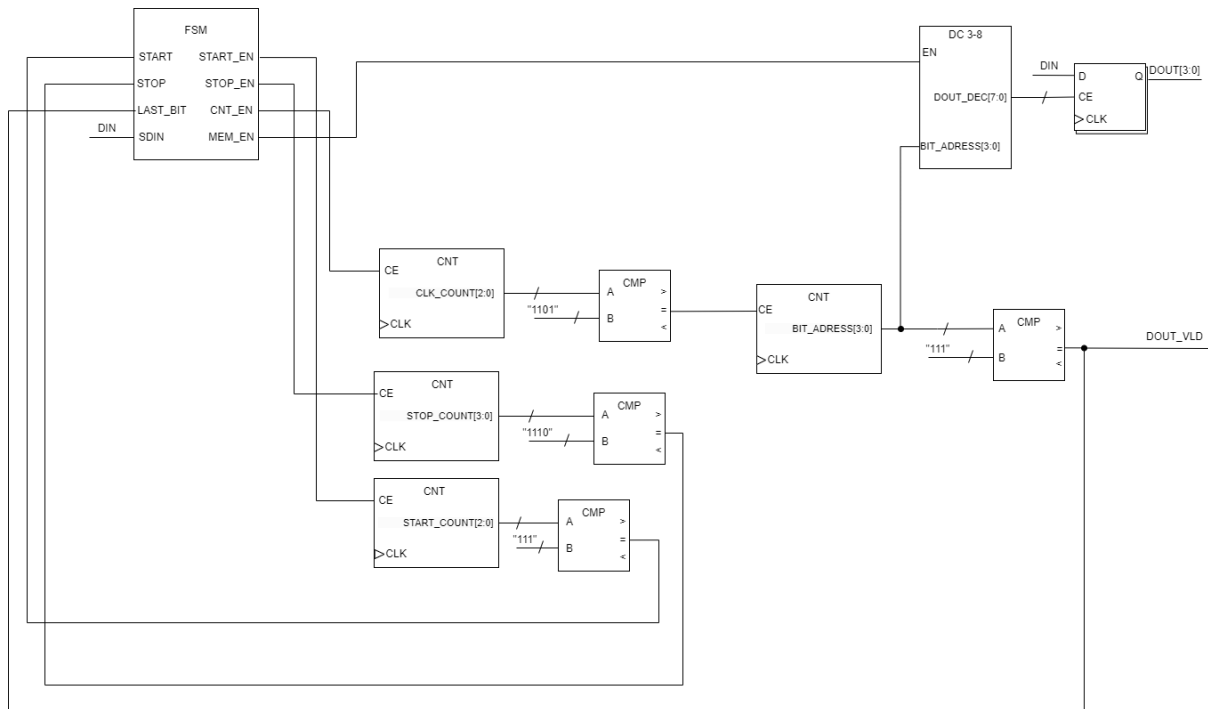
Výstupní zpráva

Jméno: Radim Dvořák

Login: xdvorar00

Architektura navrhnutého obvodu(na úrovni RTL)

Schéma obvodu



Popis

Pro najití midbitu a určení indexu bitu používá obvod 4 čítače. První počítá 8 taktů hodin, aby se dostal do midbitu start bitu. Další počítá 16 cyklů mezi vzorkováním datových bitů, další počítá adresu registru. Poslední počítá 16 cyklů(stopbit). K zápisu do registru slouží dekodér 8 na 3 se vstupem adresou bitu.

Návrh automatu (Finite state machine)

Schéma automatu

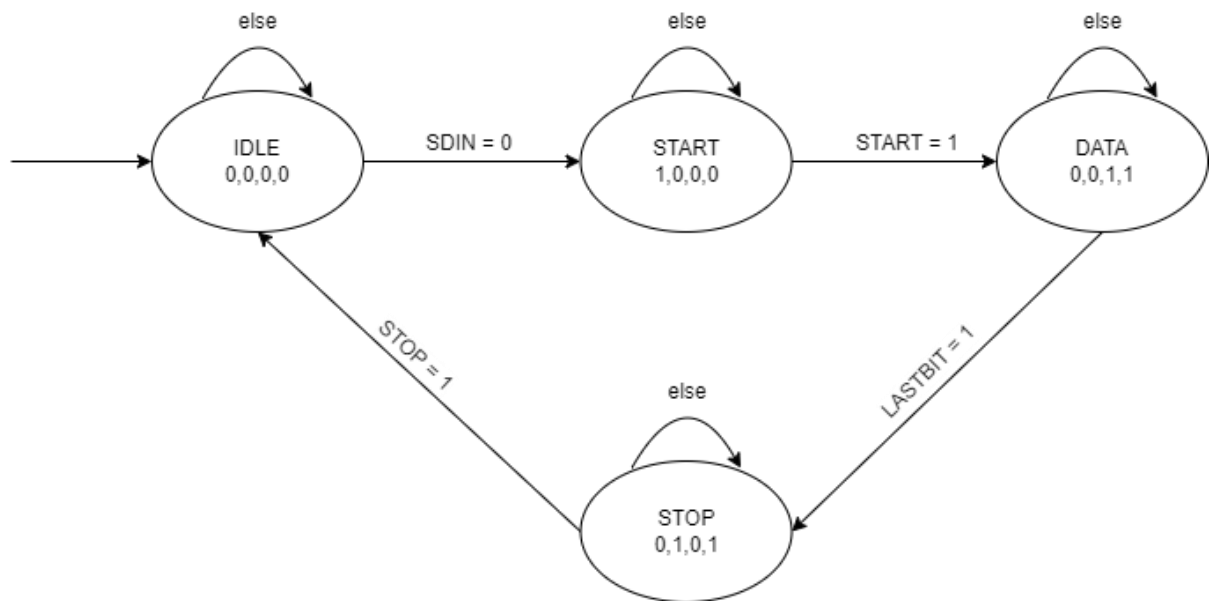
Legenda:

Stavy: IDLE, START, DATA, STOP,

Vstupní signály: START_BIT, SDIN, STOP_BIT, LAST_BIT

Mealyho výstupy: žádné

Moorovy výstupy: START_EN, STOP_EN, CNT_EN, MEM_EN



Popis:

Automat přechází mezi 4 stavy. Stav IDLE odpovídá stavu před začátkem přenosu, stav START_BIT je stav po přijetí start bitu, a v něm se čeká na midbit 1. datového bitu. Ve stavu DATA přijímá datové bity. Ve stavu STOP byla již všechna data přijata a čeká se na ukončení přenosu.

Snímek obrazovky ze simulace

