آزمایشگاه معماری کامپیوتر

دانشكده مهندسي كامپيوتر

دکتر سربازی تابستان ۱۴۰۳

رادین چراغی، ۴۰۱۱۰۵۸۱۵ مبین پورعابدینی، ۴۰۱۱۱۰۵۵۶ آرین نوری، ۴۰۱۱۰۶۶۶۳



گزارش آزمایش چهارم

نتایج مورد انتظار

در این آزمایش با فعال شدن سیگنال Start، ضرب دو عدد دودویی محاسبه میشود. انتظار میرود نتیجه صحیح پس از چند سیکل ساعت، همزمان با فعال شدن سیگنال End در خروجی مشاهده شود.

۲-۲ آزمایش چهارم: جمع /تفریق کننده ممیز شناور

هدف

در این آزمایش (طی دو جلسه)، مدار یک جمع/تفریقکننده ممیز شناور را طراحی کرده و با استفاده ابزار Proteus شبیهسازی میکنیم. پس از اطمینان از صحت عملکرد در شبیهساز، آن را روی بورد پیادهسازی میکنیم. مدار اولیه برای شبیهسازی را مطابق استاندارد 754-TEEE بیتی طراحی کنید. برای سهولت در پیادهسازی روی بورد، تعداد بیتها را از ۳۲ به ۱۲ کاهش دهید.

مشخصات مدار مورد نظر به قرار زیر است:

عملوند اول (ورودی): A

عملوند دوم (ورودی): B

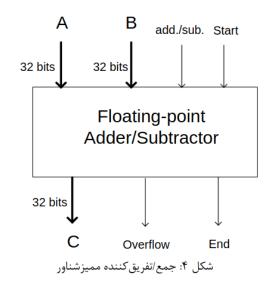
حاصل جمع/تفریق (خروجی): C

شروع عملیات (ورودی): Start

پایان عملیات (خروجی): End

سرريز (خروجي): Overflow

مشخص کننده جمع/تفریق (ورودی): add/sub

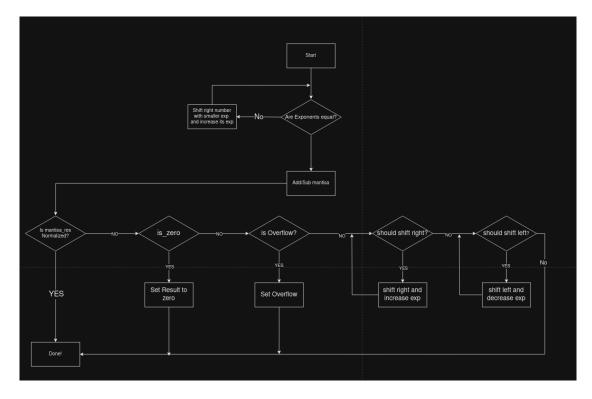




شكل(١)

١ الگوريتم جمع/تفريق كننده:

برا راحت تر ارائه كردن الگوريتم يك Diagram معادل الگوريتم در draw.io كشيده و ارائه ميدهيم:



شكل(١.١)

این الگوریتم سه بخش اساسی دارن:

- یکسان کردن نما های اعداد ورودی:
- - جمع/تفریق کردن مانتیسا ها:

در این بخش چون اعداد ورودی هم نما شده اند برا جمع/تفریق کردن شان میتوانیم از نما فاکتور گرفته و دو عدد ۲۴ بیتی باقی مانده را باهم جمع کنیم و در . $A+B=\Upsilon^{9}*(1,111)=\Upsilon^{9}*(1,111)=\Upsilon^{9}*$ داشتیم را در عدد به دست آمده ضرب کنیم معادل اش در مثال ما میشود:

• نرمال كردن خروجي:

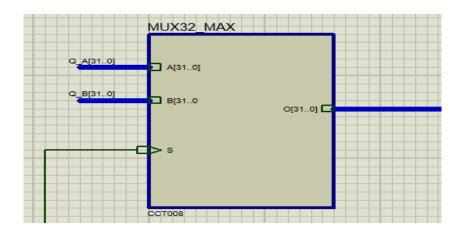
برای نرمال کردن خروجی باید توجه کنیم که ممکن است جمع دو عدد ۲۴ بیتی ما عددی با ۲۵ بیت باشد در نتیجه در چنین حالتی باید جواب نهایی را قبل از خروجی دادن یک واحد به راست شیفت دهیم و به نمای آن یک واحد اضافه کنیم، حالتی دیگری که ممکن است رخ دهد این است که عدد خروجی ما بیت پر ارزش یک اش سمت راست بیت ۲۴ ام باشد در این صورت چون لازم است عدد نهایی مان نرمال شده باشد باید عدد را آنقدر به چپ شیفت دهیم (و نمای آن را هر بار یک واحد کم کنیم) تا بیت ۲۴ ام عدد مان ۱ شود و به شکل نرمال در بیاید.

باید توجه کنیم که اگر خروجی نهایی مان . میشد در حلقه بی نهایت گیر نکنیم.

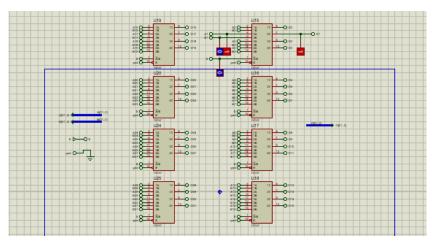
۲ پیاده سازی در پروتئوس:

۱.۲ ساخت ماژول های کمکی:

● ماژول ۳۲ MUX بیتی:

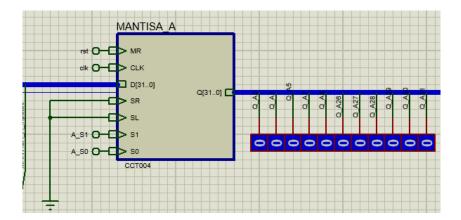


شكل(١.١.٢)

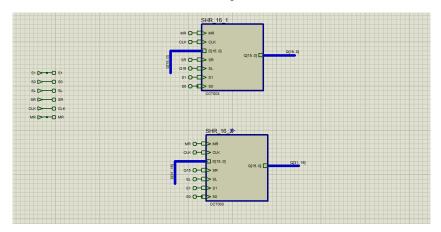


شکل(۲.۱.۲)

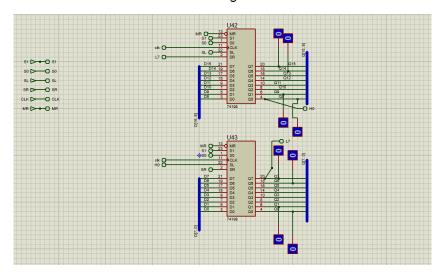
• رجیستر ۳۲ بیتی با قابلیت لود و شیفت چپ و راست:



شکل(۳.۱.۲)

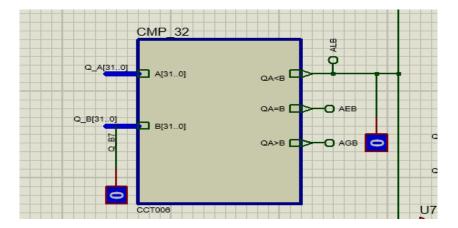


شکل(۴.۱.۲)

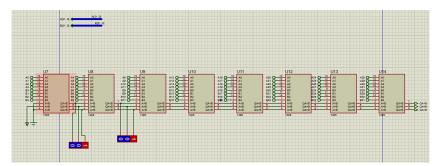


شکل(۵.۱.۲)

• مقایسه کننده ۳۲ بیتی:

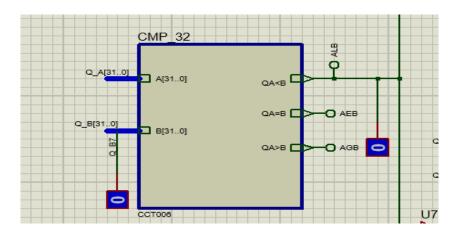


شکل(۶.۱.۲)

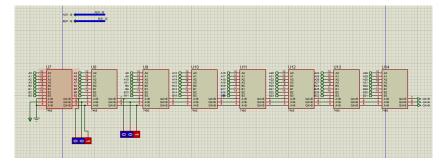


شکل(۷.۱.۲)

• جمع کننده ۳۲ بیتی:



شکل(۸.۱.۲)

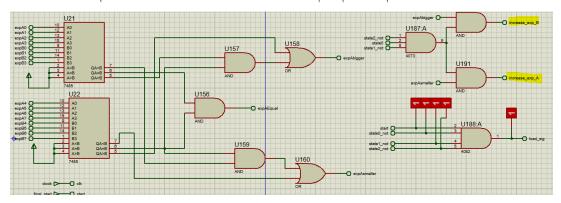


شکل(۹.۱.۲)

۲.۲ مرحله اول الگوریتم (هم نما کردم ورودی ها)

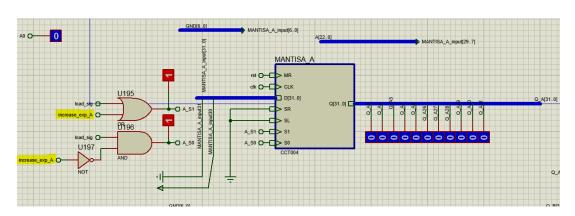
در این مرحله و بعد از لود شدن ورودی ها هر بار که نمای عددی از عدد دیگر بزرگ تر باشد، عدد با نمای کوچکتر یک واحد به راست شیفت میخورد و نمای آن یک واحد افزایش نیابد تا زکانی که هر دو نما با هم برابر شوند. برای ساخت چنین چیزی از رجیستر ۳۲ بیتی که بالا ساختیم استفاده میکنیم و در هر مرحله با سیگنال های increase exp A و increase exp B یکی از دو عدد را به چپ شیفت میدهیم.

ابتدا سیگنال های increase exp A و increase exp E را میسازیم:
(کافی است مقادیر نمای هر دو عدد را مقایسه کنیم تا بفهمیم کدام بزرگ تر است و سیگنال مان را از روی آن بسازیم)



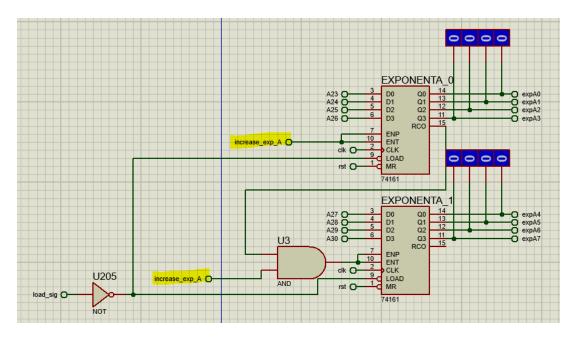
شكل(١.٢.٢)

• سپس با استفاده از این سیگنال ها مقادیر رجیستر های حاوی مانتیسا را شیفت میدهیم:



شكل(٢.٢.٢)

• همچنین مقدار نمای متناظر رجیستر ای که شیفت داده شد را یکی زیاد میکنیم:

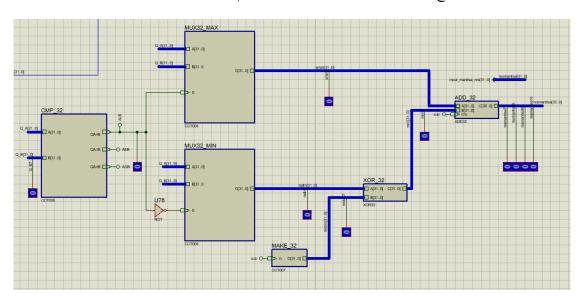


شکل(۳.۲.۲)

۳.۲ مرحله دوم الگوريتم (جمع کردن دو عدد)

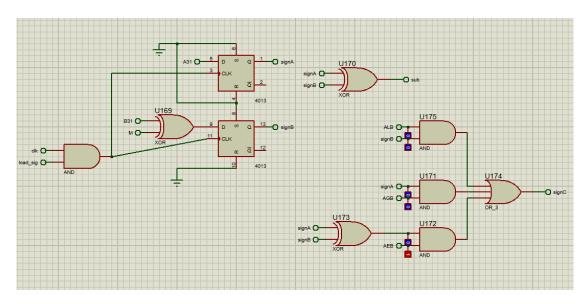
در این مرحله به منظور راحت تر شدن مدار اگر دو عدد A و B هم علامت بودن (سیگنال M که برای منها است را نیز جزو علامت B حساب میکنیم) کافی ست

دو عدد را باهم جمع کنیم در غیر این صورت باید اختلاف این دو عدد را حساب کنیم و مقدار قدر مطلق جواب نهایی را به دست آوریم: به این منظور با استفاده از مقایسه کننده 77 بیتی عدد بزرگ تر و عدد کوچک تر (از لحاظ قدر مطلق) را حساب میکنیم ، اگر علامت دو عدد یکسان بود به سادگی آنها را با ماژول 77 بیتی عدد کوچک تر مون رو 77 در غیر این صورت با استفاده از یک ماژول 77 بیتی عدد کوچک تر مون رو 77 در ماژول جمع 77 بیتی به 77 بیتی به 77 بیتی عدد کوچک تر مون رو 77 در ماژول جمع 77 بیتی به 77 بیتی به 77 بیتی به عدی میکنیم



شكل(١.٣.٢)

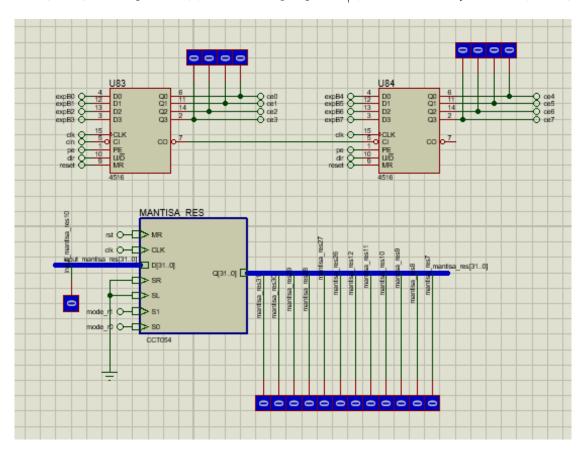
همچنین در نهایت با استفاده از نتیجه مقایسه دو عدد و علامت های آنها میتوانیم علامت جواب را به این شکل حساب کنیم:



شکل(۲.۳.۲)

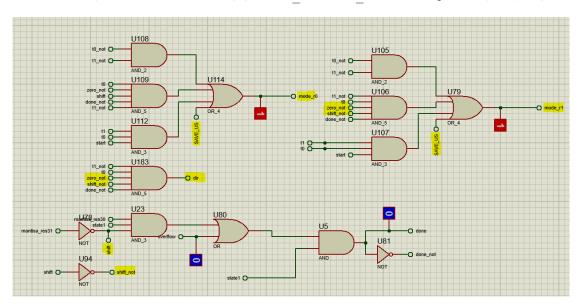
۴.۲ مرحله سوم الگوريتم (نرمال سازي جواب)

در این مرحله ابتدا جواب آماده شده از جمع کننده مرحله قبل را در رجیستر مانتیسا جواب لود میکنیم و همچنین مقدار نمای برابر شون رو هم در یک شمارنده ۸ بینی (از ترکیب دو تا شمارنده ۴ بیتی میسازیمش) لود میکنیم، برامون مهم است که این شمارنده توانایی بالا شمردن و پایین شمردن داشته باشد زیبا ممکن است بسته به شرایط مبجور به شیفت چپ و یا شیفت راست شویم که به این معنی است که نمای جواب مان ممکن است بیشتر یا کمتر شود.



شكل(١.۴.٢)

همچنین لازم داریم که بدونیم در این لحظه اگر نیاز به شیفت هست و هنوز نرمالایز تموم نشده است، باید به چه سمتی شیفت بدهیم، برای کنترل کردن این نکته از سیگنال dir ام مانتیسا جواب نگاه میکند و در صورتی کته از سیگنال dir ام مانتیسا جواب نگاه میکند و در صورتی که ۱ باید مقدار آن نیز ۱ خواهد بود. همچنین سیگنال های rode r و mode و ۲۱ mode نیز برای دادن سیگنال مطابق رجیستر ها است.

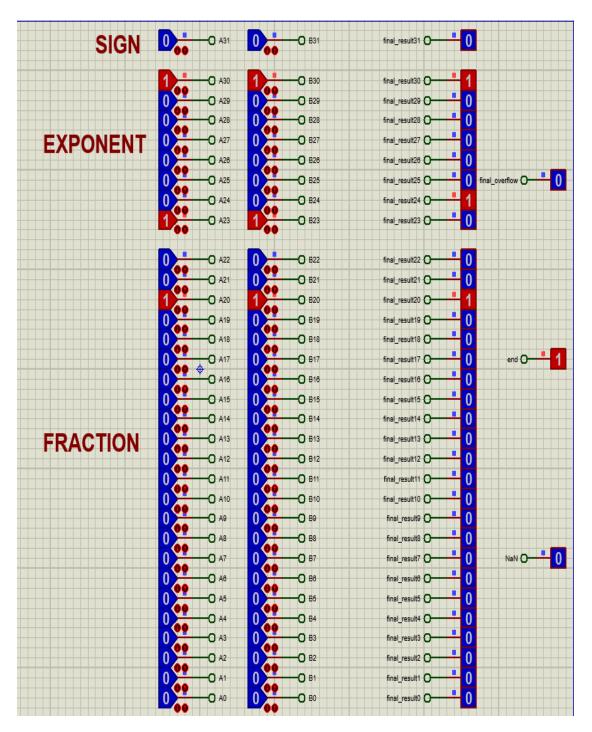


شکل(۲.۴.۲)

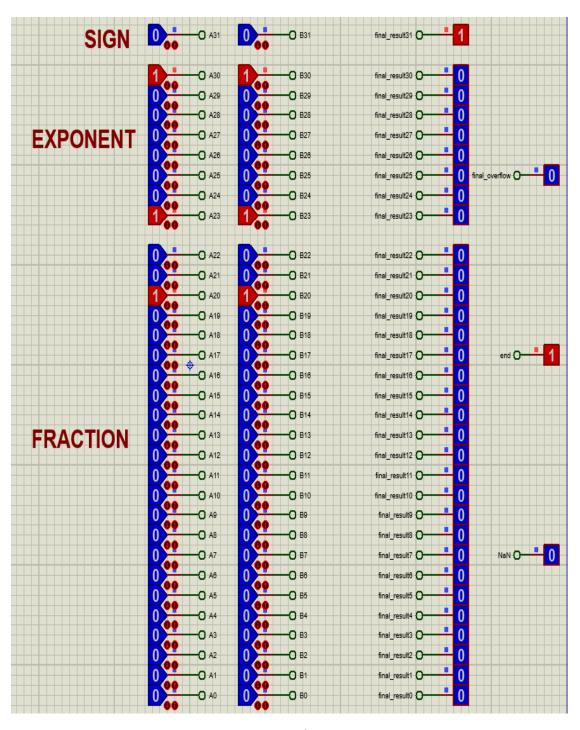
۳ تست کردن مدار شبیه سازی شده

در این مرحله با تعدادی تست کیس صحت عملکرد مدار را بررسی میکنیم:

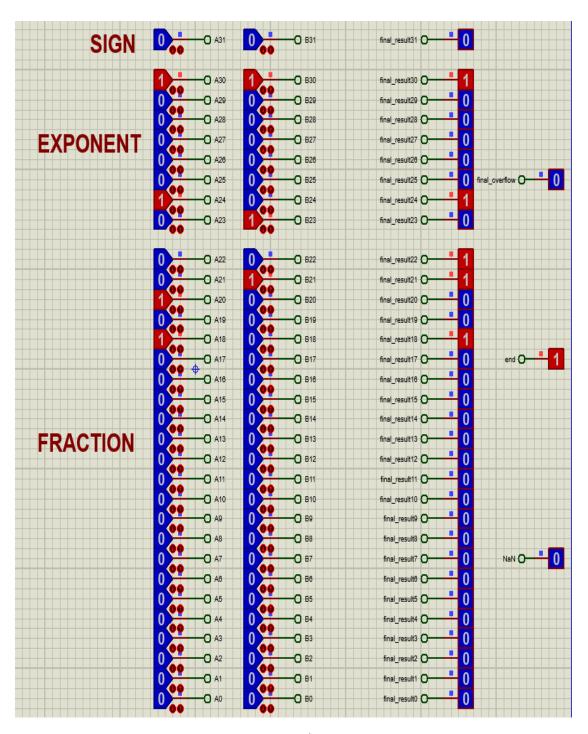
$$A = \Upsilon/\Delta = \Upsilon^{\Upsilon} * 1/\cdots 1, B = \Upsilon/\Delta = \Upsilon^{\Upsilon} * 1/\cdots 1 => A + B = \P = \Upsilon^{\Upsilon} * 1/\cdots 1 \bullet$$



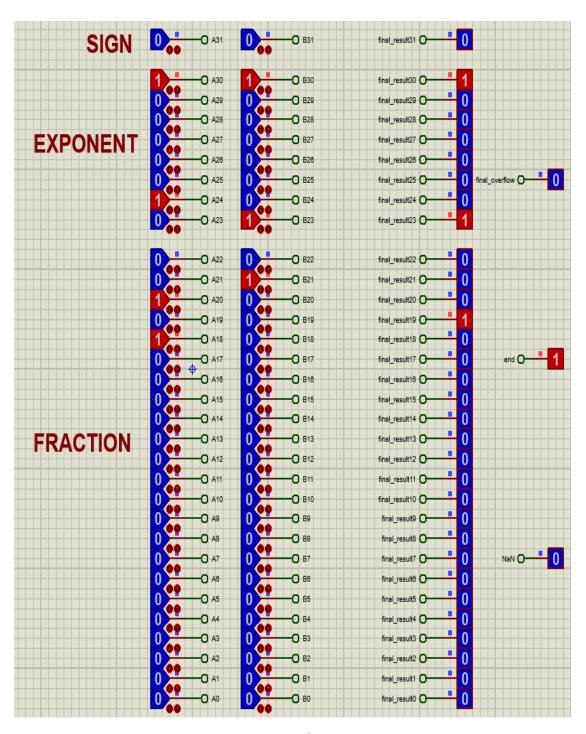
شكل(١.٣)



شکل(۲.۳)



شکل(۳.۳)



شکل(۴.۳)