

به نام خدا



آزمایش سوم

آزمایشگاه معماری کامپیوتر

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نویسندگان:

رادین چراغی ۴۰۱۱۰۵۸۱۵

آرین نوری ۴۰۱۱۰۶۶۶۳

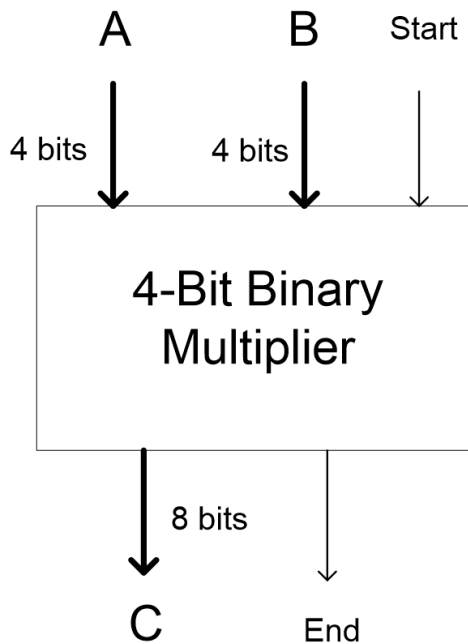
مبین پورعابدینی ۴۰۱۱۱۰۵۵۶

تاریخ ارائه تکلیف:

۱۴۰۳/۰۴/۲۹

مقدمه

در این آزمایش هدف طراحی و پیاده‌سازی یک ضرب‌کننده دودویی چهار بیتی می‌باشد. شکل ۱ شمای کلی مدار را نشان می‌دهد. مشخصات مدار به صورت زیر است:



ورودی‌ها

- مضروب: A
- مضروب‌فیه: B
- شروع ضرب: Start

خروجی‌ها

- حاصل ضرب: C
- پایان ضرب: finish

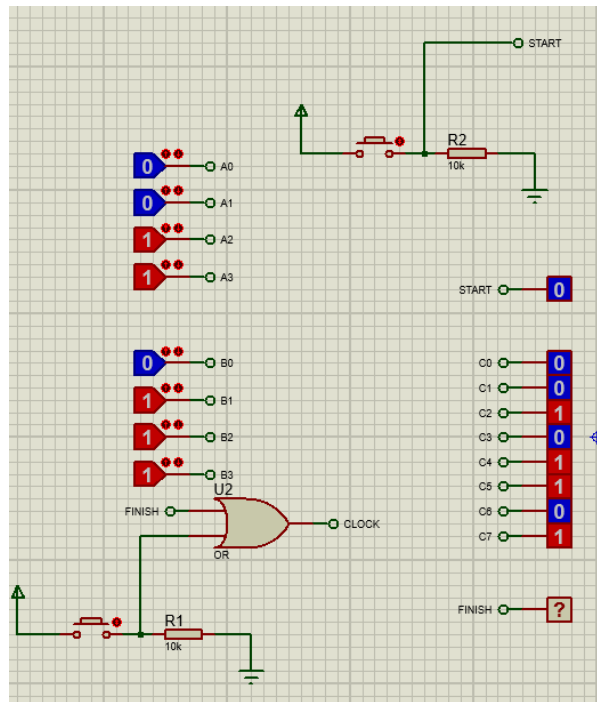
شکل ۱. بلوک دیاگرام ضرب‌کننده چهار بیتی

شرح آزمایش

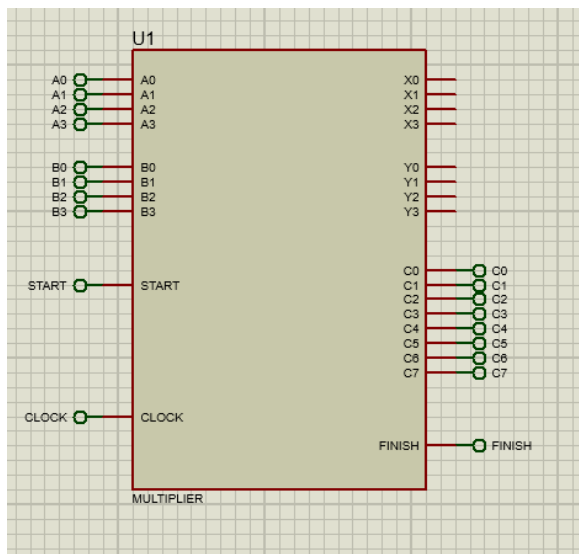
این مدار بدین‌صورت کار می‌کند که با فعال شدن سیگنال Start، ضرب‌کننده عملیات خود را با ورودی‌هایی که از قبل مقداردهی شده‌اند آغاز می‌کند و پس رسیدن کلاک‌های متوالی حاصل ضرب چهار بیتی A و B را با روش shift و add محاسبه کرده و در خروجی هشت بیتی C قرار می‌دهد. در این مدار هر زمان که حاصل ضرب آماده شود سیگنال خروجی finish فعال می‌شود.

حال به طراحی مدار در نرم‌افزار پروتئوس می‌پردازیم. در ابتدا با استفاده از logic state و logic probe ورودی‌های A، B، خروجی C و خروجی finish را در مدار قرار می‌دهیم. سپس با استفاده از دو push button، ورودی Start و سیگنال clock را در مدار جای می‌دهیم. در هنگام پیاده‌سازی کلاک بر سر راه ترمینال مربوط به آن یک گیت or قرار می‌دهیم که ورودی دیگر آن همان خروجی finish می‌باشد. چرایی این کار به این خاطر است که از زمانی که خروجی finish فعال شده تا زمانی که push button مربوط به ورودی Start فشرده نشده مدار بایستی در حالت stand-by باقی بماند و کلاک جدید به مدار نرسد.

شکل ۲ عملیات مذکور را نشان می‌دهد.



شکل ۲. اجزای مدار مربوط به ورودی‌ها، خروجی‌ها و کلاک

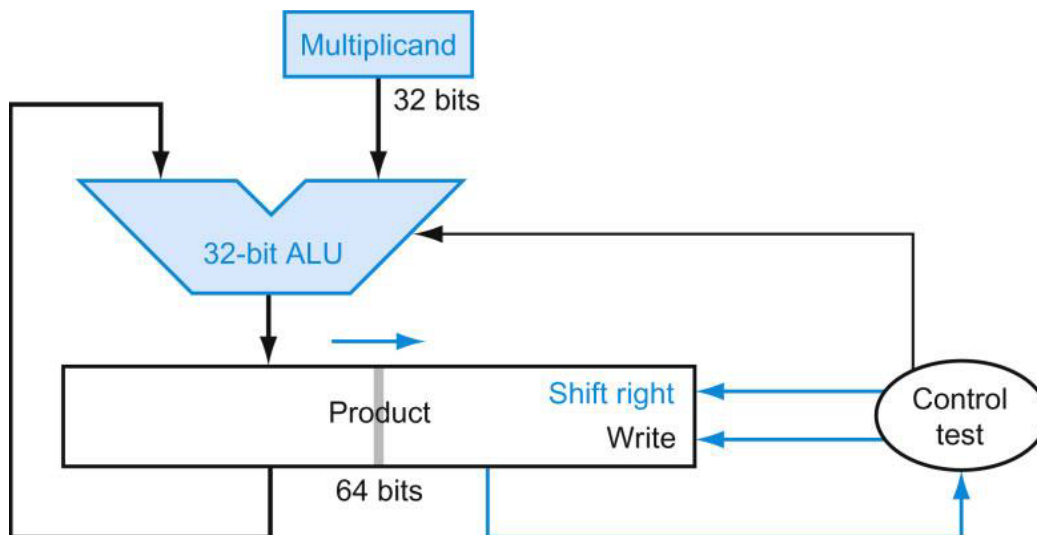


شکل ۳. طراحی خارجی ایسی MULTIPLIER

حال با استفاده از قابلیت‌های نرم‌افزار پروتئوس یک ایسی ضرب‌کننده می‌سازیم و نام آن را MULTIPLIER قرار می‌دهیم تا در ادامه بتوانیم از آن استفاده کنیم. همانطور که مشخص است این ایسی دارای دو ورودی چهار بیتی A و B و یک ورودی یک بیتی Start می‌باشد. همچنین خروجی‌های این ایسی خروجی هشت بیتی C و یک خروجی یک بیتی finish می‌باشد. همچنین برای تست بهتر دو خروجی چهار بیتی دیگر X و Y برای این مدار در نظر گرفته شده که در ادامه به آن پرداخته می‌شود.

شکل ۳ طراحی این ایسی را نشان می‌دهد.

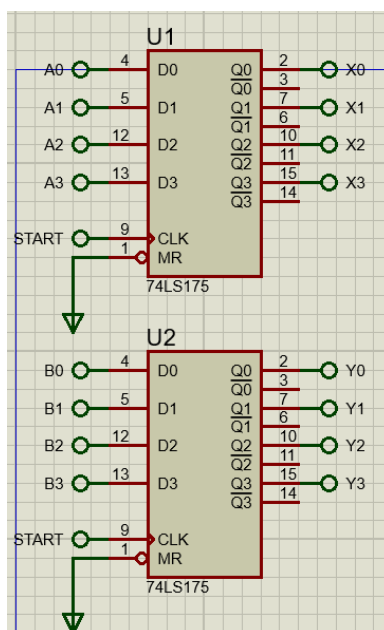
اکنون به طراحی داخلی ایسی ضرب کننده می پردازیم. ابتدا روش استفاده شده برای طراحی ضرب کننده را توضیح می دهیم. روش استفاده شده برای طراحی ضرب کننده، shift & add می باشد که در شکل ۴ نسخه کمی متفاوت با آن دیده می شود. لازم به ذکر است این شکل از اسلایدهای معماری کامپیوتر دکتر ارشدی برداشته شده است. در ابتدا سه رجیستر داریم که دوتا از آنها چهار بیتی بوده و برای نگهداری A و B استفاده می شوند و رجیستر سوم نیز هشت بیتی بوده و همان product یا حاصل ضرب می باشد که در شروع صفر می باشد. در این روش در هر مرحله ابتدا در صورتی که بیت متناظر با آن مرحله در B برابر با یک باشد، چهار بیت پرارزش product با بیت های رجیستر نگهدارنده A جمع شده و حاصل در چهار بیت پرارزش product ذخیره می شود. سپس بیت های product یک واحد به راست شیفت می خورند. بنابراین در صورتی که تا زمان فعلی تعداد زوج تا کلاک رسیده باشد، عملیات add یا load صورت گرفته و در غیر این صورت عملیات شیفت انجام می شود. نکته قابل توجه این می باشد که از آن جایی که در ابتدا بیت های product صفر می باشد، add اول همان load بیت های A در چهار بیت پرارزش product می باشد و سپس شیفت انجام می شود. بنابراین در این روش از لحاظ زمانی ابتدا شیفت صورت گرفته و سپس add را انجام می دهیم. در نهایت هنگامی که حاصل ضرب آماده شود finish فعال شده و مدار در حالت stand-by باقی می ماند.



شکل ۴. نمای کلی روش صورت گرفته برای مدار ضرب کننده ۳۲ بیتی

حال در این قسمت گام به گام بخش‌های مدار را توضیح می‌دهیم.

همانطور که در شکل ۴ مشاهده می‌شود ابتدا دو رجیستر چهار بیتی برای نگهداری A و B قرار می‌دهیم که خروجی‌های آن‌ها به ترتیب X و Y می‌باشند و کلاک آن‌ها به Start مدار متصل است. دلیل قرار دادن این رجیسترها به این خاطر است که زمانی که فرایند محاسبه حاصل ضرب شروع شود ممکن است ورودی‌های A و B تغییر کنند اما مدار بایستی با ورودی‌هایی که در زمان فعال شدن Start به آن داده شده ادامه دهد. به همین سبب از رجیسترهای چهار بیتی استفاده می‌کنیم تا تغییر ورودی‌ها در حین انجام عملیات ضرب اثری در محاسبه حاصل نگذارد.



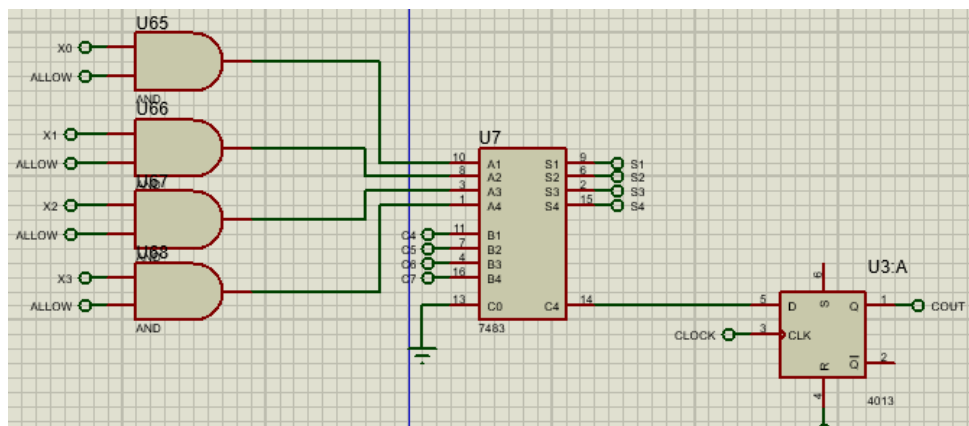
شکل ۵. رجیسترهای نگهدارنده A و B

برای پیاده‌سازی بهتر مدار از یک شمارنده کمک می‌گیریم که از صفر تا نه می‌شمارد. ورودی clk این شمارنده را به کلاک مدار متصل کرده و ریست آن را نیز به Start وصل می‌کنیم. همانطور که در بالاتر توضیح داده شد در صورتی که تعداد زوج تا کلاک تا به حال رسیده باشد و شمارنده عدد زوجی را نشان بدهد (۰، ۲، ۴ و ۶)، عملیات جمع انجام می‌شود. بدین منظور یک سیگنال load در نظر گرفته که هنگامی که شمارنده عددهای ۰، ۲، ۴ یا ۶ را نشان بدهد فعال می‌شود. همچنین در صورتی که شمارنده عدد فردی را نشان بدهد بایستی عملیات شیفت صورت بگیرد. در نتیجه یک سیگنال shift در نظر می‌گیریم که اگر شمارنده عددهای ۱، ۳، ۵ یا ۷ را نشان بدهد فعال می‌شود. در بالاتر توضیح دادیم که عملیات جمع تنها در صورتی در یک مرحله انجام می‌شود که بیت متناظر با آن مرحله در B برابر با یک باشد؛ بدین منظور نیاز به یک سیگنال ALLOW داریم که در صورتی که شمارنده اعداد ۰، ۲، ۴ یا ۶ را نشان دهد، به ترتیب بیت‌های Y_0 ، Y_1 ، Y_2 و Y_3 (به ازای هر عدد زوج شمارنده یک بیت) را بررسی کرده و در صورتی که در یکی از مراحل مربوط به حالت جمع باشیم و بیت متناظر با آن مرحله در B اولیه (همان Y) برابر با یک

The diagram shows a logic circuit for a 4-bit counter using a 4017 decade counter (U8). The 4017 is clocked by a CLOCK signal and has a START input. Its outputs Q0-Q9 are connected to a network of logic gates. The circuit includes outputs for 'load', 'shift', 'ALLOW', and 'X'.

- U8 (4017):** A decade counter with inputs CLK (14), E (13), MR (15), and CO (12). Outputs Q0-Q9 are connected to various logic gates.
- U9 (OR_4):** An OR gate with inputs Q0, Q1, Q2, and Q3. Output is 'load'.
- U29 (OR_4):** An OR gate with inputs Q4, Q5, Q6, and Q7. Output is 'shift'.
- U4 (AND):** An AND gate with inputs Q8 and Q9. Output is 'X'.
- U6 (AND):** An AND gate with inputs Q0 and Q1. Output is 'Y0'.
- U7 (AND):** An AND gate with inputs Q2 and Q3. Output is 'Y1'.
- U10 (AND):** An AND gate with inputs Q4 and Q5. Output is 'Y2'.
- U11 (AND):** An AND gate with inputs Q6 and Q7. Output is 'Y3'.
- U72 (OR_4):** An OR gate with inputs Y0, Y1, Y2, and Y3. Output is 'ALLOW'.

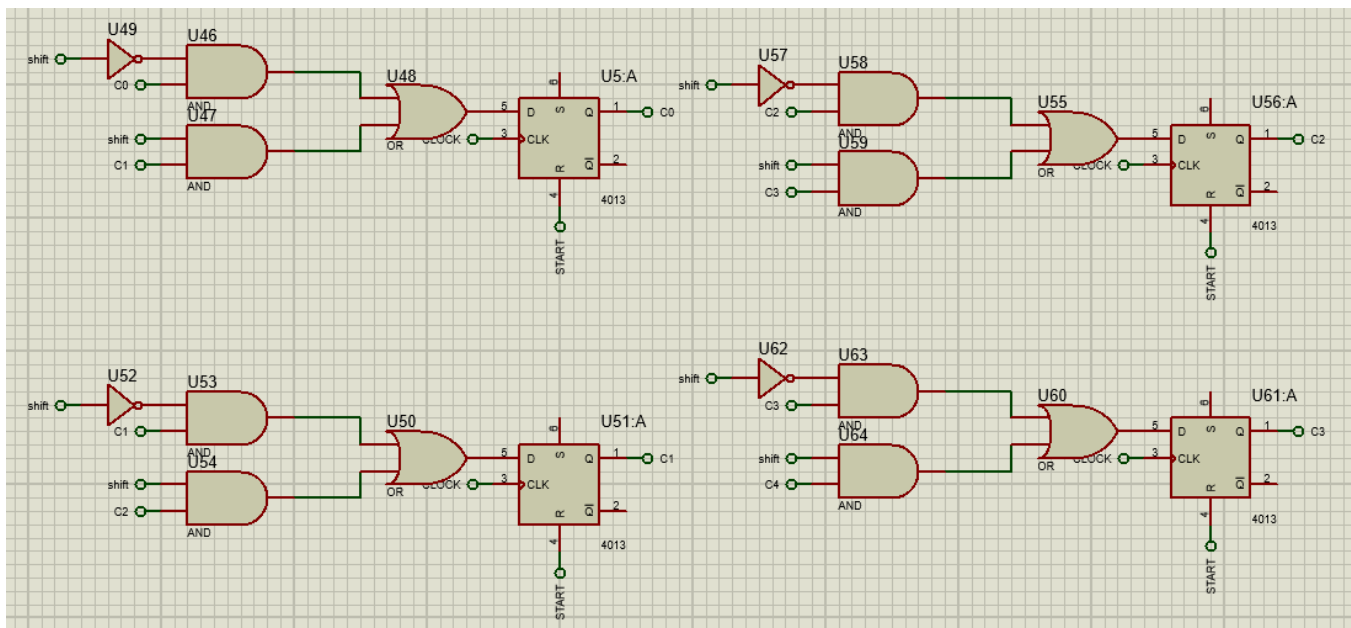
برای نگهداری بیت‌های **product** از هشت فلیپ فلاپ استفاده می‌کنیم که خروجی‌های آن‌ها بیت‌های **C0** تا **C7** می‌باشند، کلاک آن‌ها به کلاک مدار و ریست آن‌ها به **Start** متصل شده است. در ادامه به این فلیپ فلاپ‌ها پرداخته خواهد شد. جهت انجام عملیات جمع از یک جمع کننده چهار بیتی استفاده کرده که چهار بیت اول آن بیت‌ها **X0** تا **X3** می‌باشند که با بیت **ALLOW**، اند منطقی شده‌اند. چهار بیت ورودی دوم آن نیز چهار بیت پرارزش **C** می‌باشند. خروجی‌های این جمع کننده را **S1** تا **S4** نامگذاری



५

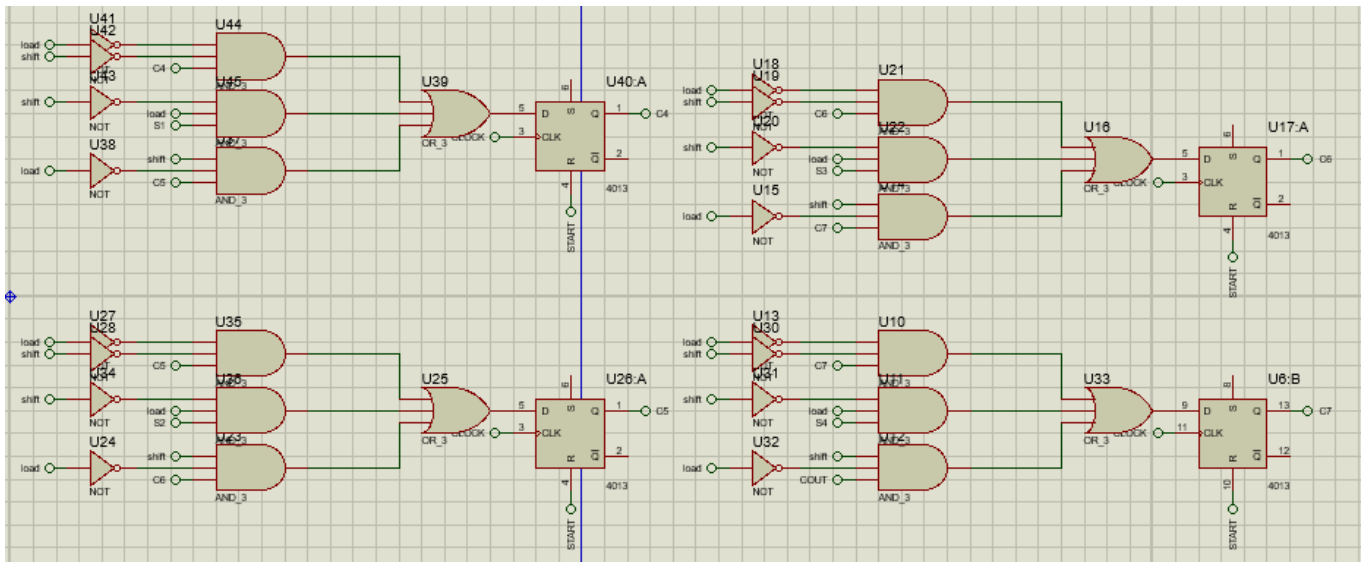
می‌کنیم. برای نگهداری **cout** این جمع‌کننده، آن را به یک فلیپ فلاپ دیگر ورودی می‌دهیم. دلیل نگهداری از **cout** در ادامه توضیح داده خواهد شد. شکل ۷ این جمع‌کننده را نشان می‌دهد.

همانطور که گفته شد برای نگهداری بیت‌های **product** از هشت فلیپ فلاپ استفاده می‌کنیم که خروجی‌های آن‌ها بیت‌های **C0** تا **C7** می‌باشند. ورودی فلیپ فلاپ‌های مربوط به **C0** تا **C3** در شکل ۸ مشاهده می‌شود. از آن جایی عملیات جمع روی این بیت‌ها تاثیری نمی‌گذارد در صورتی که سیگنال شیفت فعال نباشد ورودی این فلیپ فلاپ‌ها همان خروجی آن‌ها می‌باشد. در صورتی که **shift** فعال باشد، ورودی این فلیپ فلاپ‌ها خروجی فلیپ فلاپ بعدی می‌باشد.



شکل ۸. فلیپ فلاپ‌های مربوط به بیت‌های **C0** تا **C3**

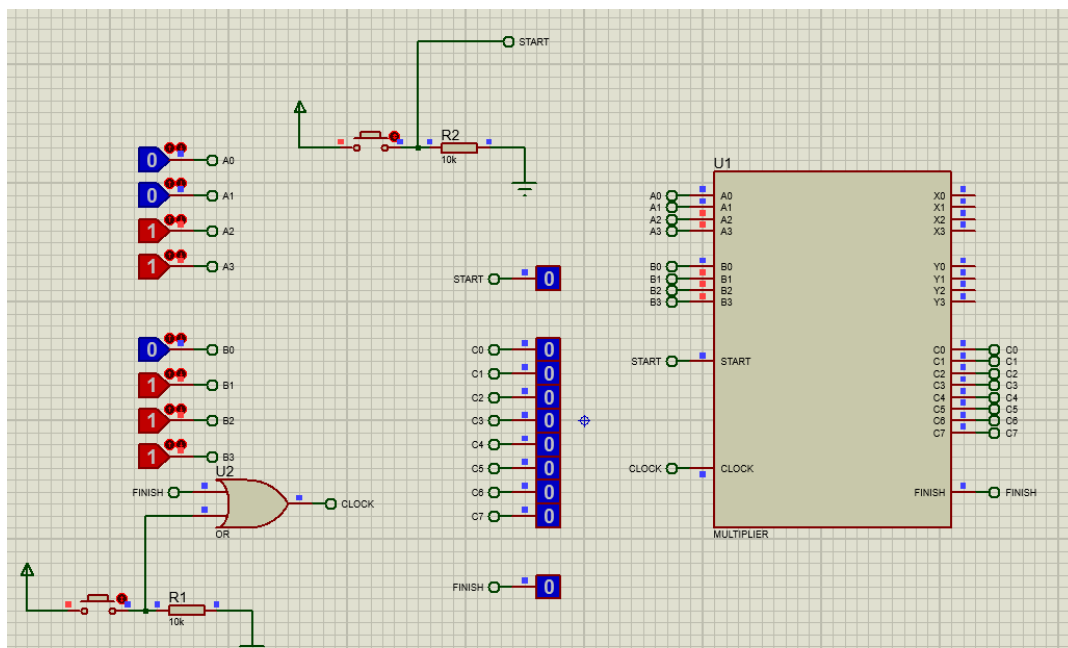
ورودی فلیپ فلاپ‌های مربوط به **C4** تا **C7** در شکل ۹ مشاهده می‌شود. برای ورودی این فلیپ فلاپ‌ها ۳ حالت وجود دارد. در صورتی که هیچ یک از سیگنال‌های **load** یا **shift** فعال نباشد، محتوای این فلیپ فلاپ‌ها تغییر نخواهد کرد و همان خروجی آن‌ها به ورودی‌شان وصل خواهد شد. در صورتی که سیگنال **load** فعال باشد و در حالت جمع باشیم بیت متناظر با فلیپ فلاپ در **S** (خروجی جمع‌کننده) به ورودی آن داده می‌شود. در نهایت اگر **shift** فعال باشد، خروجی فلیپ فلاپ بعدی به ورودی آن متصل می‌شود. برای فلیپ فلاپ آخر نیز خروجی **COU** جمع‌کننده که با یک فلیپ فلاپ قبلتر آن را ذخیره کرده بودیم، به عنوان ورودی به آن داده می‌شود.



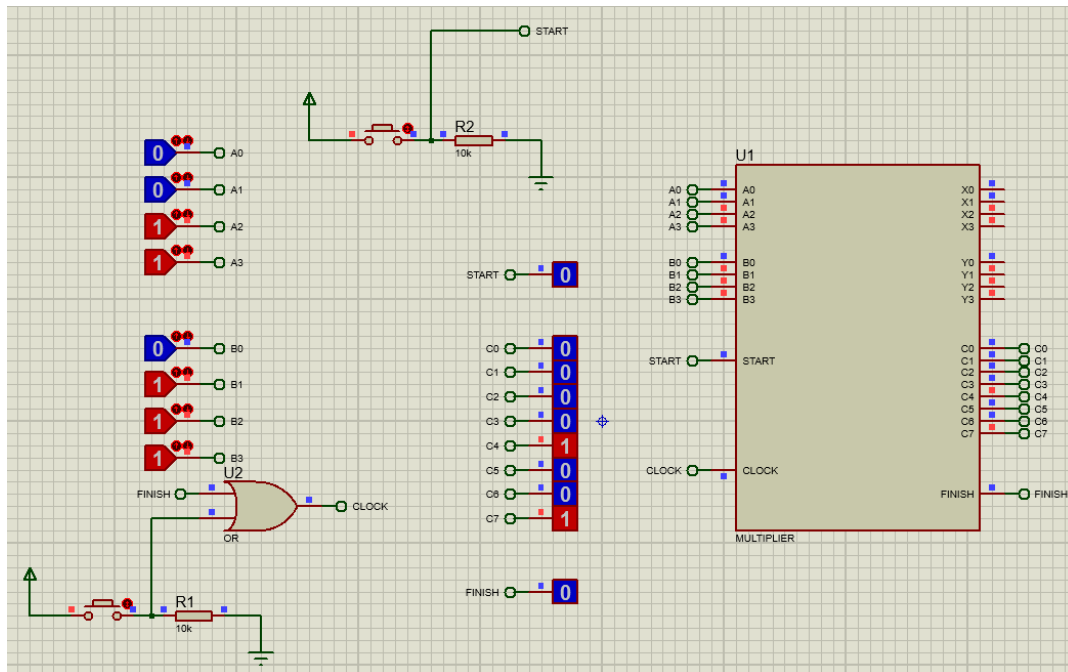
شکل ۹. فلیپ فلاپ‌های مربوط به بیت‌های C4 تا C7

آزمایش مدار

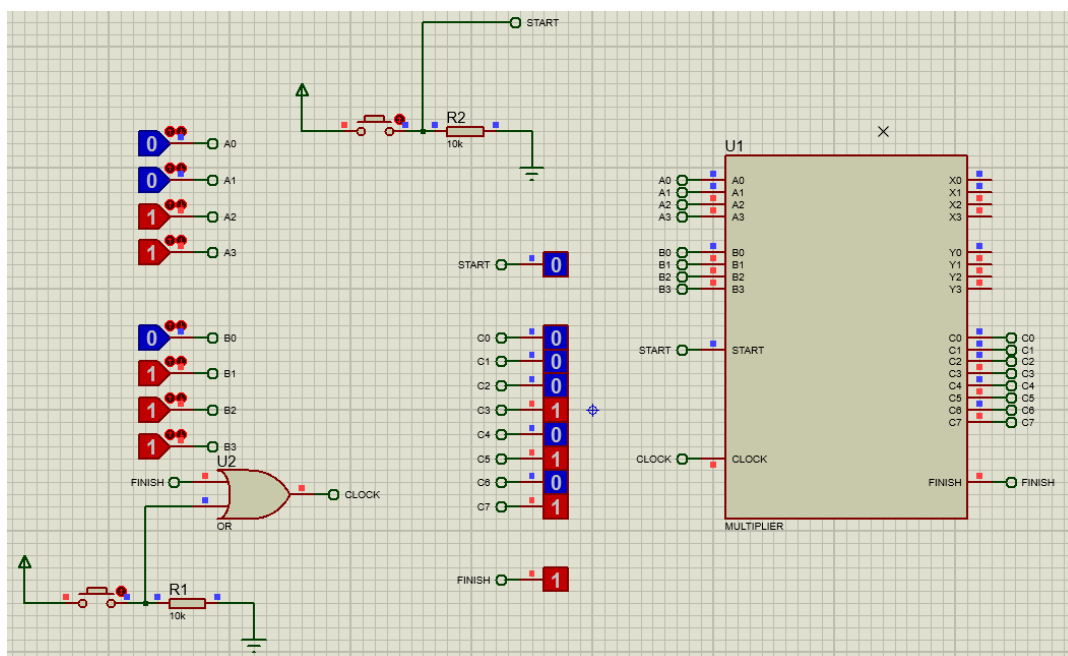
مدار را با ورودی‌ها مختلف تست کرده و خروجی‌ها را مشاهده می‌کنیم. تصاویر زیر تست مدار را نشان می‌دهند.



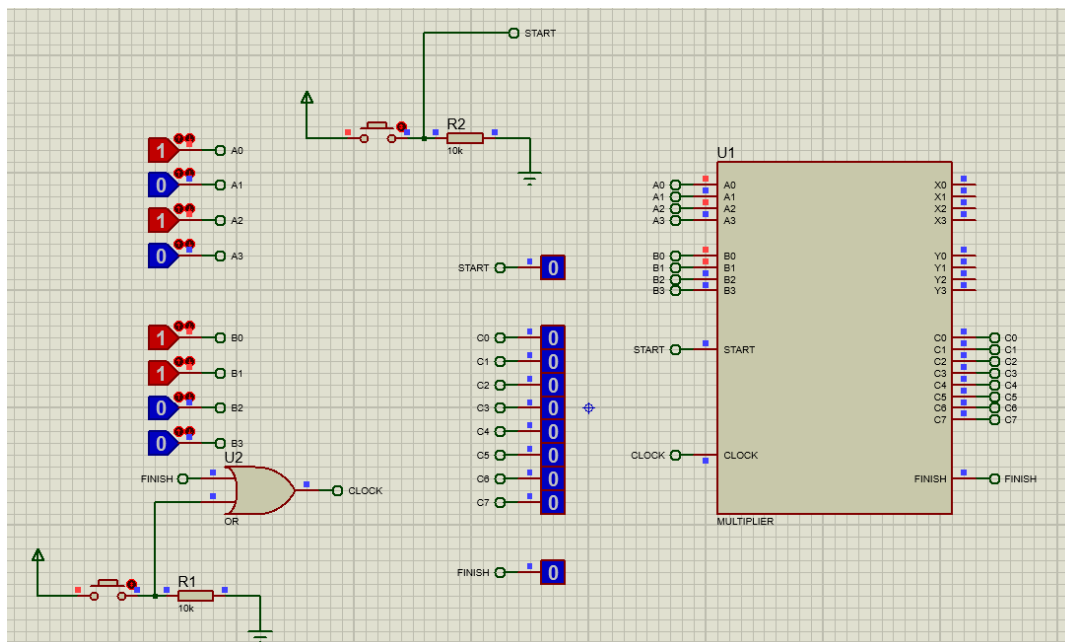
شکل ۱۰. آزمون مدار با ورودی‌های ۱۴ و ۱۲ قبل از فشردن Start



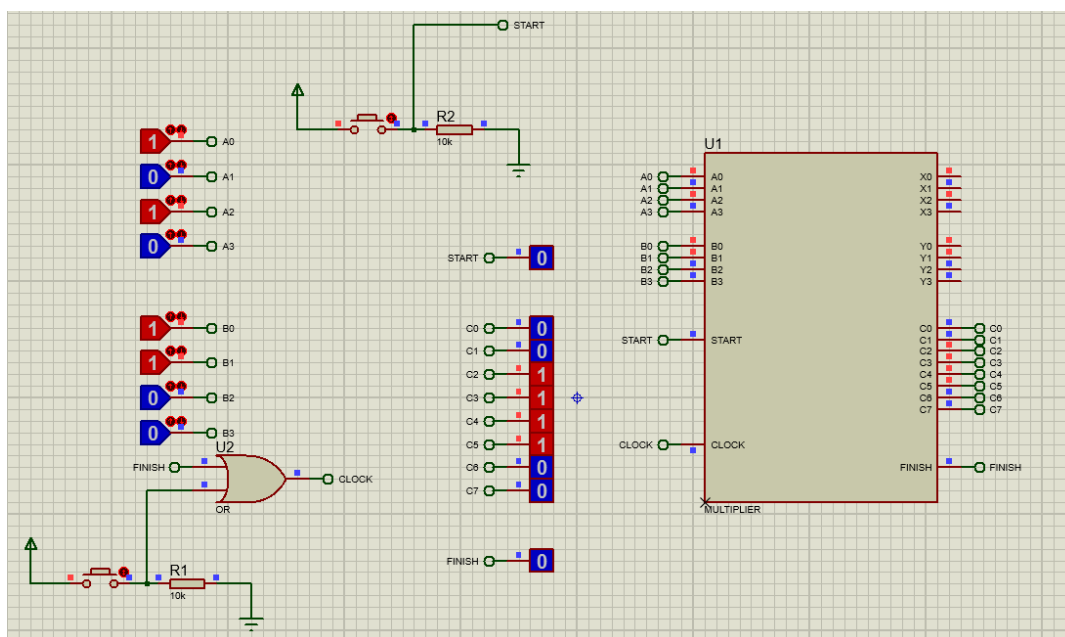
شکل ۱۱. نتیجه مدار در حین فرایند ضرب



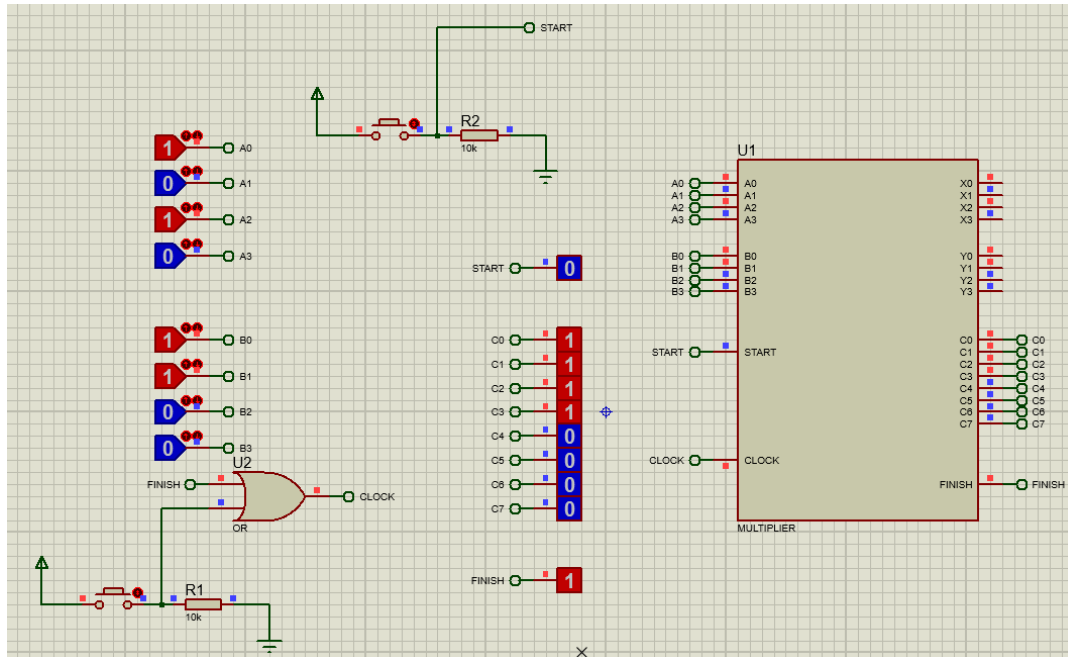
شکل ۱۲. نتیجه مدار پس از اتمام فرایند حاصل ضرب و خروجی ۱۶۸



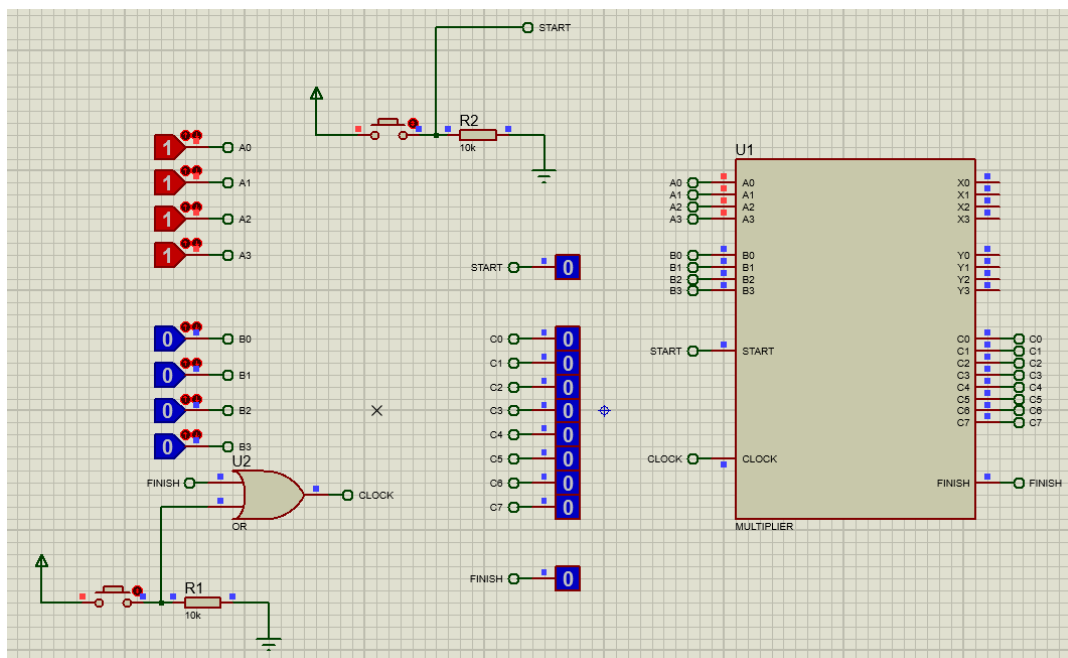
شکل ۱۳. آزمون مدار با ورودی‌های ۵ و ۳ قبل از فشردن Start



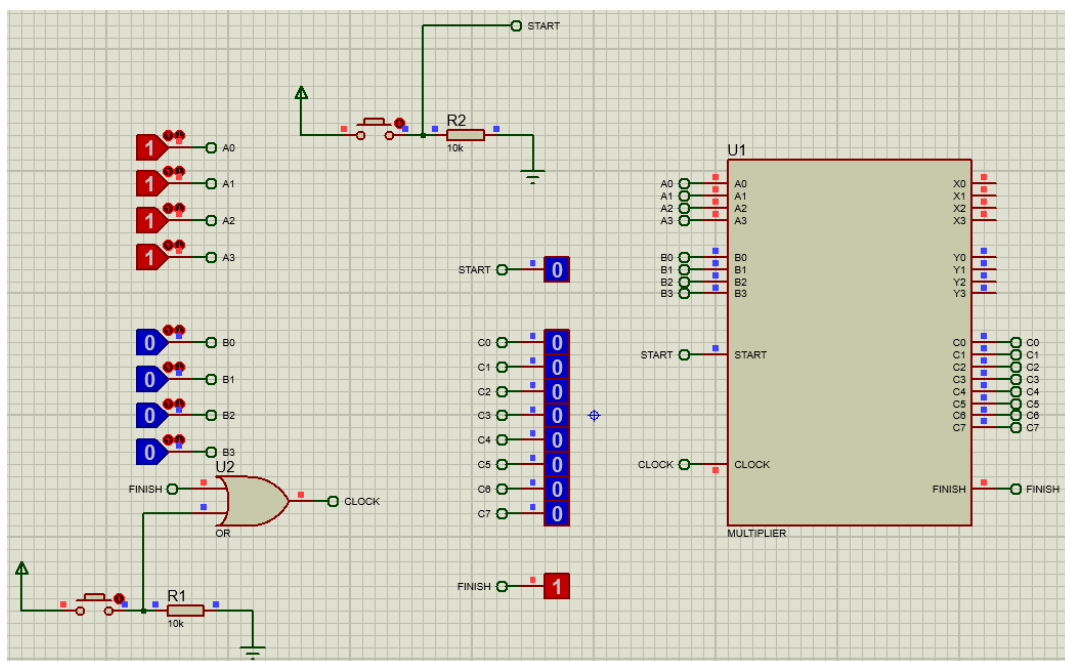
شکل ۱۴. نتیجه مدار در حین فرایند ضرب



شکل ۱۵. نتیجه مدار پس از اتمام فرایند حاصل ضرب و خروجی ۱۵



شکل ۱۶. آزمون مدار با ورودی‌های ۱۵ و ۰ قبل از فشردن شدن Start



شکل ۱۱. نتیجه مدار پس از اتمام فرایند حاصل ضرب و خروجی *