

به نام خدا



آزمایش اول

آزمایشگاه طراحی سیستم‌های دیجیتال

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نویسنده:

رادین چراغی

امیرمحمد محفوظی

شماره دانشجویی:

۴۰۱۱۰۵۸۱۵

۴۰۱۱۰۶۴۶۹

تاریخ ارائه تکلیف:

۱۴۰۳/۰۴/۱۸

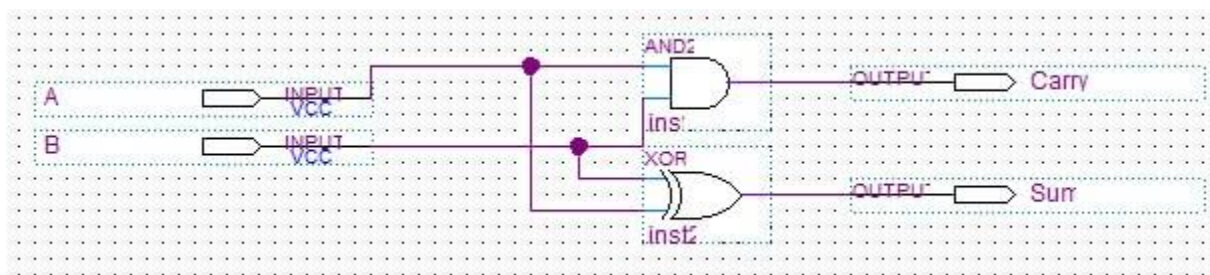
بخش اول

در این آزمایش می‌خواهیم یک مدار ترکیبی طراحی کنیم که یک خروجی یک بیتی داشته باشد و خروجی آن وقتی ۱ شود که ورودی چهاررقمی BCD آن مضربی از ۳ باشد.

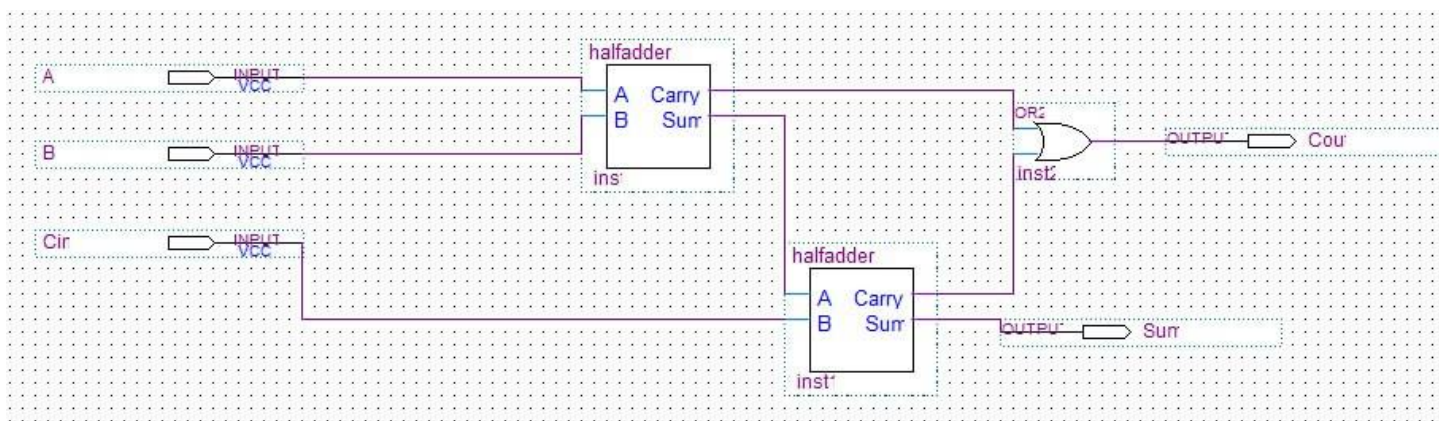
می‌دانیم عددی بر ۳ بخش پذیر است که باقیمانده مجموع ارقام آن به ۳ صفر باشد. حال به طراحی ایسی‌های مورد نیاز برای ساخت مدار اصلی می‌پردازیم.

از آنجایی که هر رقم BCD ۴ بیتی می‌باشد ما نیاز به جمع‌کننده‌های ۴ بیتی داریم. بنابراین ابتدا ایسی جمع‌کننده ۴ بیتی را به صورت سلسله‌مراتبی طراحی می‌کنیم.

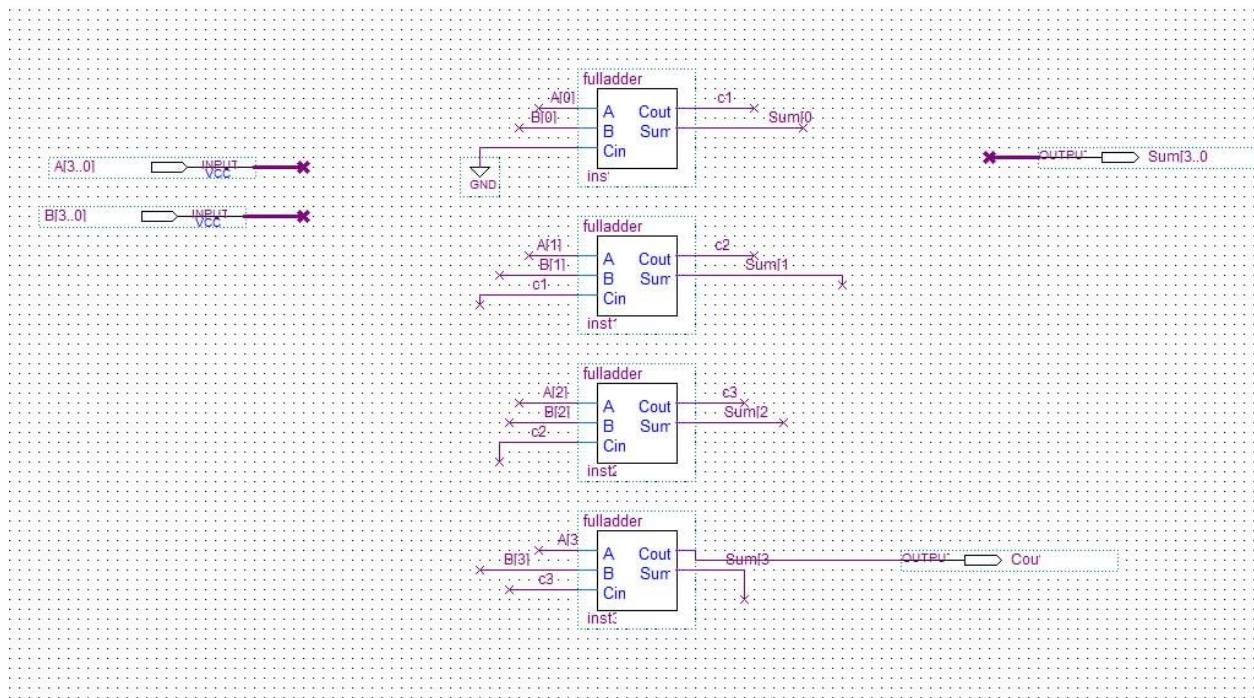
ابتدا یک Half adder را به صورت زیر طراحی می‌کنیم.



حال با استفاده از قابلیت‌های نرم‌افزار کوارتوس آن را به یک symbol تبدیل کرده و با استفاده از آن مدار full adder را به صورت زیر طراحی می‌کنیم.



در نهایت با استفاده از full adder ساخته شده جمع کننده ۴ بیتی را طراحی می‌کنیم که تصویر آن در صفحه بعد آورده شده است.



یکی دیگر از ایسی‌های مورد نیاز ما ایسی‌ای می‌باشد که باقیمانده یک عدد ۴ بیتی بر ۳ را حساب کرده و به عنوان یک عدد ۴ بیتی خروجی دهد. از آن جایی که باقیمانده به ۳ همواره در ۲ بیت جا می‌شود دو بیت پردازش خروجی در این ایسی همیشه صفر می‌باشند. برای طراحی مدار مربوط به دو بیت کم‌ارزش از جدول کارنو استفاده می‌کنیم. به این صورت که برای خروجی‌های Remainder[1] و Remainder[0] جداول کارنو را به صورت زیر طراحی کرده و مدار آن‌ها را بدست می‌آوریم. از آن جایی که هر رقم BCD حداکثر ۹ است حالت‌های ۹ به بالا را don't care در نظر می‌گیریم.

$$A_3 A_2 A_1 A_0 \rightarrow \text{0111 10}$$

A₃A₂	00	01	11	10
A ₁ A ₀				
00	0	1	0	0
01	1	0	1	0
11	X	X	X	X
10	0	0	X	X

Remainder[0]

$$= \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0 + A_3 \bar{A}_1 A_0 + A_3 A_1 A_0 + A_1 A_3$$

A₃A₂	00	01	11	10
A ₁ A ₀				
00	0	0	0	1
01	0	1	0	0
11	X	X	X	X
10	1	0	X	X

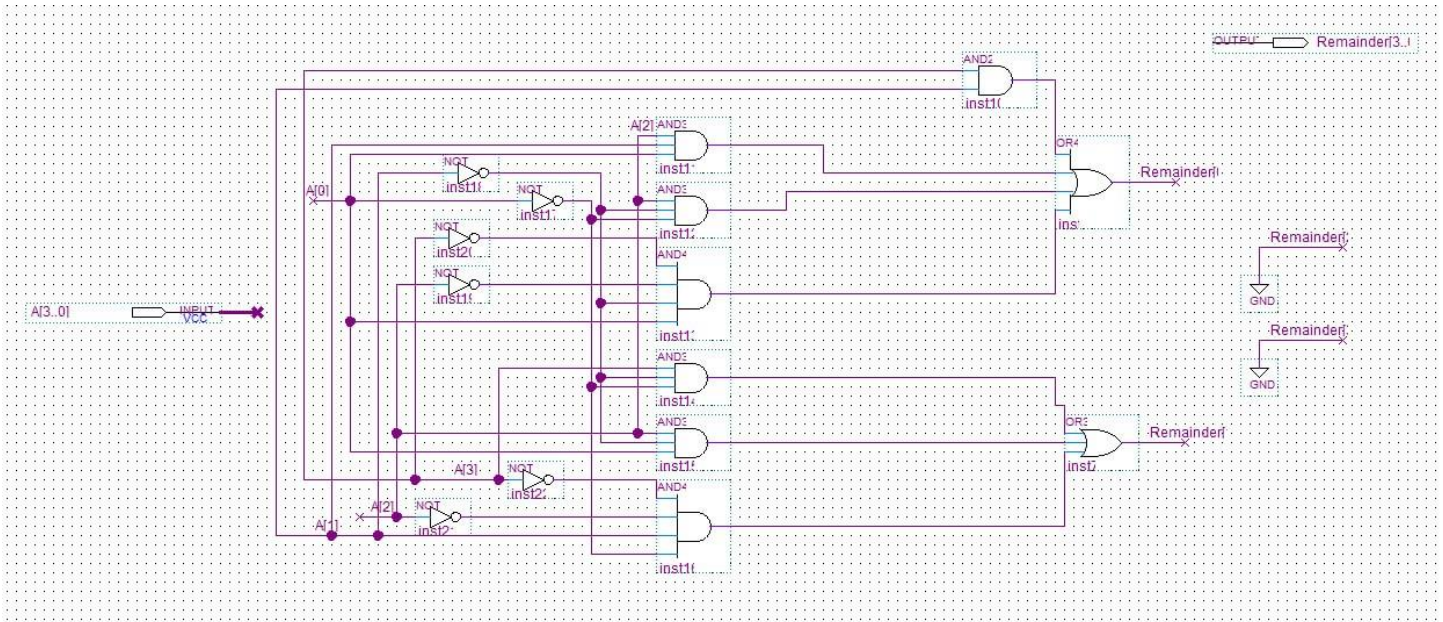
Remainder[1]

$$= \bar{A}_3 \bar{A}_2 A_1 A_0 + A_3 \bar{A}_1 A_0 + A_3 \bar{A}_2 A_0$$

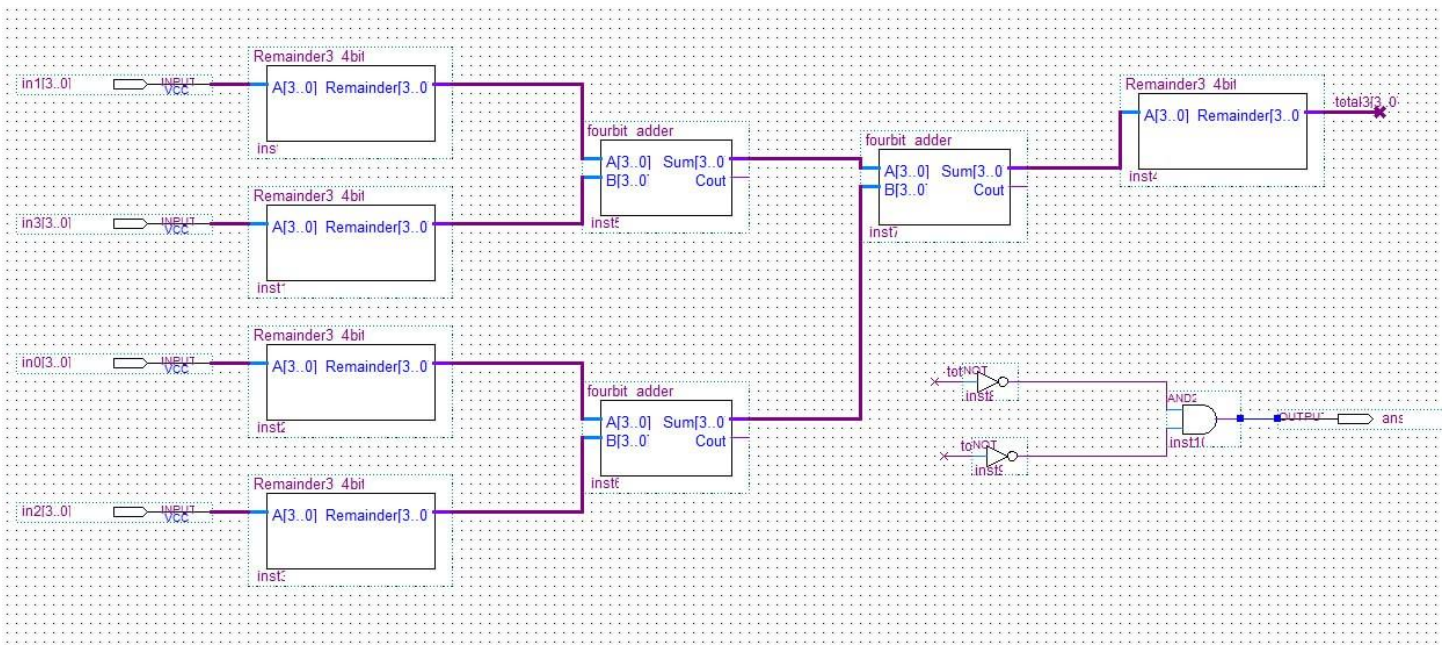
Remainder[1]

$$= \bar{A}_3 \bar{A}_2 A_1 A_0 + A_2 \bar{A}_1 A_0 + A_3 \bar{A}_2 A_0$$

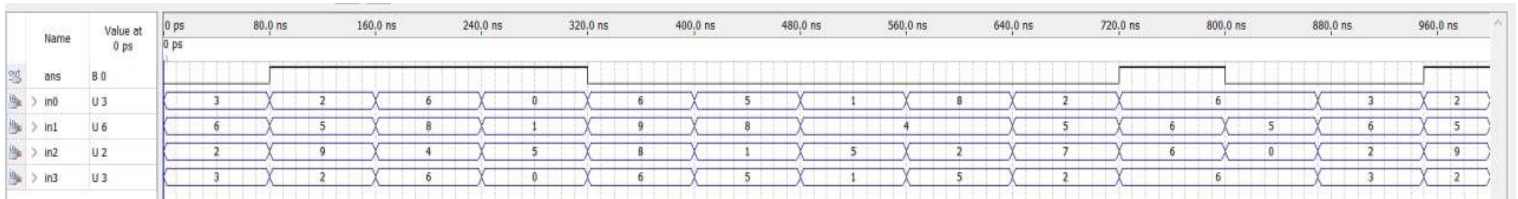
حال مدار ایسی را با توجه به عبارت‌های بالا می‌سازیم.



در نهایت نوبت به طراحی مدار اصلی می‌رسد. روش طراحی مدار به این صورت می‌باشد که ابتدا در مرحله اول باقیمانده هر یک از ارقام را به ۳ بدست می‌آوریم. سپس دوتا دوتا، باقیمانده‌ها را با هم جمع کرده و دو عدد بدست آمده را نیز باهم جمع می‌کنیم. در نهایت حاصل آخر را به یک ایسی Remainder3_4 می‌دهیم تا باقیمانده نهایی عدد اولیه بر ۳ محاسبه شود. در صورتی که حاصل نهایی صفر بود عدد بر ۳ بخش پذیر بوده و در غیر این صورت بخش پذیر نیست.



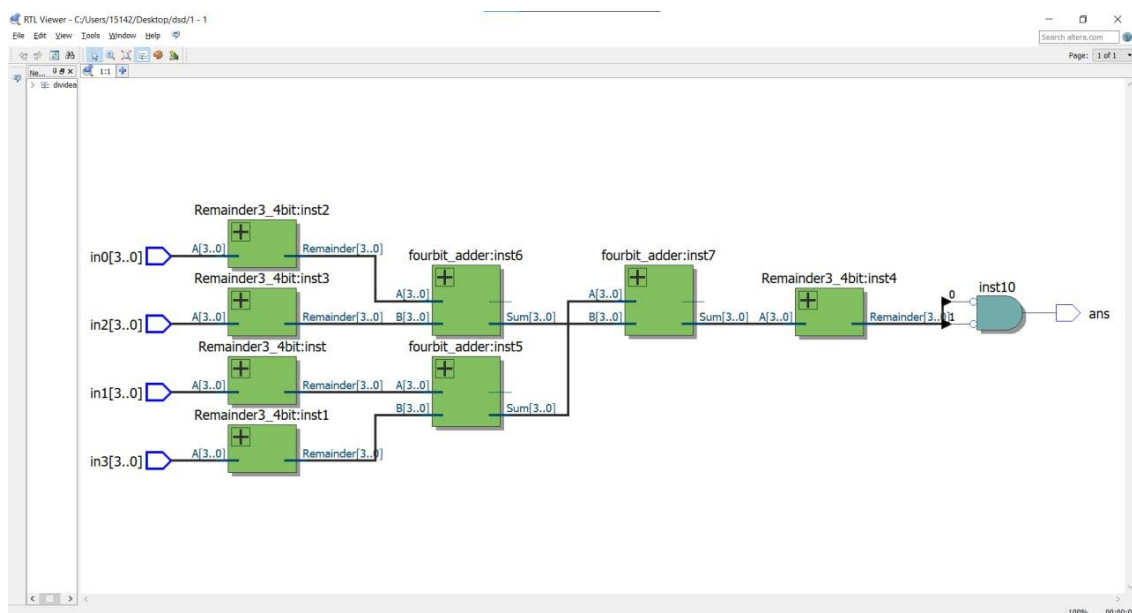
نمایش waveform مدار در تصویر زیر قابل مشاهده است. ورودی‌های in1 تا in4 را به صورت تصادفی مقداردهی کرده‌ایم.



خروجی flow summary مدار:

Table of Contents		Flow Summary	
<ul style="list-style-type: none"> Flow Summary Flow Settings Flow Non-Default Global Settings Flow Elapsed Time Flow OS Summary Flow Log Analysis & Synthesis Fitter Assembler TimeQuest Timing Analyzer EDA Netlist Writer Flow Messages Flow Suppressed Messages 		Flow Status Successful - Sun Jul 07 14:58:53 2024 Quartus II 64-Bit Version 13.1.0 Build 162 10/23/2013 SJ Web Edition Revision Name 1 Top-level Entity Name divideable3 Family Cyclone IV GX Total logic elements 22 / 14,400 (< 1 %) Total combinational functions 22 / 14,400 (< 1 %) Dedicated logic registers 0 / 14,400 (0 %) Total registers 0 Total pins 17 / 81 (21 %) Total virtual pins 0 Total memory bits 0 / 552,960 (0 %) Embedded Multiplier 9-bit elements 0 Total GXB Receiver Channel PCS 0 / 2 (0 %) Total GXB Receiver Channel PMA 0 / 2 (0 %) Total GXB Transmitter Channel PCS 0 / 2 (0 %) Total GXB Transmitter Channel PMA 0 / 2 (0 %) Total PLLs 0 / 3 (0 %) Device EP4CGX15BF14C6 Timing Models Final	

تصاویر زیر نشان‌دهنده خروجی RTL viewer مدار می‌باشند. نسخه pdf آن نیز در پیوست موجود است.



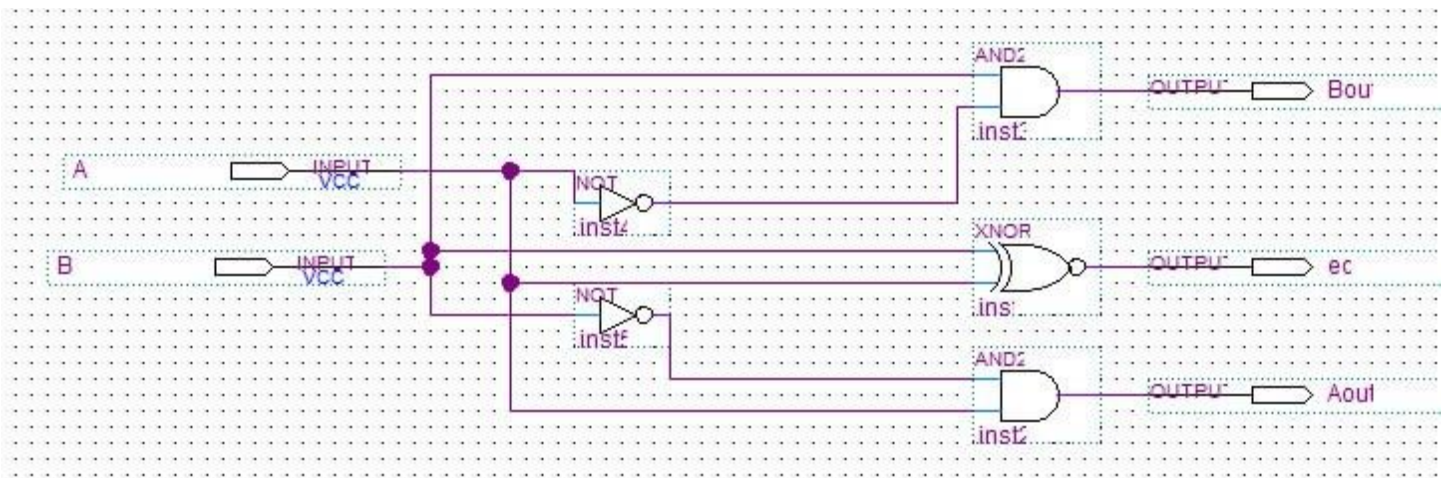


بخش دوم

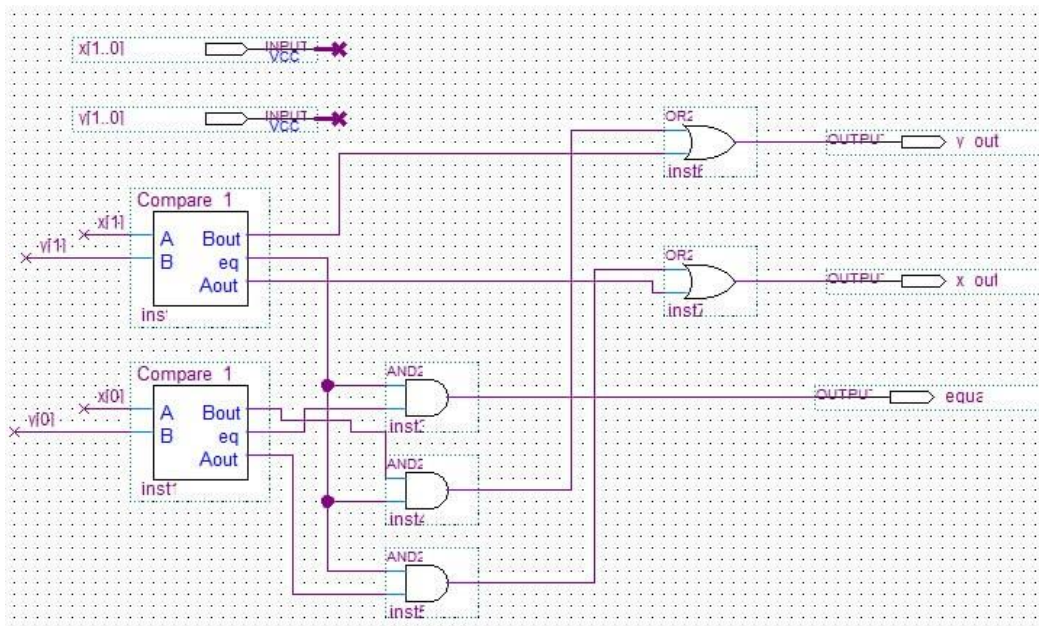
در این آزمایش می‌خواهیم یک مدار ترکیبی طراحی کنیم که یک خروجی یک بیتی داشته باشد و خروجی آن وقتی ۱ شود که ورودی چهاررقمی BCD آن مضربی از ۱۱ باشد.

عدد ورودی را A در نظر می‌گیریم. مجموع ارقام اول و سوم آن را m و مجموع ارقام دوم و چهارم آن را n می‌نامیم. می‌دانیم عدد A در صورتی بر ۱۱ بخش‌پذیر است که $m-n$ بر ۱۱ بخش‌پذیر باشد. نکته‌ی قابل توجه این می‌باشد که m و n می‌توانند سرریز کنند و از ۱۵ بیشتر شوند. بدین منظور در صورتی که هنگام محاسبه m و n بیت $cout$ در جمع‌کننده فعال بود حاصل را با ۵ جمع می‌کنیم (در واقع از حاصل ۱۱ را کم می‌کنیم و می‌دانیم باقیمانده آن به ۱۱ ثابت می‌ماند). حال پس از انجام تغییرات لازم روی m و n باید تشخیص دهیم آیا $m-n$ بر ۱۱ بخش‌پذیر است یا نه. برای این کار ابتدا هر کدام از آن‌ها را با ۱۱ مقایسه می‌کنیم در صورتی که از ۱۱ کوچکتر باشند باقیمانده آن‌ها بر ۱۱ خودشان می‌باشند. در صورتی که از ۱۱ بزرگتر بودند نیز آن‌ها را با ۵ جمع می‌کنیم. برای این که تشخیص دهیم آیا $m-n$ بر ۱۱ بخش‌پذیر است یا خیر، m و n را با هم مقایسه می‌کنیم. در صورتی که باهم برابر باشند باقیمانده عدد اصلی به ۱۱ برابر با صفر است و بر ۱۱ بخش‌پذیر است. در غیر این صورت عدد اولیه بر ۱۱ بخش‌پذیر نیست.

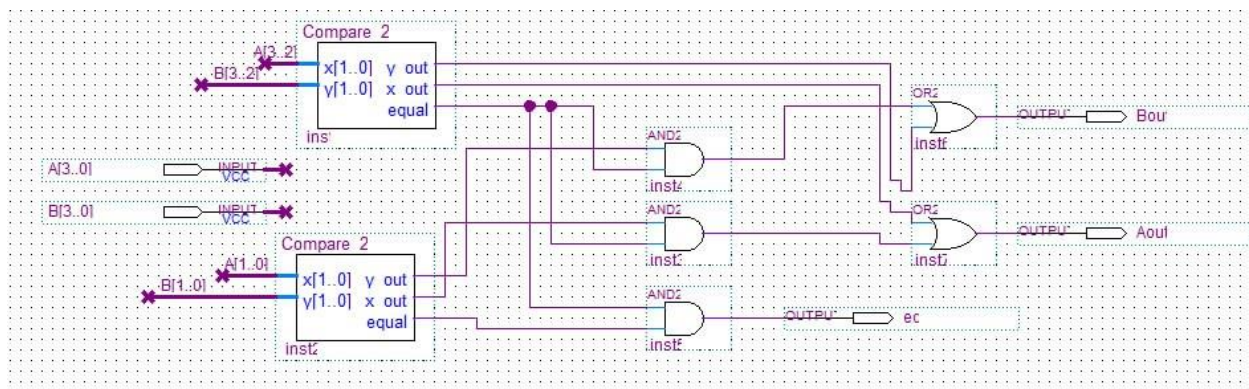
جمع‌کننده ۴ بیتی طراحی شده در قسمت اول در اینجا نیز مورد استفاده قرار می‌گیرد. حال به طراحی مقایسه‌کننده ۴ بیتی می‌پردازیم. طراحی ما در این قسمت نیز به صورت سلسله‌مراتبی می‌باشد. بدین منظور ابتدا مقایسه‌کننده تک بیتی را طراحی می‌کنیم.



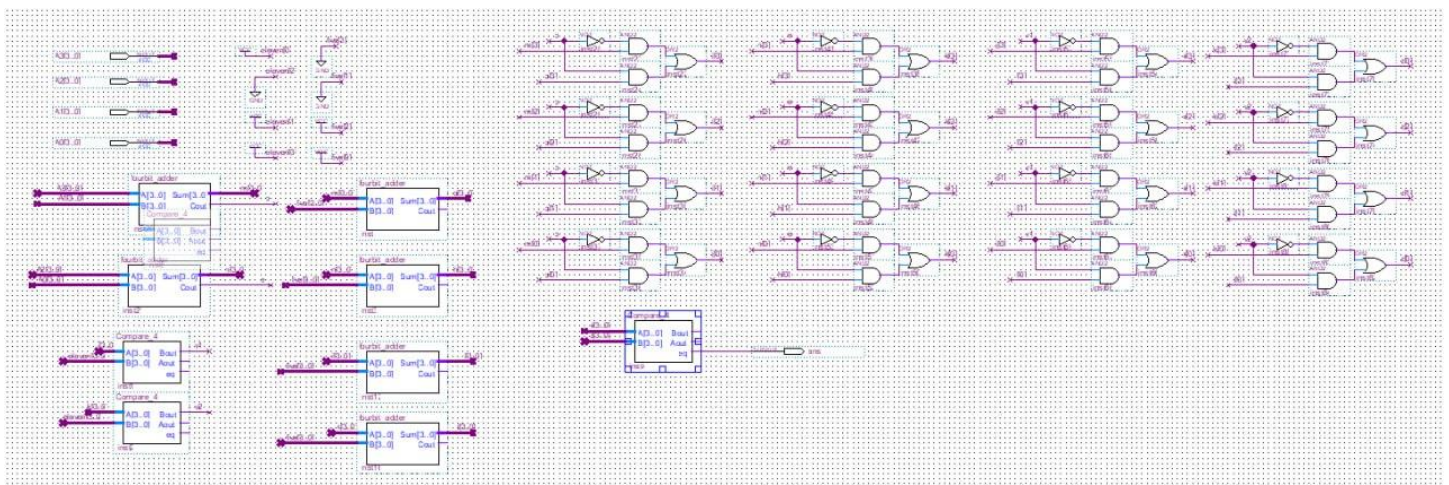
حال با استفاده از مقایسه کننده تک بیتی، مقایسه کننده دوبیتی را طراحی می کنیم.



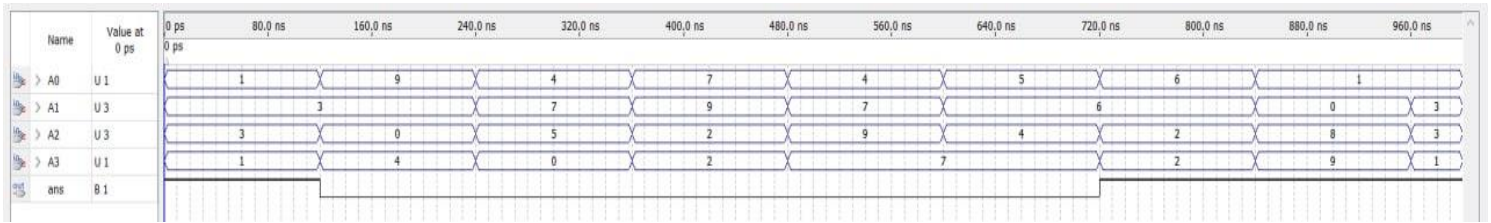
در نهایت با استفاده از مقایسه کننده دوبیتی مقایسه کننده ۴ بیتی را طراحی می کنیم.



تصویر کلی مدار به صورت زیر می باشد. توضیحات مدار در قبل داده شده است.



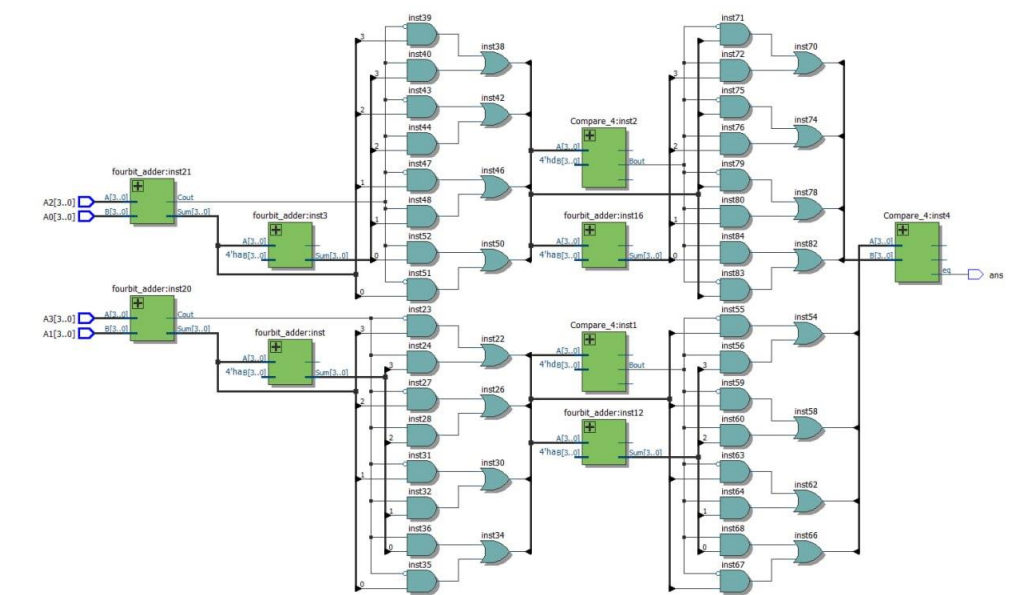
نمایش waveform مدار به صورت زیر می‌باشد. ورودی A را به صورت تصادفی داده‌ایم.



خروجی flow summary مدار:

Table of Contents		Flow Summary	
<ul style="list-style-type: none"> Flow Summary Flow Settings Flow Non-Default Global Settings Flow Elapsed Time Flow OS Summary Flow Log Analysis & Synthesis Fitter Assembler TimeQuest Timing Analyzer EDA Netlist Writer Flow Messages Flow Suppressed Messages 		Flow Status Successful - Mon Jul 08 23:03:10 2024 Quartus II 64-Bit Version 13.1.0 Build 162 10/23/2013 SJ Web Edition Revision Name 1 Top-level Entity Name dividable11 Family Cyclone IV GX Total logic elements 50 / 14,400 (< 1 %) Total combinational functions 50 / 14,400 (< 1 %) Dedicated logic registers 0 / 14,400 (0 %) Total registers 0 Total pins 17 / 81 (21 %) Total virtual pins 0 Total memory bits 0 / 552,960 (0 %) Embedded Multiplier 9-bit elements 0 Total GXB Receiver Channel PCS 0 / 2 (0 %) Total GXB Receiver Channel PMA 0 / 2 (0 %) Total GXB Transmitter Channel PCS 0 / 2 (0 %) Total GXB Transmitter Channel PMA 0 / 2 (0 %) Total PLLs 0 / 3 (0 %) Device EP4CGX158F14C6 Timing Models Final	

تصویر زیر نشان‌دهنده خروجی RTL viewer مدار می‌باشد.



تصویر زیر نشان دهنده خروجی Technology map viewer مدار می باشد.

