

به نام خدا



آزمایش دوم

آزمایشگاه طراحی سیستم‌های دیجیتال

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نویسندگان:

رادین چراغی

امیرمحمد محفوظی

شماره دانشجویی:

۴۰۱۱۰۵۸۱۵

۴۰۱۱۰۶۴۶۹

تاریخ ارائه تکلیف:

۱۴۰۳/۰۴/۱۸

در این آزمایش با استفاده از نرم افزار کوآرتوس مدار کنترل یک اتاق انتظار را طراحی می کنیم. برای طراحی این مدار نیاز به مدل کردن تعداد افراد حاضر در اتاق داریم که این کار با یک Up/Down Counter انجام می شود که مشخصات آن در جدول زیر قابل مشاهده است. برای سادگی دو خروجی دیگر به شمارنده عادی اضافه می کنیم که isFull و isEmpty می باشند و به ترتیب نشان دهنده خالی بودن یا پر بودن مدار هستند.

U	Clk	Clr	Enable	Function
X	X	0	X	Reset counter to 0
X	X	1	0	Hold previous number
1	↑	1	1	Up count
0	↑	1	1	Down count

در ادامه سیگنال های ورودی و خروجی مدار توضیح داده شده اند.

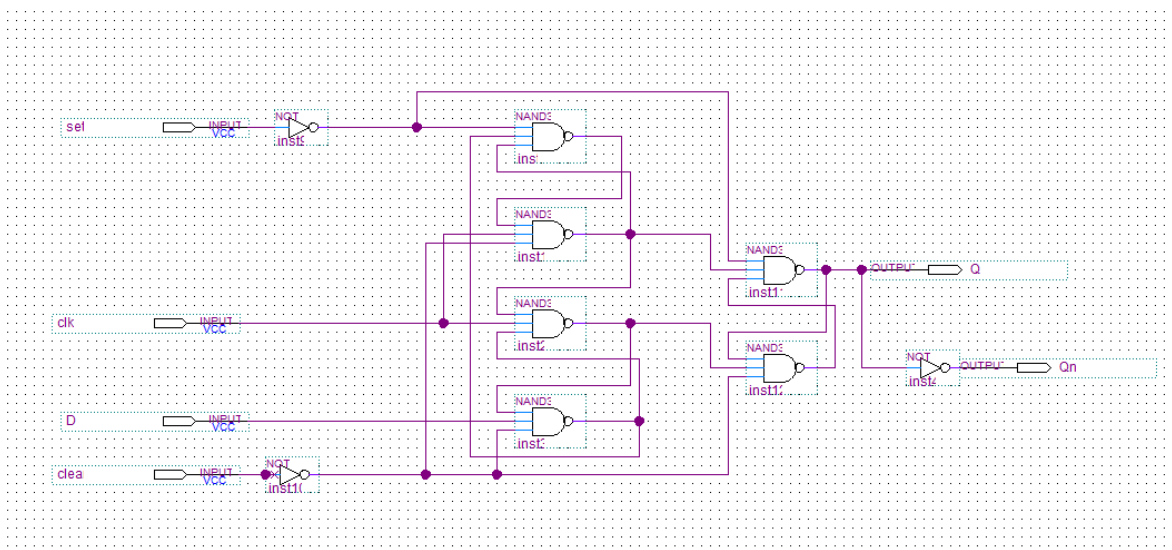
• ورودی ها

۱. IN: این ورودی یک حسگر می باشد که در صورتی که فردی وارد اتاق شود به اندازه یک کلاک روشن می ماند.
۲. OUT: این ورودی یک حسگر می باشد که در صورتی که فردی از اتاق خارج شود به اندازه یک کلاک روشن می ماند.
۳. Ent: فردی که قصد ورود به اتاق را دارد برای باز شدن در باید این دکمه را فشار دهد.
۴. T: سیگنالی که مجاز بودن زمان را برای ورود را نشان می دهد.
۵. clk: همان کلاک مدار می باشد.
۶. Set: در صورتی که با یک برابر باشد تعداد افراد حاضر در اتاق به ۱۵ ست می شود.
۷. Clr: یک ورودی فعال پایین می باشد که در صورتی که صفر باشد تعداد افراد حاضر در اتاق به صفر می رسد.

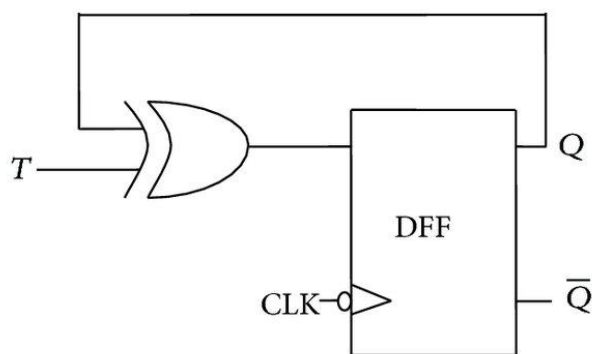
• خروجی ها

۱. Open: سیگنالی که نشان دهنده باز بودن یا نبودن در ورودی اتاق می باشد. مدار، این ورودی را بر اساس T, Ent, IN و همچنین وجود فضای خالی در اتاق مقدار دهی می کند.
۲. Close: سیگنالی که نشان دهنده بسته بودن یا نبودن در خروجی اتاق می باشد. این سیگنال در صورتی که هنوز یک فرد در اتاق وجود داشته باشد صفر بوده و در غیر این صورت یک می شود. به عبارتی دیگر تا زمانی که اتاق خالی نباشد و کسی در آن حاضر باشد در خروجی اتاق باز می ماند و به محض خالی شدن اتاق در خروجی بسته خواهد شد.
۳. A: یک عدد ۴ بیتی بوده که نشان دهنده تعداد افراد حاضر در اتاق است که همان خروجی شمارنده است.

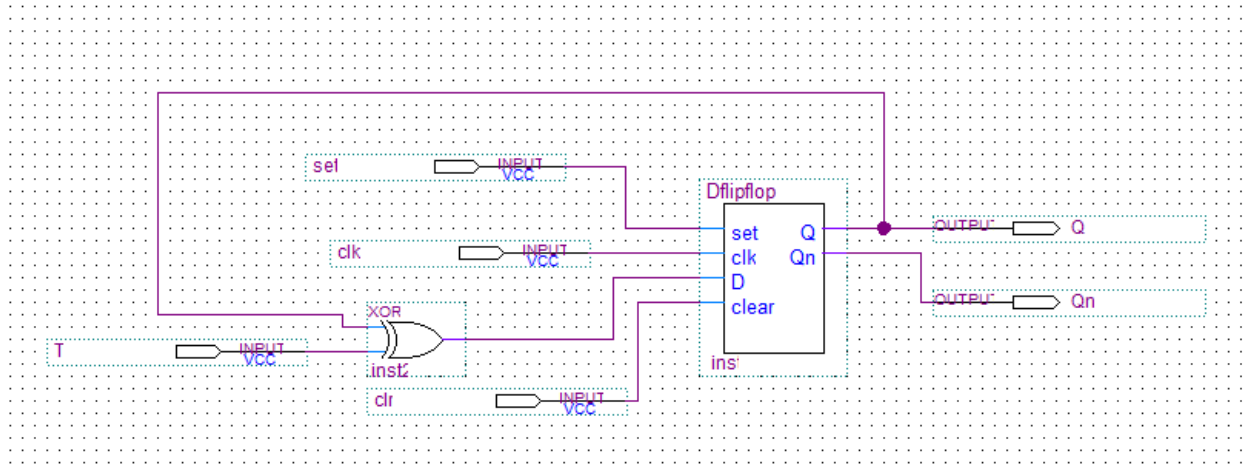
حال به صورت سلسله مراتبی مدار را طراحی می‌کنیم. بدین منظور ابتدا یک فلیپ فلاپ نوع D با دو ورودی set و clear فعال بالا طراحی می‌کنیم و با استفاده از قابلیت‌های نرافزار کوارتوس آن را به صورت یک symbol در می‌آوریم تا از آن در ادامه استفاده کنیم. تصویر زیر نشان‌دهنده آن می‌باشد.



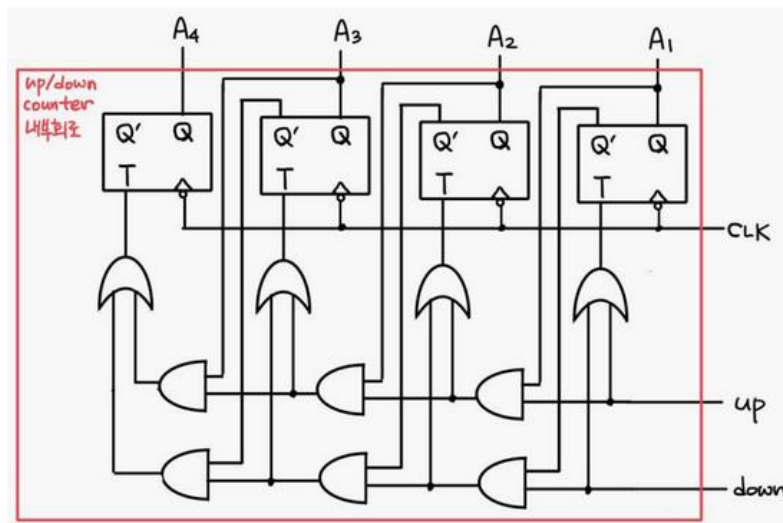
حال با استفاده از این فلیپ فلاپ یک T فلیپ فلاپ با ورودی‌های set و clear طراحی می‌کنیم. تصویر زیر نحوه ساخت یک فلیپ فلاپ نوع T از روی فلیپ فلاپ نوع D را نشان می‌دهد.



اکنون مدار را در کوارتوس با اضافه کردن دو ورودی set و clear طراحی می‌کنیم.

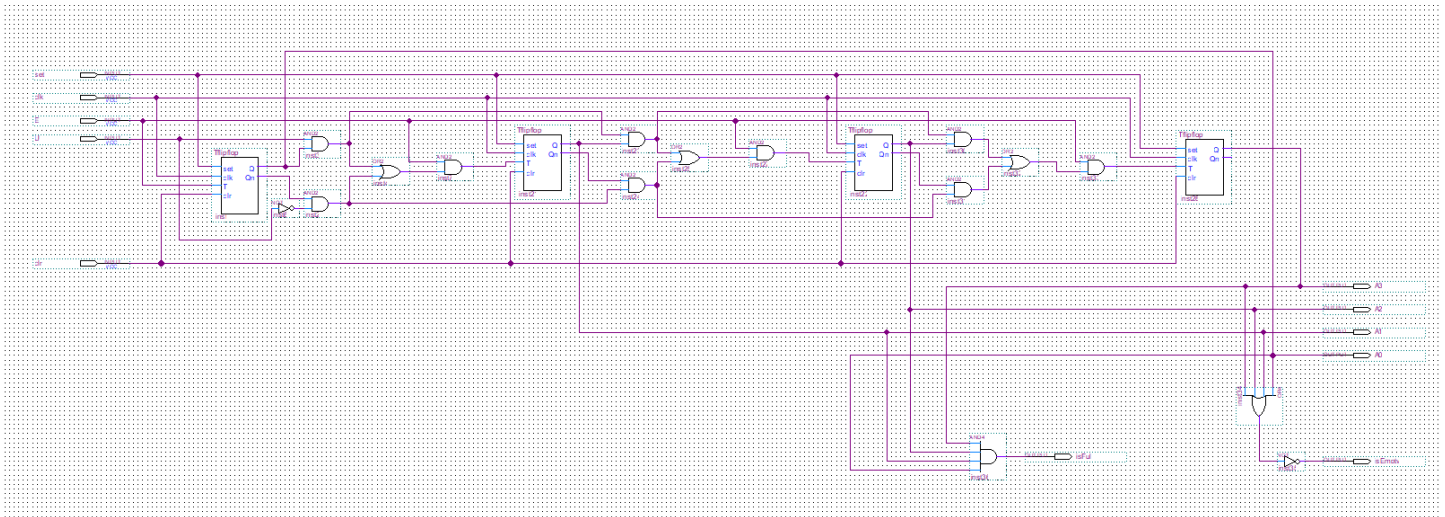


با استفاده از T flip flop ساخته شده یک شمارنده سنکرون می‌سازیم. تصویر زیر نشان‌دهنده نحوه طراحی آن می‌باشد.



شمارنده نشان‌دهنده شده در تصویر بالا به طور کامل شمارنده مورد نیاز ما نمی‌باشد. بایستی به این شمارنده یک ورودی enable اضافه کنیم که فعال ساز آن باشد. همچنین این شمارنده اضافه بر شمارنده‌های معمول باید دو خروجی isFull و isEmpty را نیز داشته باشد که قبل‌تر درباره‌ی آن‌ها توضیح دادیم.

مدار طراحی شده برای Up/Down Counter مطابق تصویر زیر می‌باشد. همانطور که توضیح داده شد این خروجی شمارنده بیانگر تعداد افراد حاضر در اتاق می‌باشد.



حال مدار اصلی waitingRoom را طراحی می‌کنیم. ابتدا به توضیحات مربوط به ورودی‌های شمارنده و نحوه طراحی این مدار می‌پردازیم.

ورودی enable و U شمارنده

در صورتی که ورودی IN فعال بوده، OUT غیر فعال باشد و اتاق فضای خالی داشته باشد، به افراد حاضر در اتاق یک عدد اضافه می‌شود. بدین منظور ورودی enable شمارنده را برابر یک قرار می‌دهیم و U را صفر می‌کنیم. همچنین در صورتی که OUT فعال باشد، IN غیر فعال باشد و اتاق خالی نباشد یکی از افراد اتاق کم شده، enable یک خواهد شد و ورودی U را یک قرار خواهیم داد. در شرایطی که هر دو ورودی IN و OUT فعال باشند اما اتاق پر باشد یکی از افراد اتاق کم شده، enable یک خواهد شد و ورودی U را یک قرار خواهیم داد. در سایر شرایط تعداد نفرات حاضر در اتاق تغییری نکرده و enable را صفر می‌کنیم.

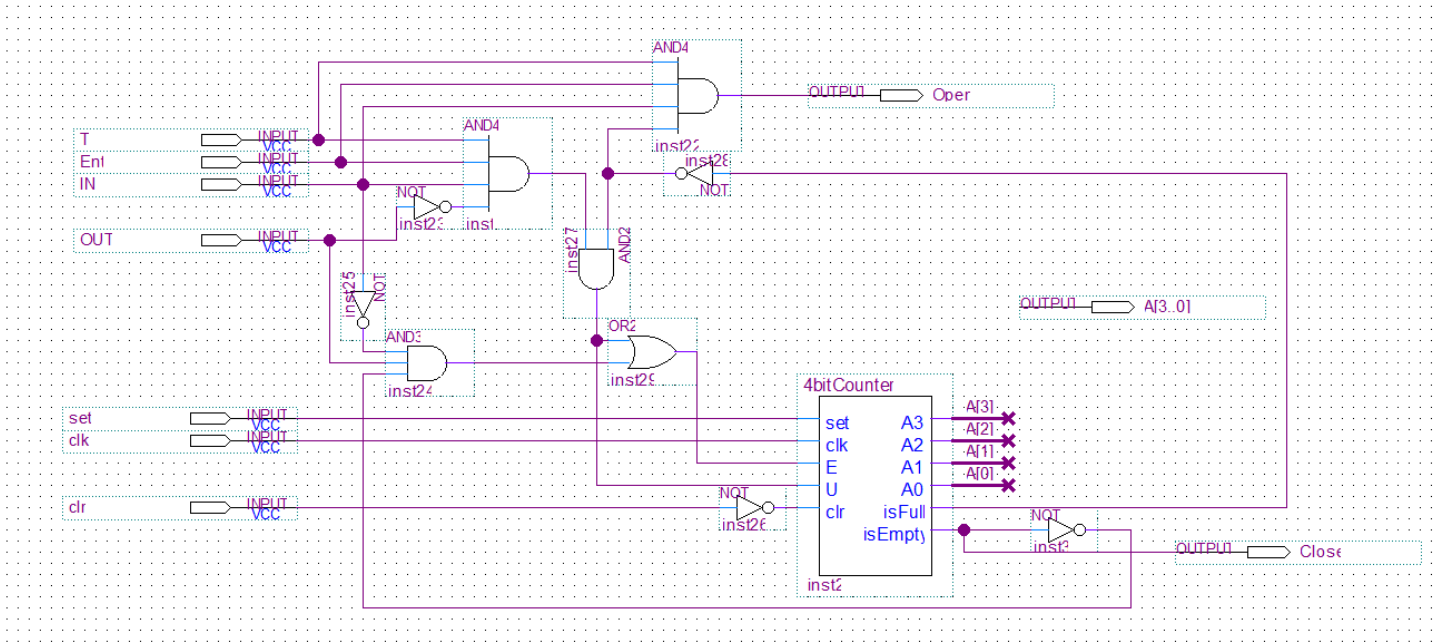
ورودی clear هر زمان که صفر باشد شمارنده را به صفر ریست می‌کند. در نتیجه معکوس آن را به پورت clear شمارنده متصل می‌کنیم.

ورودی set هر زمان که فعال باشد شمارنده را به ۱۵ ریست می‌کند و آن را به پورت set شمارنده متصل می‌کنیم.

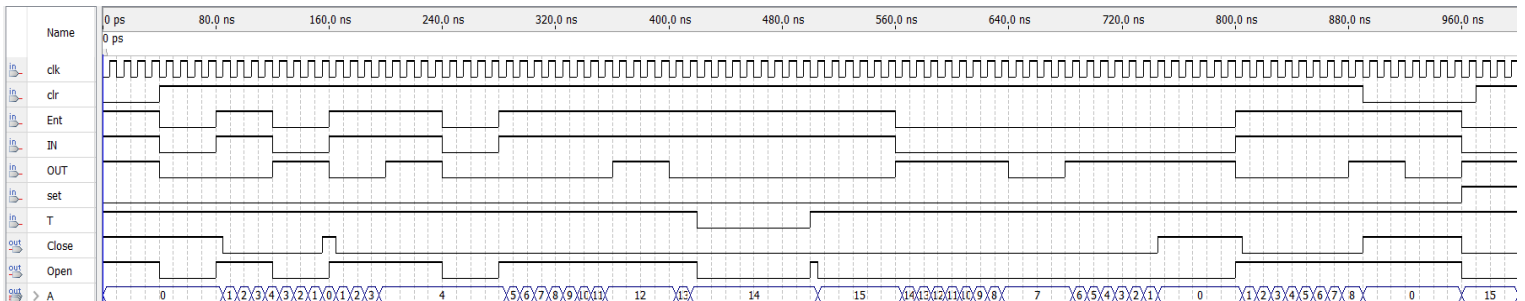
همانطور که در قبل توضیح داده شد، خروجی close تنها زمانی یک خواهد شد که اتاق خالی باشد. خالی بودن اتاق با خروجی isEmpty شمارنده بررسی می‌شود.

سیگنال Open زمانی فعال می‌باشد که ورودی‌های Ent، T و IN فعال باشند و خروجی isFull شمارنده نیز غیر فعال باشد.

طراحی مدار اصلی در تصویر زیر قابل مشاهده است.



خروجی waveform مدار در تصویر زیر قابل مشاهده است.

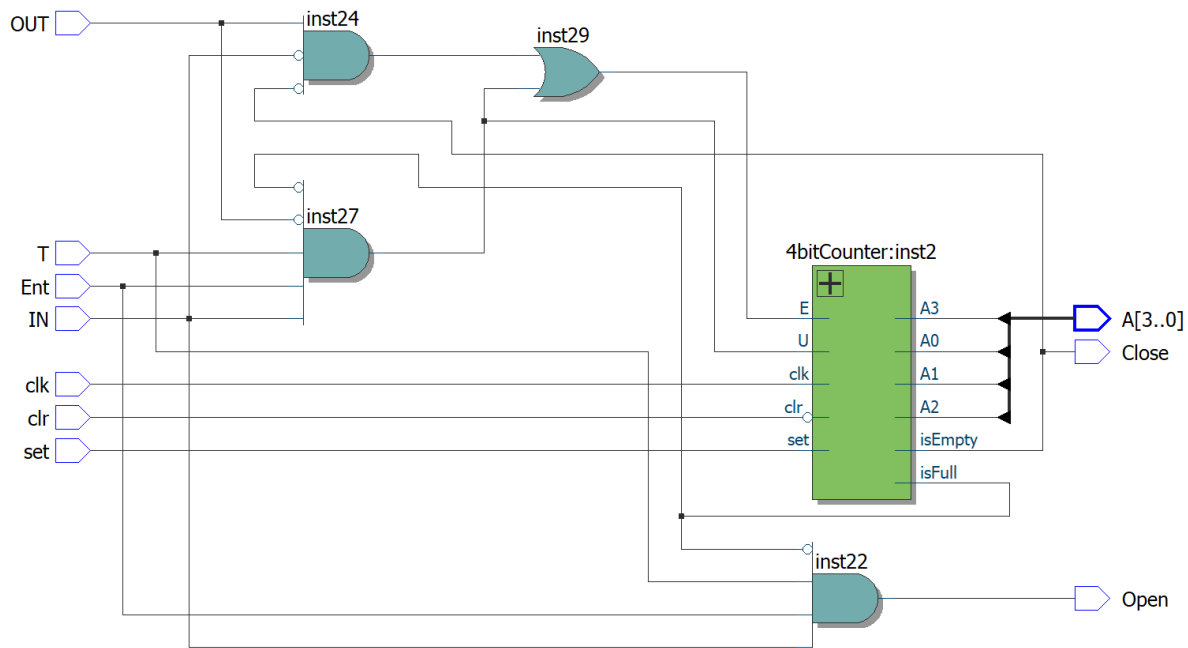


در تصویر بالا ابتدا تا ۴۰ واحد زمانی اول ورودی clear را غیر فعال می‌کنیم تا مدار به صفر ریست شود. همچنین set را همواره غیر فعال در نظر می‌گیریم به جز ۴۰ واحد زمانی آخر تا بتوانیم تاثیر آن را مشاهده کنیم. ورودی‌های IN، Ent و Out را به صورت تصادفی در نظر می‌گیریم. همچنین ورودی T را نیز در همه بازه‌های زمانی به جز یک بازه فعال در نظر می‌گیریم تا بتوانیم تاثیر آن را در آن بازه مشاهده کنیم.

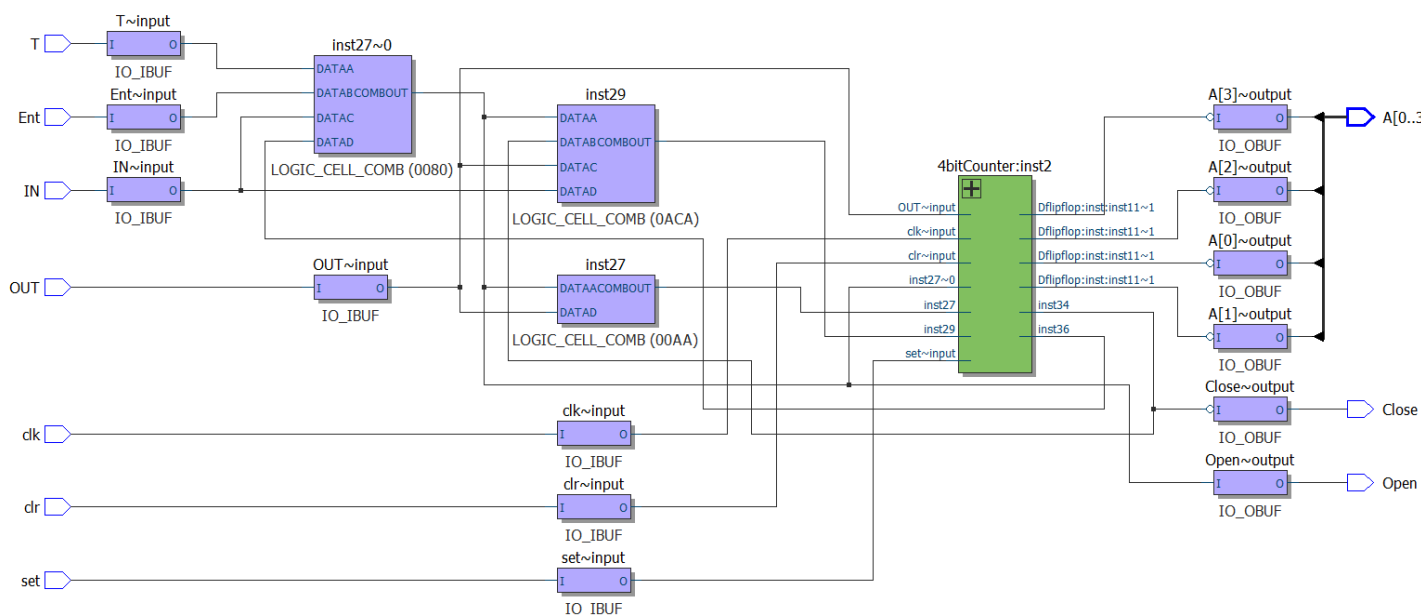
از آن جایی که دوره تناوب کلاک برابر با ۱۰ نانو ثانیه می‌باشد، فرکانس کار مدار برابر با ۱۰۰ مگاهرتز می‌باشد. نکته‌ی قابل توجه در هنگام در نظر گرفتن این فرکانس، حداکثر فرکانس کاری FPGA می‌باشد که قرار است از آن استفاده کنیم. بنابراین در هنگام طراحی مدار و دوره تناوب کلاک بایستی به این موضوع توجه کنیم.

Flow Summary	
Flow Status	Successful - Mon Jul 08 12:21:35 2024
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	waiting_room
Top-level Entity Name	waitingRoom
Family	Cyclone IV GX
Total logic elements	25 / 14,400 (< 1 %)
Total combinational functions	25 / 14,400 (< 1 %)
Dedicated logic registers	0 / 14,400 (0 %)
Total registers	0
Total pins	13 / 81 (16 %)
Total virtual pins	0
Total memory bits	0 / 552,960 (0 %)
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 (0 %)
Total GXB Receiver Channel PMA	0 / 2 (0 %)
Total GXB Transmitter Channel PCS	0 / 2 (0 %)
Total GXB Transmitter Channel PMA	0 / 2 (0 %)
Total PLLs	0 / 3 (0 %)
Device	EP4CGX15BF14C6
Timing Models	Final

تصویر زیر نشان‌دهنده خروجی RTL viewer مدار می‌باشد. نسخه pdf آن نیز در پیوست موجود است.



تصویر زیر نشان دهنده خروجی Technology map viewer حالت post mapping مدار می باشد. نسخه pdf آن نیز در پیوست موجود است.



تصویر زیر نشان دهنده خروجی Technology map viewer حالت post fitting مدار می باشد. نسخه pdf آن نیز در پیوست موجود است.

