

Laporan Percobaan
Desain Ring Oscillator dengan Magic
Divais Semikonduktor dan Rangkaian Terintegrasi

Nama : Raditya Eka Putra

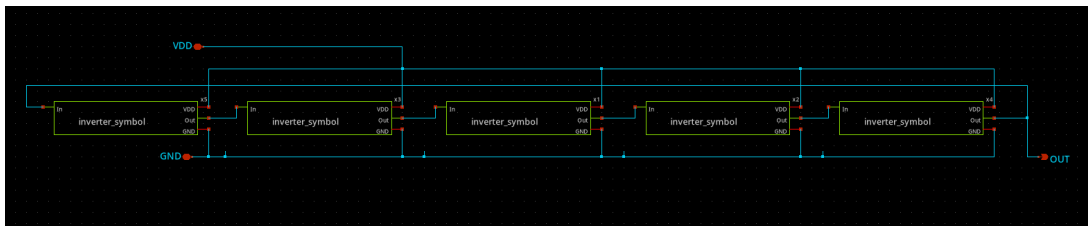
NRP : 5022211071

Semester Gasal Tahun Ajaran 2023/2024

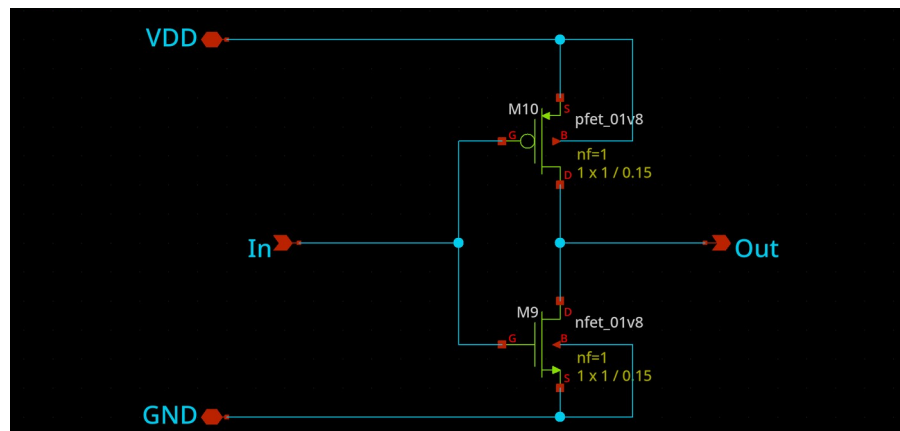
Detail Kegiatan

A. Pembuatan dan Simulasi Skematik

Pada tahap pertama, dilakukan percobaan membuat ring oscillator dan layouting ring oscillator pada semikonduktor. Inverter sudah dapat dibuat simbol bloknnya dan disusun secara berantai seperti gambar berikut :

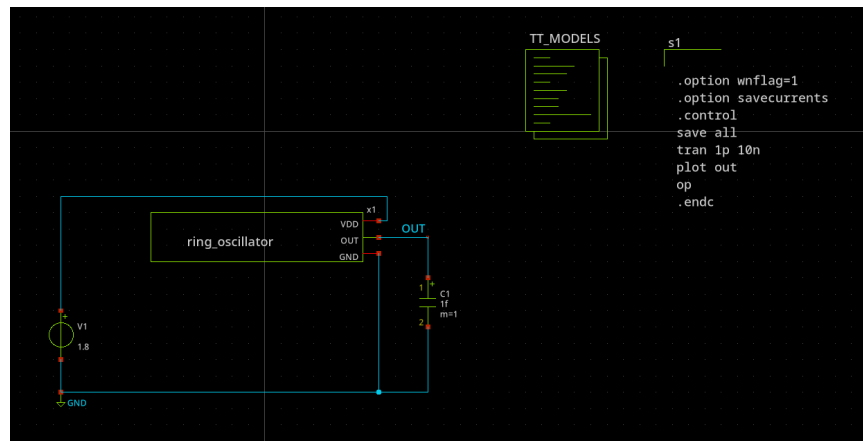


Gambar Susunan Internal Ring Oscillator



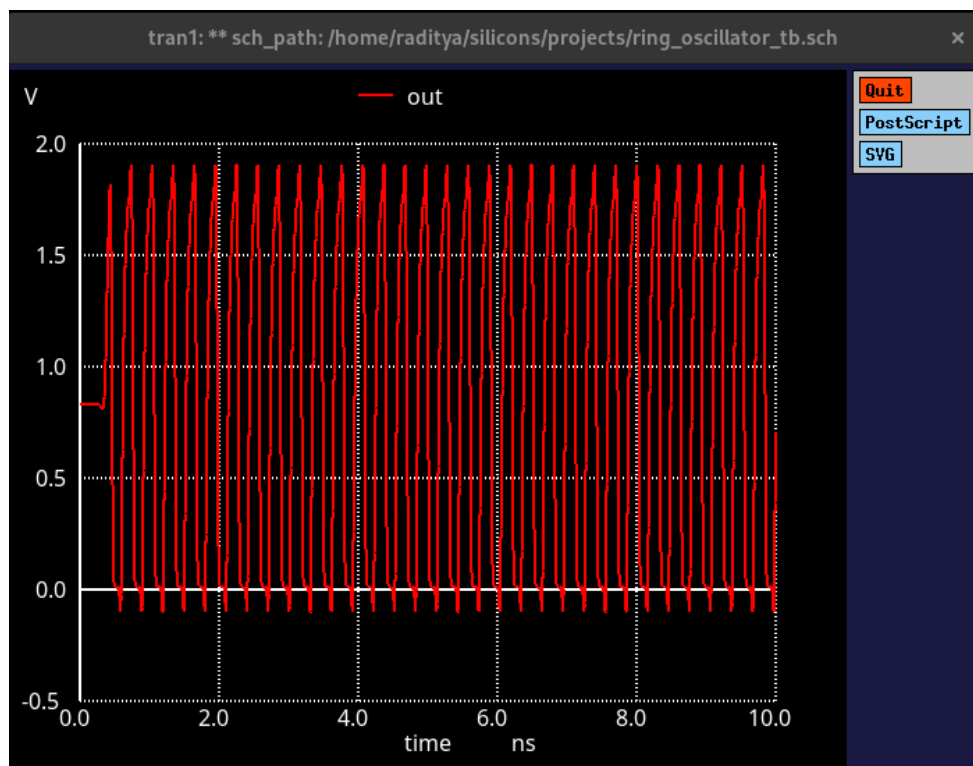
Gambar Internal dari Setiap Blok Inverter

Pada gambar diatas, inverter disusun demikian sehingga delay pada setiap inverter akan terakumulasi. Hasil keluaran inverter akan diumpan balik ke inputnya, sehingga akan mengeluarkan sinyal/gelombang kotak karena inverter akan berganti-ganti diantara dua kondisi outputnya (0 atau 1). skematik tingkat tinggi dimana ring oscillator tersebut ada dalam bentuk satu simbol komponen dapat dilihat pada gambar di bawah ini :



Gambar Skematik Tingkat Tinggi dari Ring Oscillator

Hasil dari simulasi menggunakan ngspice dan sintaks perintah SPICE yang diberikan untuk ring oscillator yang telah dibuat adalah seperti berikut :



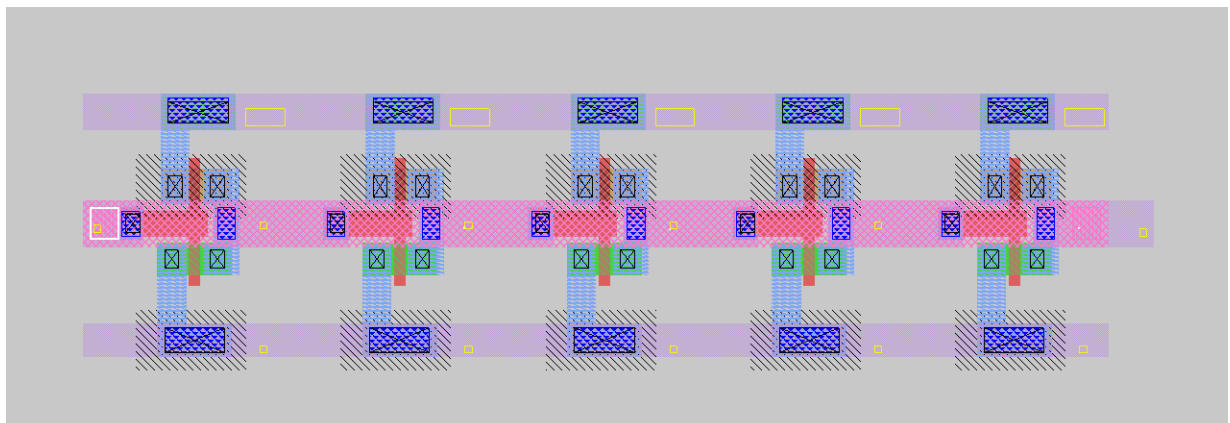
Gambar Gelombang Hasil Simulasi Ring Oscillator

Apabila dilihat dengan seksama (atau diperbesar), maka akan didapati bahwa gelombang tidak berbentuk kotak, namun lebih ke sinusoid yang terdistorsi. Hal ini mungkin disebabkan oleh kapasitansi pada rangkaian internal dari ring oscillator, atau karena frekuensi switching yang terlalu

cepat untuk kapasitansi yang ada. Cara yang dapat ditempuh untuk memperbaiki gelombang adalah dengan memperbaiki kapasitansi pada rangkaian internal ring oscillator, atau menurunkan frekuensi dengan memperbesar delay pada setiap inverter yang ada di ring oscillator, yang mungkin dapat dicapai dengan memperbesar kapasitansi pada input. Pada saat itu ini sudah dilakukan modifikasi dengan mengurangi kapasitor pada output ring oscillator dan menambahkan kapasitor pada output setiap inverter, namun tidak membuahkan hasil yang diharapkan.

B. Pembuatan Layout Semikonduktor

Sampai dengan Senin, 29 April 2024, telah dibuat layout semikonduktor dari ring oscillator menggunakan Magic, dengan tampak seperti pada gambar di bawah ini :



Gambar Layout Magic dari Ring Oscillator

Layout yang dibuat menggunakan 2 lapisan metal, dengan lapisan metal2 untuk feedback dari output ke input, karena dinilai lebih baik daripada menggunakan lapisan interconnect atau menggunakan metal1, karena akan membuat area layout menjadi lebih besar. Gate dibuat selebar 150nm dan panjangnya 450nm untuk NFET dan 500nm untuk PFET. Apabila dilihat dengan seksama, ukuran transistor yang dibuat terlihat sangat besar. Hal ini akibat hanya memperhatikan DRC tanpa merencanakan tata letak supaya mendapatkan ukuran yang kecil. VDD dan GND menggunakan metal1 untuk koneksinya. Jalur pada metal layer dibuat besar agar tidak menimbulkan hambatan dalam yang besar, begitu juga jalur polyresistor dan local interconnect. Pada proses pembuatan netlist dengan extract all dan ext2spice, terdapat beberapa warning seperti berikut :

```
tkcon 2.3 Main
File Console Edit Interp Prefs History Help
% label output
Moving label "output" from space to metall in cell inverter.
Moving label "in1" from metall to vial in cell inverter.
Moving label "input" from metall to vial in cell inverter.
Writing 'inverter'
% extract no capacitance
% extract all
Extracting inverter into /home/raditya/Silicons/Projects/inverter.ext:
inverter: 4 warnings
Total of 4 warnings.
% ext2spice ~/Silicons/Projects/inverter.ext
ext2spice: Unable to open file ~/Silicons/Projects/inverter.spice for writing

% ext2spice /home/raditya/Silicons/Projects/inverter.ext
ext2spice finished.
```

Gambar Hasil konversi layout ke SPICE

Pada proses LVS dengan Netgen, ditemukan beberapa perbedaan seperti :

1. beda jumlah netlist
2. beda jumlah komponen

yang lebih detailnya dapat dilihat pada gambar berikut :

```
No property sd found for device skyl130_fd_pr__pfet_01v8
No property nf found for device skyl130_fd_pr__pfet_01v8
No property nrd found for device skyl130_fd_pr__pfet_01v8
No property nrs found for device skyl130_fd_pr__pfet_01v8
No property area found for device skyl130_fd_pr__pfet_01v8
No property perim found for device skyl130_fd_pr__pfet_01v8
No property topography found for device skyl130_fd_pr__pfet_01v8
Model skyl130_fd_pr__pfet_01v8 pin 1 == 3
No property area found for device skyl130_fd_pr__pfet_01v8
No property perim found for device skyl130_fd_pr__pfet_01v8
No property topography found for device skyl130_fd_pr__pfet_01v8
No property area found for device skyl130_fd_pr__cap_mim_m3_1
No property value found for device skyl130_fd_pr__cap_mim_m3_1
No property mult found for device skyl130_fd_pr__cap_mim_m3_1
No property perim found for device skyl130_fd_pr__cap_mim_m3_1
Comparison output logged to file comp.out
Logging to file "comp.out" enabled
Circuit skyl130_fd_pr__nfet_01v8 contains no devices.
Circuit skyl130_fd_pr__pfet_01v8 contains no devices.

Contents of circuit 1: Circuit: '/home/raditya/Silicons/Projects/inverter.spice'
Circuit /home/raditya/Silicons/Projects/inverter.spice contains 10 device instances.
  Class: skyl130_fd_pr__nfet_01v8 instances: 5
  Class: skyl130_fd_pr__pfet_01v8 instances: 5
Circuit contains 10 nets.
Contents of circuit 2: Circuit: '/home/raditya/.xschem/simulations/ring_oscillator.spice'
Circuit /home/raditya/.xschem/simulations/ring_oscillator.spice contains 14 device instances.
  Class: skyl130_fd_pr__nfet_01v8 instances: 5
  Class: skyl130_fd_pr__cap_mim_m3_1 instances: 4
  Class: skyl130_fd_pr__pfet_01v8 instances: 5
Circuit contains 7 nets.

Circuit was modified by parallel/series device merging.
New circuit summary:

Contents of circuit 1: Circuit: '/home/raditya/Silicons/Projects/inverter.spice'
Circuit /home/raditya/Silicons/Projects/inverter.spice contains 8 device instances.
  Class: skyl130_fd_pr__nfet_01v8 instances: 3
  Class: skyl130_fd_pr__pfet_01v8 instances: 5
Circuit contains 10 nets.
Contents of circuit 2: Circuit: '/home/raditya/.xschem/simulations/ring_oscillator.spice'
Circuit /home/raditya/.xschem/simulations/ring_oscillator.spice contains 14 device instances.
  Class: skyl130_fd_pr__nfet_01v8 instances: 5
  Class: skyl130_fd_pr__cap_mim_m3_1 instances: 4
  Class: skyl130_fd_pr__pfet_01v8 instances: 5
Circuit contains 7 nets.

Circuit 1 contains 8 devices, Circuit 2 contains 14 devices. *** MISMATCH ***
Circuit 1 contains 10 nets, Circuit 2 contains 7 nets. *** MISMATCH ***

Final result:
Netlists do not match.
Logging to file "comp.out" disabled
LVS Done.
Main console display active (Tcl8.6.12 / Tk8.6.12)
(netgen-1.5.272) 1 %
```

Hasil LVS antara SPICE dari Xschem dan SPICE dari Magic

Hal ini menandakan bahwa masih ada yang perlu diperbaiki supaya simulasi antara skematik dan layout Magic sama, sehingga konsisten antara simulasi dan layout. Ada kemungkinan terjadi ketidaksesuaian pada penempatan interconnect maupun layer pada Magic sehingga terdapat jumlah net yang berbeda antara Xschem dan Magic. Selain itu, ada kemungkinan penempatan komponen pada Xschem yang tidak ada pada magic sehingga terdapat ketidaksesuaian jumlah komponen antara Magic dan Xschem. Laporan dan file dapat dilihat di

https://github.com/radityankn/dsrt2024_raditya_5022211071