

**Universidade Federal de Santa Catarina**  
**EEL5105: Circuitos e Técnicas Digitais**  
**Semestre: 2020-2 Exercícios-extra aula 8**  
**Matrículas Pares**

**Questão 1:** Considere o diagrama de estados da figura abaixo, onde cada estado é codificado com três bits. Projete o circuito associado usando apenas um registrador de três bits sem set/reset, portas lógicas de duas entradas que evite as situações de bloqueio para os estados **não definidos** (não pode usar Multiplexadores para evitar os bloqueios). Apresente o diagrama de estados obtido mostrando as transições entre os 8 estados.

Uma das possíveis soluções é:

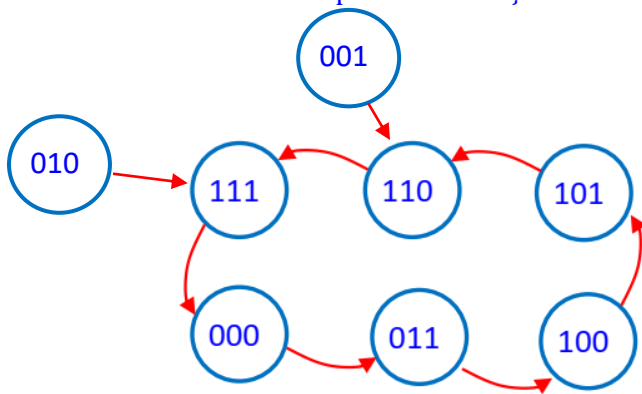


Figura: Questão 1

$$D2 = Q1 \overline{Q0} + \overline{Q2} Q0 + Q2 \overline{Q1} +$$

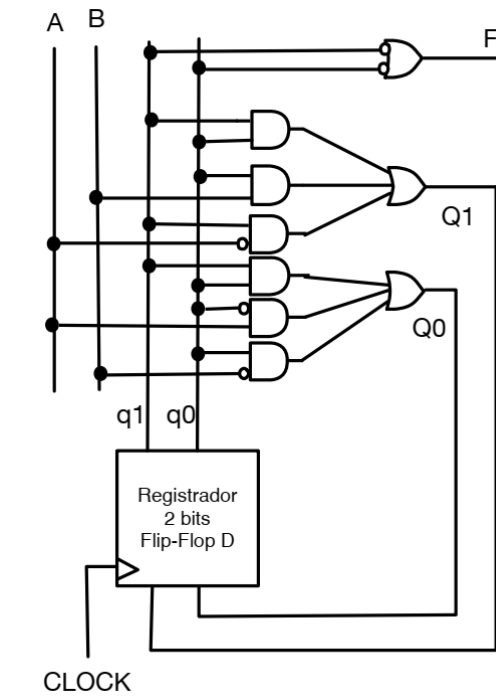
$$D1 = Q1 \oplus Q0 + \overline{Q1} \overline{Q2}$$

$$D0 = Q1 \overline{Q0} + \overline{Q1} \overline{Q0}$$

Q2	Q1	Q0	D2	D1	D0
0	0	0	0	1	1
0	0	1	1	1	0
0	1	1	1	0	0
0	1	0	1	1	1
1	1	0	1	1	1
1	1	1	0	0	0
1	0	1	1	1	0
1	0	0	1	0	1

**Questão 2:** Para o circuito sequencial da figura acima, projete o diagrama de estados usando a abordagem de engenharia reversa:

[1 ponto]

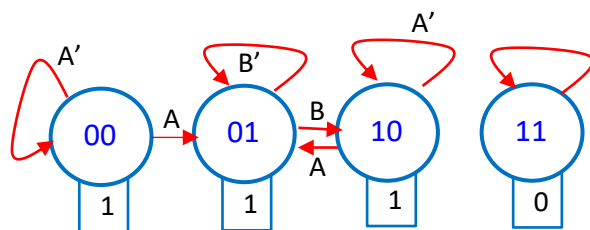


$$F = q1' + q0'$$

$$Q1 = q1q0 + Bq0 + A'q1$$

$$Q0 = q1q0 + Aq0' + B'q0$$

q1	q0	A	B	Q1	Q0	F
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	1	1
0	0	1	1	0	1	1
0	1	0	0	0	1	1
0	1	0	1	1	0	1
0	1	1	0	0	1	1
0	1	1	1	1	0	1
1	0	0	0	1	0	1
1	0	0	1	1	0	1
1	0	1	0	0	1	1
1	0	1	1	0	1	1
1	1	0	0	1	1	0
1	1	0	1	1	1	0
1	1	1	0	1	1	0
1	1	1	1	1	1	0

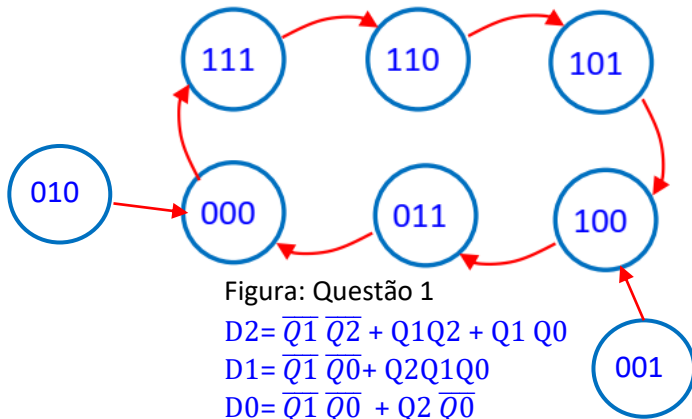


## Matrículas Ímpares

**Questão 1:** Considere o diagrama de estados da figura abaixo, onde cada estado é codificado com três bits. Projete o circuito associado usando apenas um registrador de três bits sem set/reset, portas lógicas de duas entradas que evite as situações de bloqueio para os estados **não definidos** (não pode usar Multiplexadores para evitar os bloqueios). Apresente o diagrama de estados obtido mostrando as transições entre os 8 estados. [1 ponto]

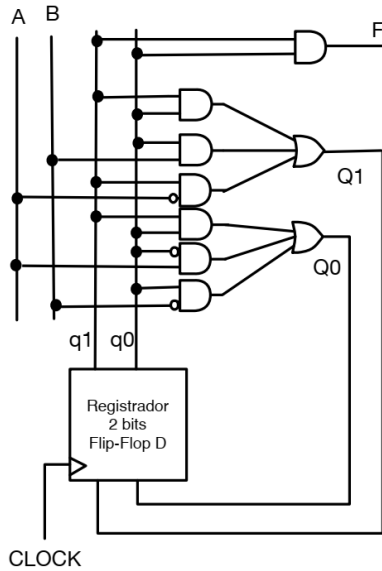
**Questão 1:** Considere o diagrama de estados da figura abaixo, onde cada estado é codificado com três bits. Projete o circuito associado usando apenas um registrador de três bits sem set/reset, portas lógicas de duas entradas que evite as situações de bloqueio para os estados **não definidos** (não pode usar Multiplexadores para evitar os bloqueios). Apresente o diagrama de estados obtido mostrando as transições entre os 8 estados.

Uma das possíveis soluções é:



Q2	Q1	Q0	D2	D1	D0
0	0	0	1	1	1
0	0	1	1	0	0
0	1	1	0	0	0
0	1	0	0	0	0
1	1	0	1	0	1
1	1	1	1	1	0
1	0	1	1	0	0
1	0	0	0	1	1

**Questão 2:** Para o circuito sequencial da figura acima, projete o diagrama de estados usando a abordagem de engenharia reversa.: [1 ponto]



$$F = q1 q0$$

$$Q1 = q1 q0 + q0 B + A' q1$$

$$Q0 = B' q0 + A q0' + AB$$

q1	q0	A	B	Q1	Q0	F
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	0	1	0
0	1	0	1	1	0	0
0	1	1	0	0	1	0
0	1	1	1	1	0	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	1	0
1	1	0	0	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	1	1	1

