



Universidade Federal de Santa Catarina

Centro Tecnológico

Departamento de Informática e Estatística
Ciências da Computação & Engenharia Eletrônica



Sistemas Digitais

INE 5406

Aula 1T - parte 3: Componentes Sequenciais do Nível RT

Registradores

Professores: Cristina Meinhardt & José Luís Güntzel

{cristina.meinhardt, j.guntzel}@ufsc.br

Componentes Sequenciais do Nível RT

Tipos de Componentes do Nível RT

Componentes Combinacionais

- Realizam operações aritméticas e lógicas sobre os dados
- Controlam os caminhos que os dados devem percorrer (rede de interconexão)
- Viabilizam o endereçamento de dados em memórias (decodificadores)

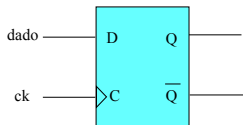
Componentes Sequenciais

- Registradores (feitos a partir de flip-flops)
- Memórias (feitas de células de armazenamento, decodificadores e circuitos de interface)

Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)



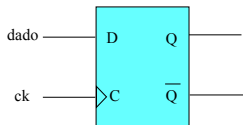
Vantagens sobre os latches:

- Comportamento bastante previsível: trocas de estados alinhadas com as bordas do **signal de relógio (ck)**
- Provêm a robustez necessária para o projeto de **sistemas digitais síncronos** (98% de todos os SDs)

Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

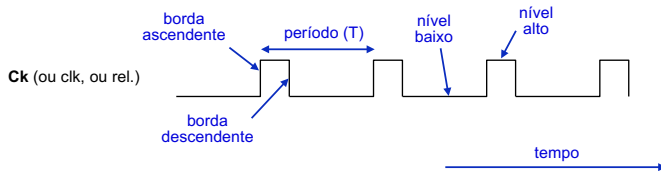


Vantagens sobre os latches:

- Comportamento bastante previsível: trocas de estados alinhadas com as bordas do **signal de relógio (ck)**
- Provêm a robustez necessária para o projeto de **sistemas digitais síncronos** (98% de todos os SDs)

Sinal de Relógio (clock)

Frequência $f = 1/T$
Unidade: Hertz (HZ)
 $1 \text{ Hz} = 1/1\text{s}$



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

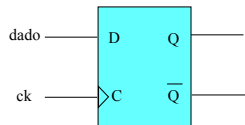
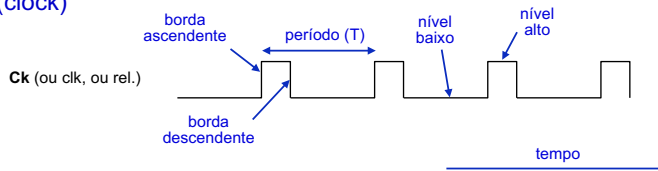


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1

Sinal de Relógio (clock)



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

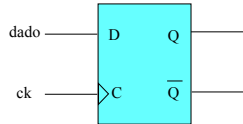
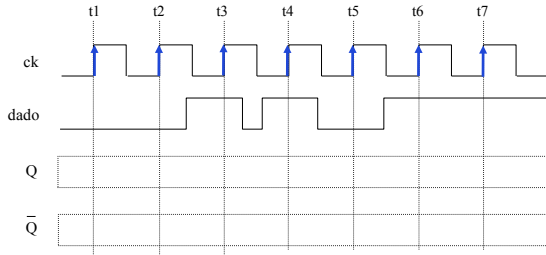


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

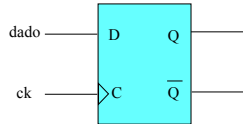
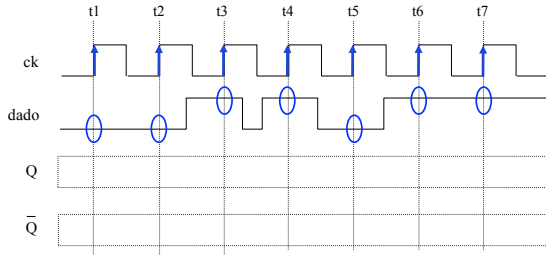


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

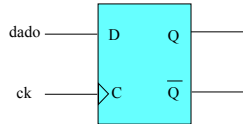
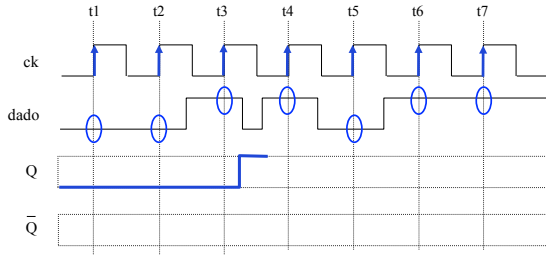


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

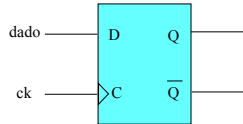
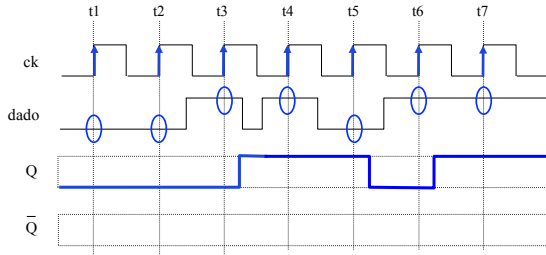


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

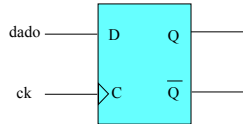
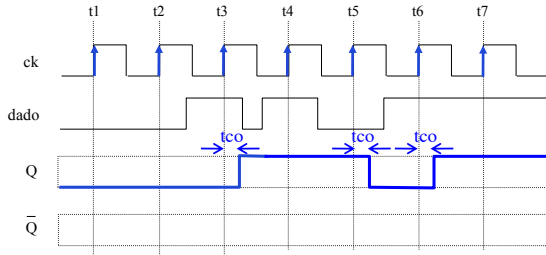


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

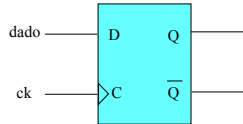
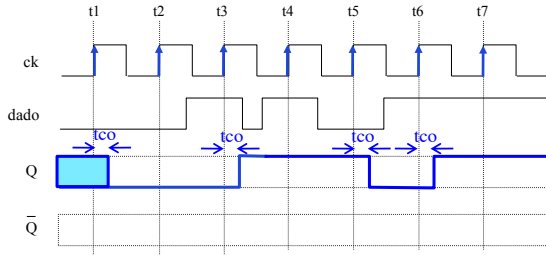


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente

Símbolo (nível lógico)

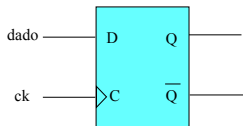
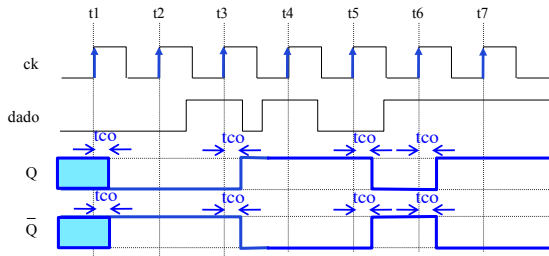


Tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1

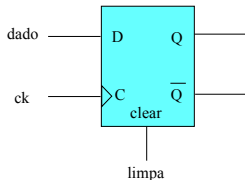


Nesta disciplina assumiremos que o t_{co} da saída Q' é idêntico ao t_{co} da saída Q . Assim, a saída Q' será o “espelho” da saída Q .

Componentes Sequenciais do Nível RT

Flip-flop D, Disparado Pela Borda Ascendente c/ Reset Assíncrono

Símbolo
(nível lógico)



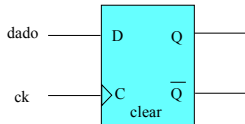
**Tabela de transição
de estados**

clear	C	D	Q_{t+1}
0	$\neq \uparrow$	X	Q_t
0	\uparrow	0	0
0	\uparrow	1	1
1	X	X	0

Componentes Sequenciais do Nível RT

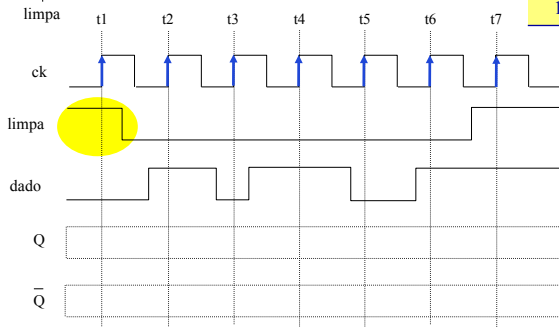
Flip-flop D, Disparado Pela Borda Ascendente c/ Reset Assíncrono

Símbolo
(nível lógico)



**Tabela de transição
de estados**

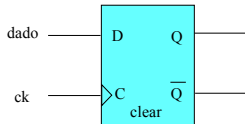
clear	C	D	Q_{t+1}
0	$\neq \uparrow$	X	Q_t
0	\uparrow	0	0
0	\uparrow	1	1
1	X	X	0



Componentes Sequenciais do Nível RT

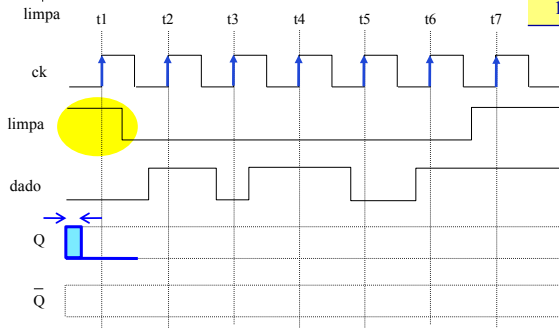
Flip-flop D, Disparado Pela Borda Ascendente c/ Reset Assíncrono

Símbolo
(nível lógico)



**Tabela de transição
de estados**

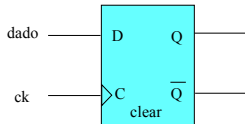
clear	C	D	Q_{t+1}
0	$\neq \uparrow$	X	Q_t
0	\uparrow	0	0
0	\uparrow	1	1
1	X	X	0



Componentes Sequenciais do Nível RT

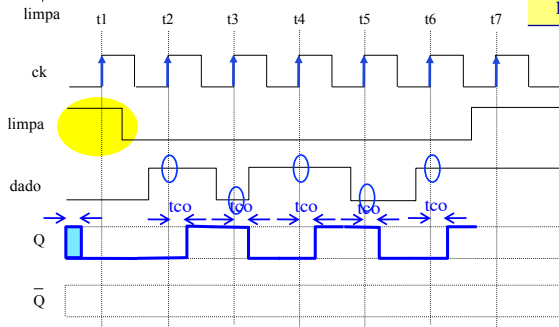
Flip-flop D, Disparado Pela Borda Ascendente c/ Reset Assíncrono

Símbolo
(nível lógico)



**Tabela de transição
de estados**

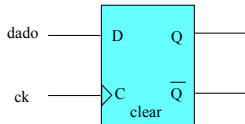
clear	C	D	Q_{t+1}
0	$\neq \uparrow$	X	Q_t
0	\uparrow	0	0
0	\uparrow	1	1
1	X	X	0



Componentes Sequenciais do Nível RT

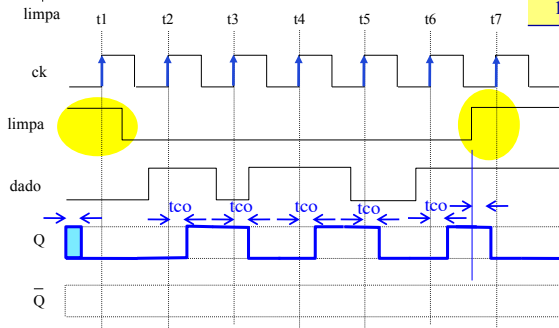
Flip-flop D, Disparado Pela Borda Ascendente c/ Reset Assíncrono

Símbolo
(nível lógico)



**Tabela de transição
de estados**

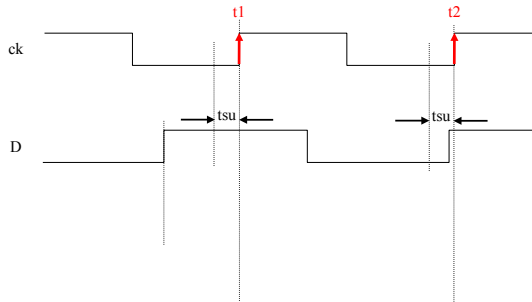
clear	C	D	Q_{t+1}
0	$\neq \uparrow$	X	Q_t
0	\uparrow	0	0
0	\uparrow	1	1
1	X	X	0



Componentes Sequenciais do Nível RT

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida



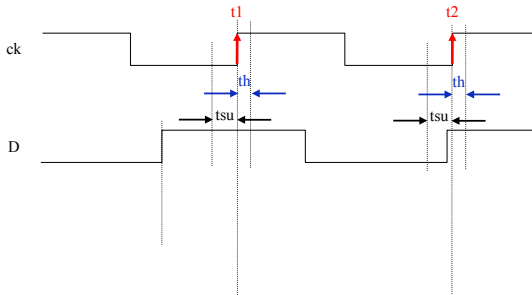
t_{su} = Tempo de Preparação (*setup time*)

“Tempo antes da borda ativa de ck (subida, neste caso) durante o qual a entrada D já deve estar em seu valor estável.”

Componentes Sequenciais do Nível RT

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida



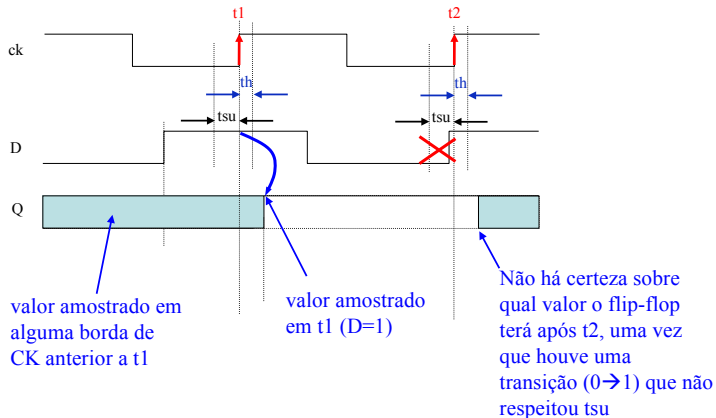
t_h = Tempo de Manutenção (*hold time*)

“Tempo, a partir da borda ativa de ck (subida, neste caso), durante o qual a entrada D deve permanecer estável.”

Componentes Sequenciais do Nível RT

Características Temporais de Flip-flops

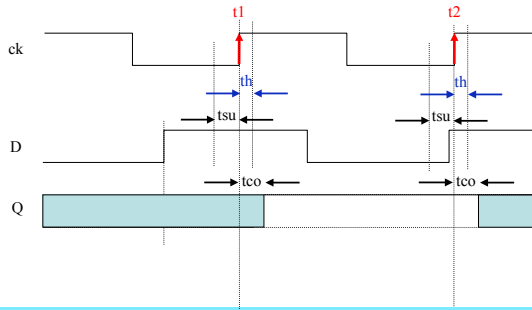
Supor um Flip-flop D disparado pela Borda de Subida



Componentes Sequenciais do Nível RT

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida

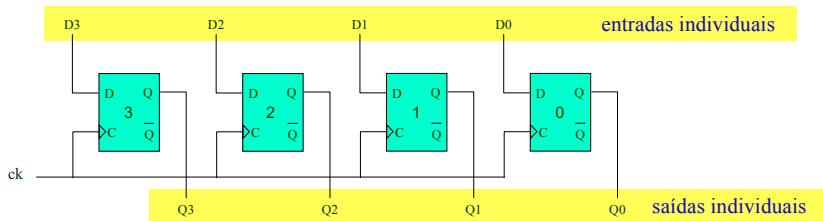


t_{co} (ou t_d) = *Time from clock to output* (ou Tempo ou Atraso de Carga)

“Atraso, em relação à borda ativa de ck (subida, neste caso), para o valor amostrado a partir da entrada D aparecer nas saídas Q e \bar{Q} .”

Componentes Sequenciais do Nível RT

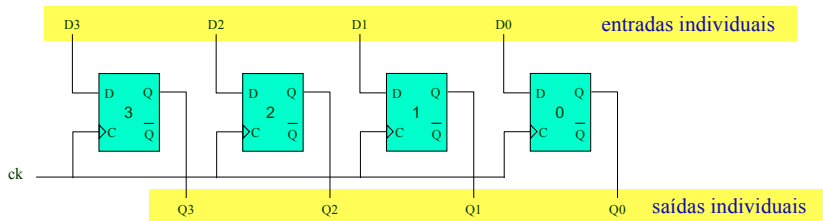
Registrador com Carga Paralela



- Existe um flip-flop para cada bit a ser armazenado
- Todos os flip-flops “obedecem” a um mesmo sinal de relógio
- O termo “carga paralela” refere-se ao fato de existir uma entrada para cada bit, de modo que é possível carregar simultaneamente todos os bits do dado

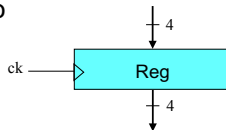
Componentes Sequenciais do Nível RT

Registrador com Carga Paralela



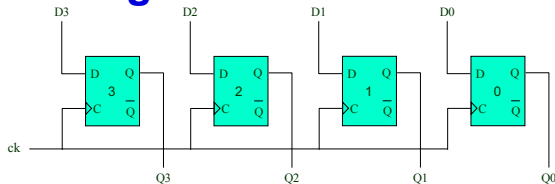
- Existe um flip-flop para cada bit a ser armazenado
- Todos os flip-flops “obedecem” a um mesmo sinal de relógio
- O termo “carga paralela” refere-se ao fato de existir uma entrada para cada bit, de modo que é possível carregar simultaneamente todos os bits do dado

Símbolo no nível RT

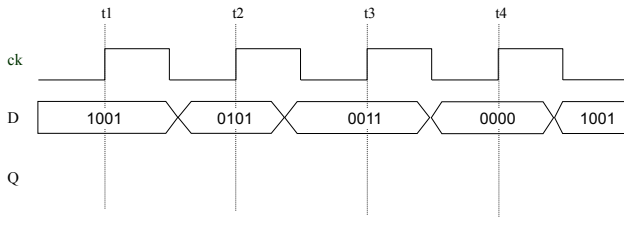


Componentes Sequenciais do Nível RT

Registrador com Carga Paralela

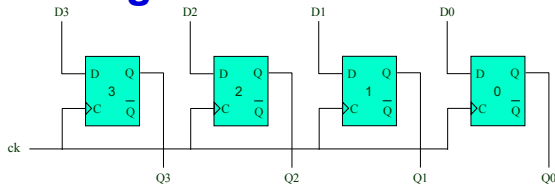


Exemplo de funcionamento (assumindo que t_{su} e t_h são satisfeitos)

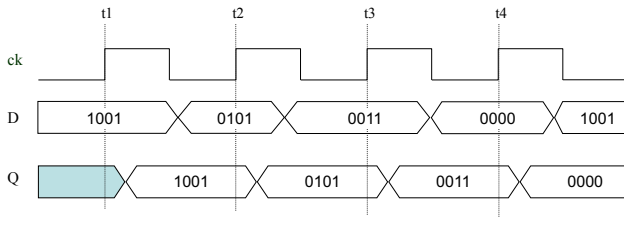


Componentes Sequenciais do Nível RT

Registrador com Carga Paralela

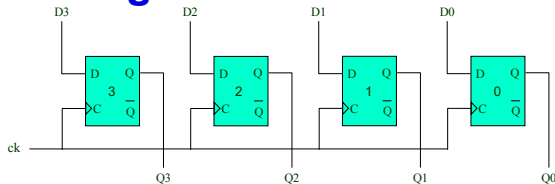


Exemplo de funcionamento (assumindo que t_{su} e t_h são satisfeitos)



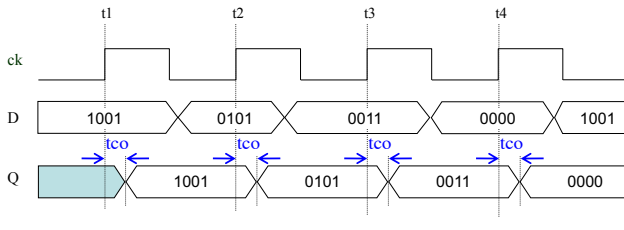
Componentes Sequenciais do Nível RT

Registrador com Carga Paralela



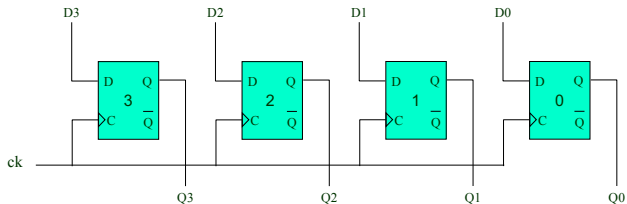
Obs:
Como os flip-flops estão em paralelo, o tco de um registrador será o maior valor de tco dentre todos os registradores que o compõem .

Exemplo de funcionamento (assumindo que tsu e th são satisfeitos)



Componentes Sequenciais do Nível RT

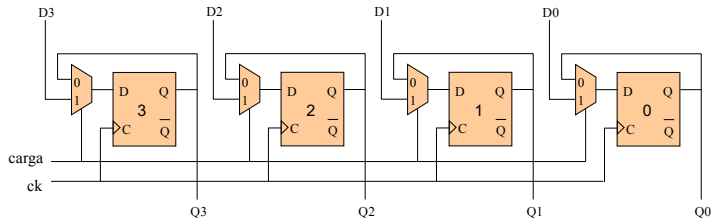
Registrador com Carga Paralela



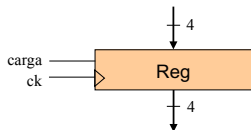
- Peculiaridade: a cada borda de subida do sinal de relógio, um novo dado é amostrado, **mesmo que não se queira amostrar um dado novo...**
- Porém, muitas **vezes, necessita-se conservar o valor de uma variável durante vários ciclos de relógio, o que seria impossível com tal registrador.**

Componentes Sequenciais do Nível RT

Registrador com Habilitação (Enable) de Carga Paralela



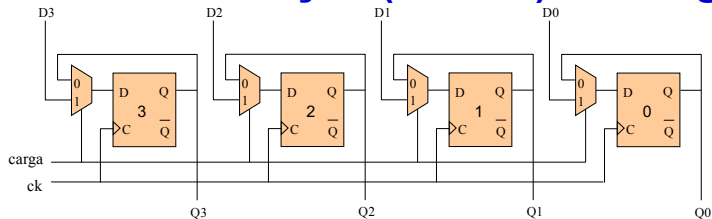
Símbolo no nível RT



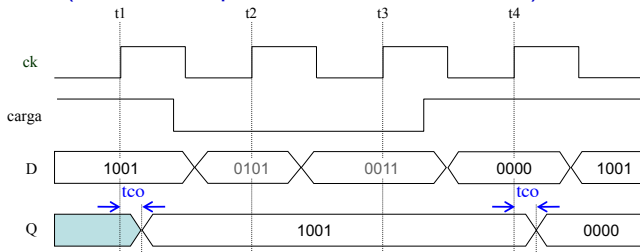
- Existe um sinal de “carga” e um sinal de relógio (ck)
- A cada borda ativa de “ck” cada FF amostra um valor de sua respectiva entrada “D”:
 - Se carga=0, cada FF amostra seu respectivo “Q”
 - Se carga=1, cada FF amostra um valor externo “Di”

Componentes Sequenciais do Nível RT

Registrador com Habilitação (Enable) de Carga Paralela



Exemplo de funcionamento (assumindo que t_{su} e t_h são satisfeitos)





Universidade Federal de Santa Catarina

Centro Tecnológico

Departamento de Informática e Estatística
Ciências da Computação & Engenharia Eletrônica



Sistemas Digitais

INE 5406

Aula 1T - parte 3: Componentes Sequenciais do Nível RT

Registradores

Professores: Cristina Meinhardt & José Luís Güntzel

{cristina.meinhardt, j.guntzel}@ufsc.br