## Universidade Federal de Santa Catarina EEL5105: Circuitos e Técnicas Digitais

Semestre: 2020/2 - Projeto

## Jogo de memoria

O projeto final consiste na descrição e emulação de um circuito na placa de desenvolvimento DE2 fazendo uso das estruturas e conhecimentos obtidos durante o curso. O circuito vai implementar a um jogo interativo e o comportamento do mesmo está definido a seguir:

- Para iniciar o jogo o usuário ativa a entrada de reset, KEY(0), e passamos ao estado START onde são activados o comando de reset (R1). Nesse estado os displays HEX7 e HEX6 mostrar'a a letra L de level e o nível de jogo, respectivamente, os displays HEX5 e HEX4 mostrarão a letra J de jogo e um número de 0 a 3 dos possíveis 4 jogos, respectivamente, HEX3 e HEX2 mostrarão a letra t de tempo e o tempo de jogo, respectivamente, e por último, os displays HEX1 e HEX0 mostrarão a letra b de bonus e o valor do bonus do usuário, respectivamente. O nível de jogo, tempo máximo de jogo e bonus serão explicados a seguir. Do estado START passamos diretamente ao estado SETUP.
- Uma vez no estado SETUP o usuário deve escolher o número de bónus com os os Switches 13 e 10, SW(13..10) sendo o número máximo de bonus  $SW(13..10) = 1111_2 = 15_{10}$ , a velocidade do jogo com os Switches 9 e 6, SW(9..6), sendo o valor mínimo SW(9..6) = "0001" jogo mais rápido ou SW(9..6) = "1111" jogo mais lento. O usuário também pode escolher uma dos quatro jogos possíveis com os Switches 5 e 4, SW(5..4), e o número de rodadas com os Switches 3 e 1, SW(3..0). Damos inicio ao jogo ativando a entrada EXP(1) e passando ao estado EXP(1) e EXP(1) e
- Uma vez no estado  $PLAY\_FPGA$  é ativada a sequencia seleccionada a qual será mostrada nos LEDR(17..0) a uma velocidade definida no estado anterior com os SW(9..6). Dita sequencia possui 16 linhas de atribuição de 18-bits e um exemplo de sequencia SEQ1.vhd está disponível no Moodle da disciplina. Corre a cargo do aluno preencher as outras três sequências à sua escolha. Na primeira rodada será apresentada uma linha da sequencia, na segunda rodada serão apresentadas a segunda e assim sucessivamente. O jogo passa para o proximo estado,  $PLAY\_USER$ , quando esteja ativo um sinal de status, chamado end FPGA.
- Uma vez no estado  $PLAY\_USER$  o usuário deve indicar com os Switches 17 e 0 SW(17..0) a sequencia mostrada no estado anterior. Neste estado, o displays HEX2 mostrará uma contagem ascendente de 0 a 9 com frequência de 1Hz. Se o tempo acaba é ativado um sinal de status  $end\_time$  e o jogo passa ao estado RESULT, se não terminou o tempo e o usuário introduz a sequencia que achar correta e pressiona enter e o jogo passa ao estado CHECK.
- No estado CHECK se avalia se o usuário errou (e em quantas posições) na replicação da sequencia. Se o usuário replicou a sequencia corretamente não se descontará nenhum valor ao bonus, em caso contrario se descontará o valor de erros correspondente. Se os bonus acabarem se activará um sinal de status end\_bonus e o jogo passa ao estado RESULT se o número de rodadas termina, se ativará um sinal de status end\_round, o usuário ganhará à FPGA e um sinal de status RESULT. Em caso contrario passamos a estado NEXT ROUND.
- ullet No estado NEXT ROUND se contará a rodada e passamos ao estado WAIT.
- No estado WAIT, os displays mostrarão a palavra round = e o valor da rodada. Quando o usuário pressiona enter KEY(1) passamos ao estado  $PLAY\_FPGA$  e deixamos de ver a informação da rodada no display para, de novo, visualizar a informação de level, jogo, tempo e bonus. Neste estado serão resetadas as contagens das FPGA e o tempo do usuário.
- No estado RESULT será mostrado a pontuação final em Hexadecimal nos displays HEX2, HEX1 e HEX0. A pontuação final será  $64 \times \overline{round} + bonus$  para o usuário e o complementado para a FPGA. Nesse estado os displays HEX7, HEX6, HEX5, HEX4, HEX3 mostrarão FPgA = ou USEr = indicando quem ganhou o jogo. Nesse estado o usuário deverá pressionar  $enter\ KEY(1)$  para passar ao estado START e iniciar outro jogo.
- O projeto deve ser implementado **obrigatoriamente** usando a abordagem *datapath*-controle vista nas aulas.

## Orientações Gerais:

- Na apresentação de funcionamento do projeto no kit DE1, todos os membros do grupo (máximo 2 integrantes) deverão estar presentes:
- Os testes do projeto no kit poderão ser feitos sempre nos horários de aula durante as semanas que antecedem o prazo final. Outros horários poderão ser eventualmente utilizados em função da disponibilidade do laboratório e do professor.