QUESTÕES AULA 4 TEORÍA

Problema 4.1. Pretende-se implementar unidades aritméticas com uma única entrada de 4 bits A(3:0) sem sinal, que realize o cálculo das operações aritméticas:

a) $f_1(7:0) = 19 \times A(3:0)$;

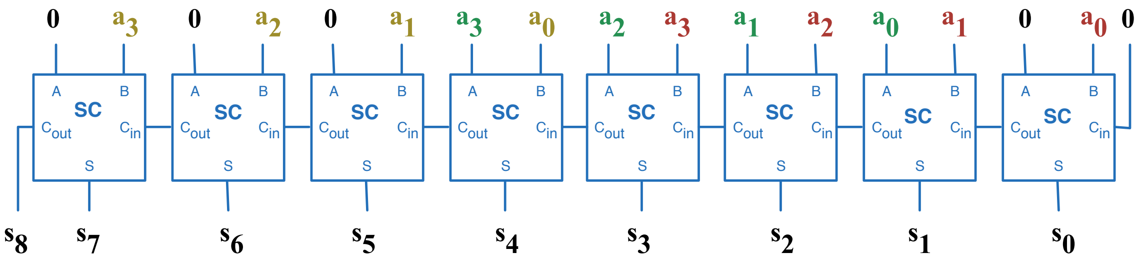
b) $f_2(7:0) = 19 \times A(3:0) + 33$;

c) $f_3(7:0) = 9 \times A(3:0) + 8$;

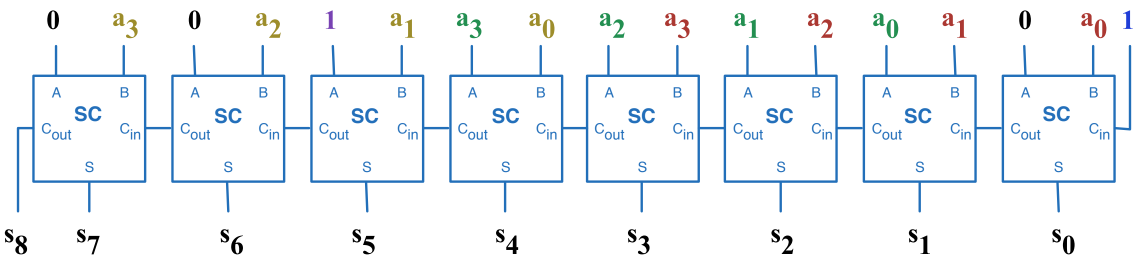
Desenhe o diagrama lógico dos circuitos utilizando um circuito somador de 8 bits com entrada e saída de carga (*carry in* e *carry out*) e o mínimo de lógica discreta possível.

Solução:

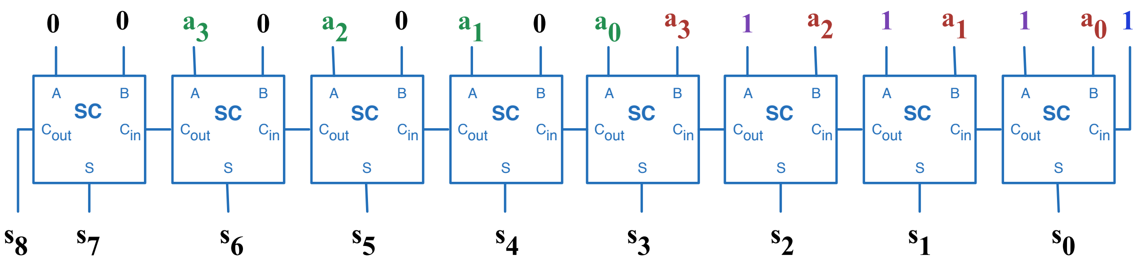
a) 19A=16A+2A+A



b) 19A+33=16A+2A+A+32+1



c) 9A+8=8A+A+7+1



Problema 4.2. Faça a conversão dos seguintes números decimais com sinal para as representações em sinal em complemento de 2 com 10 bits.

a) $-23_{(10)}$

b) $23_{(10)}$

c) $64_{(10)}$

d) $-64_{(10)}$

e) $-500_{(10)}$

f) $128_{(10)}$

Solução:

a) Para obter o valor negativo em Complemento 2 (C2) de $-23_{(10)}$ obtenho o valor positivo, $23_{(10)}=0000010111_{(2)}$ complemento e sumo 1:

$$\begin{array}{r} 1111101000 \\ + \quad 1 \\ \hline 1111101001_{(C2)}=-23_{(10)} \end{array}$$

b) A representação em binário corresponde ao C2 já que é um valor positivo:

$23_{(10)}= 0000010111_{(2)}= 0000010111_{(C2)}$

c) A representação em binário corresponde ao C2 já que é um valor positivo:

$64_{(10)}=0001000000_{(2)}=0001000000_{(C2)}$

d) Para obter o valor negativo em Complemento 2 (C2) de $-64_{(10)}$ obtenho o valor positivo, $64_{(10)}=0001000000_{(2)}$ complemento e sumo 1:

$$\begin{array}{r} 1110111111 \\ + \quad 1 \\ \hline 1111000000_{(C2)}=-64_{(10)} \end{array}$$

e) Para obter o valor negativo em Complemento 2 (C2) de $-500_{(10)}$ obtenho o valor positivo, $500_{(10)}=0111110100_{(2)}$ complemento e sumo 1:

$$\begin{array}{r} 1000001011 \\ + \quad 1 \\ \hline 1000001100_{(C2)}=-500_{(10)} \end{array}$$

f) A representação em binário corresponde ao C2 já que é um valor positivo:

$128_{(10)}=0010000000_{(2)}=0010000000_{(C2)}$

Problema 4.3. Faça a conversão dos seguintes números decimais com sinal para representações em complemento de 2 com 8 bits e 16 bits. A partir dos resultados obtidos, observe que a representação de um número com um maior número de bits pode ser obtida fazendo a extensão do sinal do mesmo número representado com um menor número de bits.

a) $-53_{(10)}$

b) $53_{(10)}$

Solução:

a) Para obter o valor negativo em Complemento 2 (C2) de $-53_{(10)}$ obtenho o valor positivo, com 8 bits $53_{(10)}=00110101_{(2)}$ complemento e sumo 1:

$$\begin{array}{r} 11001010 \\ +\quad\quad\quad 1 \\ \hline 11001011_{(C2)}=-53_{(10)} \end{array}$$

Para obter a expressão com 16 bits faço uma extensão do bit de sinal

$11001011_{(C2)}=-53_{(10)} \longrightarrow 1111111111001011_{(C2)}=-53_{(10)}$

Bit de sinal

...

b) A representação em binário corresponde ao C2 já que é um valor positivo:

com 8 bits $53_{(10)}= 00110101_{(2)}= 00110101_{(C2)}$

Para obter a expressão com 16 bits faço uma extensão do bit de sinal

$00110101_{(C2)}=53_{(10)}$ $\quad 0000000000110101_{(C2)}=53_{(10)}$

Bit de sinal

...

Problema 4.4. Para duas entradas (X, Y) em complemento de 2 com 5 bits. Indique se existe *overflow* quando são somadas os valores X e Y. Indique qual é o valor em decimal correspondente das entradas X e Y. Caso não exista *overflow*, indique qual é o valor em decimal correspondente da soma $S = X + Y$.

a) X= 10001_{C2}, Y= 01111_{C2}.

b) X= 11110_{C2}, Y= 11111_{C2}.

c) X= 00101_{C2}, Y= 01010_{C2}.

d) X= 00011_{C2}, Y= 10000_{C2}.

Solução:

a) Fazemos a soma colocando a informação dos *carrys* (em verde) para detectar o *overflow*:

$$1 \oplus 1 = 0 \qquad \begin{array}{r} 11111 \\ 01111_{(C2)}=-15_{(10)} \\ +\ 01111_{(C2)}=15_{(10)} \\ \hline 00000_{(C2)}=0_{(10)} \end{array}$$

O valor 0 indica que não existe overflow
e que o resultado da soma está correto.

b) Fazemos a soma colocando a informação dos *carrys* (em verde) para detectar o *overflow*:

$$1 \oplus 1 = 0 \qquad \begin{array}{r} 11110 \\ 11110_{(C2)}=-2_{(10)} \\ +\ 11111_{(C2)}=-1_{(10)} \\ \hline 11101_{(C2)}=-3_{(10)} \end{array}$$

O valor 0 indica que não existe overflow
e que o resultado da soma está correto.

c) Fazemos a soma colocando a informação dos *carrys* (em verde) para detectar o *overflow*:

$$0 \oplus 0 = 0 \qquad \begin{array}{r} 00000 \\ 00101_{(C2)}=5_{(10)} \\ +\ 01010_{(C2)}=10_{(10)} \\ \hline 01111_{(C2)}=15_{(10)} \end{array}$$

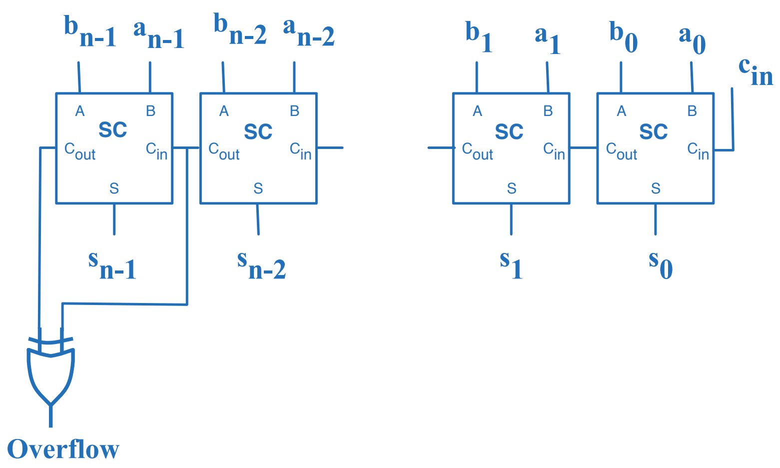
O valor 0 indica que não existe overflow
e que o resultado da soma está correto.

d) Fazemos a soma colocando a informação dos *carrys* (em verde) para detectar o *overflow*:

$$0 \oplus 0 = 0 \qquad \begin{array}{r} 00000 \\ 00011_{(C2)}=3_{(10)} \\ +\ 10000_{(C2)}=-16_{(10)} \\ \hline 10011_{(C2)}=-13_{(10)} \end{array}$$

O valor 0 indica que não existe overflow
e que o resultado da soma está correto.

Problema 4.5. Projetar um somador de *n* bits com detector de *overflow*.



Problema 4.6. Pretende-se implementar uma unidade aritmética com uma única entrada de 4 bits A(3:0), representada em complemento para 2, que realize o cálculo da operação aritmética:

$$f(7:0) = 3 \times A(3:0)$$

Desenhe o diagrama lógico do circuito utilizando um circuito somador de 8 bits com entrada e saída de carga (*carry in* e *carry out*) e o mínimo de lógica discreta possível.

Problema 4.7. Considere uma unidade aritmética com duas entradas de 4 bits A(3:0) e B(3:0) e saída F(3:0). A unidade aritmética é controlada por uma variável de controlo de 2 bits I(1:0). O circuito gera as seguintes operações aritméticas:

i(1)	**i(0)**	**Operação**	
0	0	$F = A + B$	(soma)
0	1	$F = A + 1$	(incremento)
1	0	$F = A - 1$	(decremento)
1	1	$F = A + \overline{B} + 1$	(subtracção)

Desenhe o diagrama lógico do circuito que permite gerar o bit menos significativo do resultado, utilizando um circuito somador de 4 bits com entrada e saída de carga (*carry in* e *carry out*) e o mínimo de lógica discreta possível.

Problema 4.8. Implemente uma unidade aritmética com dois operandos de 4 bits X(3:0) e Y(3:0) e saída de 8 bits Z(7:0), todos representados em complemento de 2. A unidade aritmética é controlada por uma variável de controlo de 1 bit (F), realizando as seguintes operações:

F	**Operação**
0	Z = 2X - Y
1	Z = 2X + Y

Desenhe o diagrama lógico do circuito utilizando um circuito somador de 8 bits com entrada e saída de carga (*carry in* e *carry out*) e o mínimo de lógica discreta possível.

Problema 4.9 (Prova 2019.1). Usando apenas um somador de 8 bits com entrada e saída de carga (*carry in* e *carry out*) e o mínimo de lógica discreta possível, projete o circuito aritmético que:

a) Obtenha o resultado R(8:0) de 9 bits sem sinal da operação $17\times A(3:0) + 2\times B(3:0) + 34$, considerando A(3:0) e B(3:0) como entradas de 4 bits sem sinal.

a) Obtenha o resultado R(8:0) de 8 bits em complemento de 2 da operação A−45, considerando A(7:0)como entrada de 8 bits em complemento de 2. Inclua uma porta lógica de duas entradas para a detecção de *overflow*.

Problema 4.10 (Prova 2019.2). Usando apenas um somador de 8 bits com entrada e saída de carga (*carry in* e *carry out*) e o mínimo de lógica discreta possível, projete o circuito aritmético que:

a) Obtenha o resultado R(8:0) de 9 bits sem sinal da operação $17\times A(3:0) + 8\times B(3:0) + 7$, considerando A(3:0) e B(3:0) como entradas de 4 bits sem sinal.

b) Obtenha o resultado R(8:0) de 8 bits em complemento de 2 da operação A−85 quando c=0 e A-69 quando c=1, considerando A(7:0)como entrada de 8 bits em complemento de 2 e c um sinal de controle de um bit. Inclua uma porta lógica de duas entradas para a detecção de *overflow*.