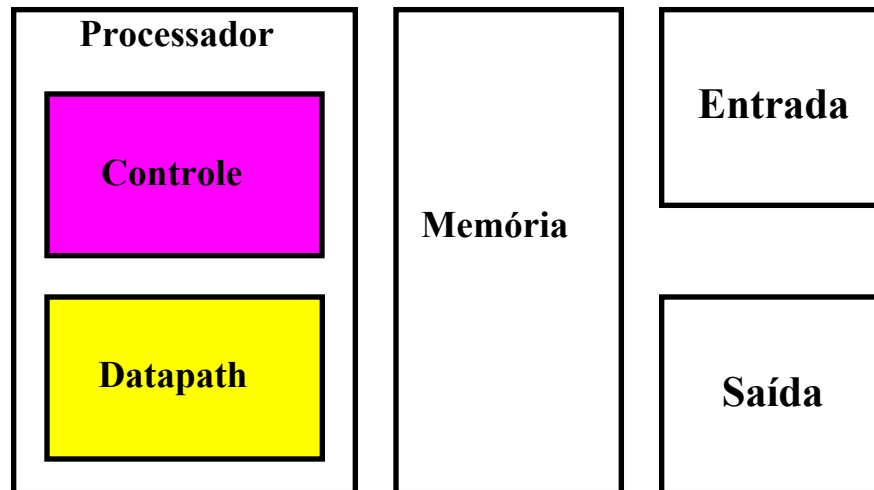
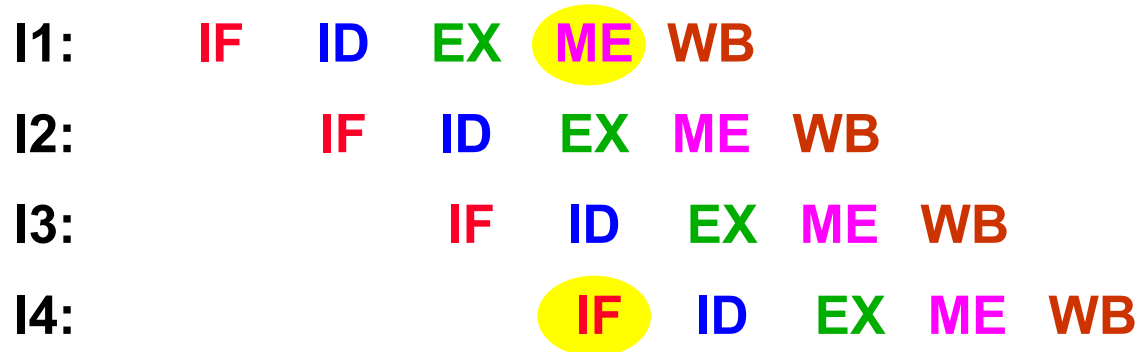


Pipelining: hazards de controle e estrutura do datapath+controlador



Hazards estruturais

- HW não suporta combinação de instruções
 - Exemplo 1: conflito em memória unificada



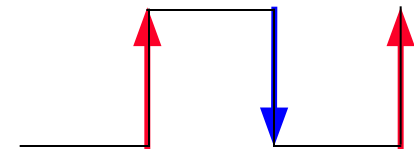
- Resolvido com duplicação do “bandwidth”
 - IF (cache de instruções)
 - ME (cache de dados)

Hazards estruturais

- HW não suporta combinação de instruções
 - Exemplo 2: conflito no banco de registradores

I1:	IF	ID	EX	ME	WB			
I2:		IF	ID	EX	ME	WB		
I3:			IF	ID	EX	ME	WB	
I4:				IF	ID	EX	ME	WB

- Resolvido com temporização
 - Escrita no primeiro semiciclo
 - » Carga na transição oposta
 - Leitura no segundo semiciclo



Hazard de controle

- Associado a desvios condicionais
- A instrução a iniciar execução no próximo ciclo **depende do resultado do teste**
- Mas resultado **não disponível** em tempo
- Problema tem três soluções
 - Pausa até que resultado do teste disponível
 - » “Stall on branch”
 - Previsão do resultado do teste
 - » “Branch prediction”
 - Desvios com retardo
 - » “Delayed branch”

Stall on branch

add \$s0, \$s1, \$s2

beq \$t0, \$t1, L

lw \$t2, \$t3, 300(\$s3)

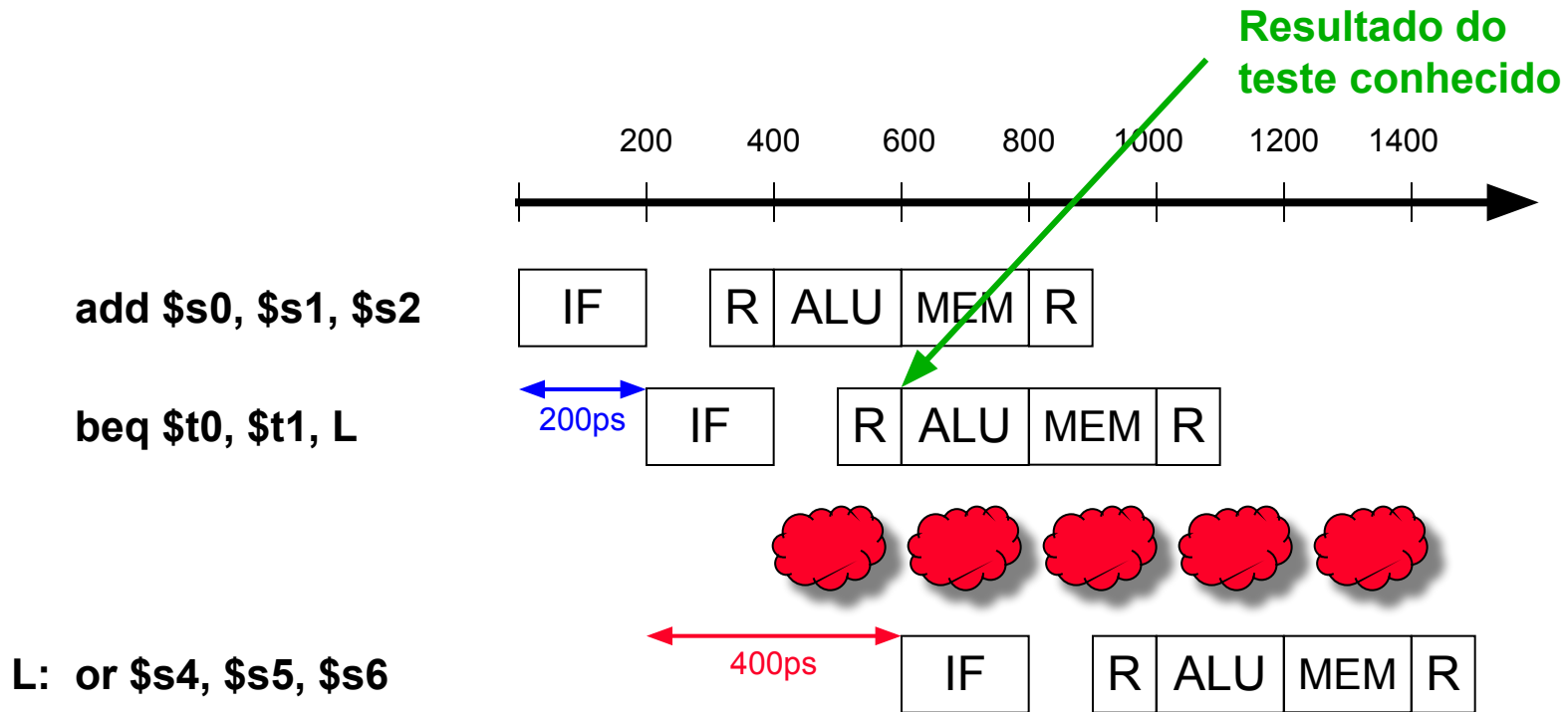
...

L: or \$s4, \$s5, \$s6

Hipótese: teste resolvido no segundo estágio

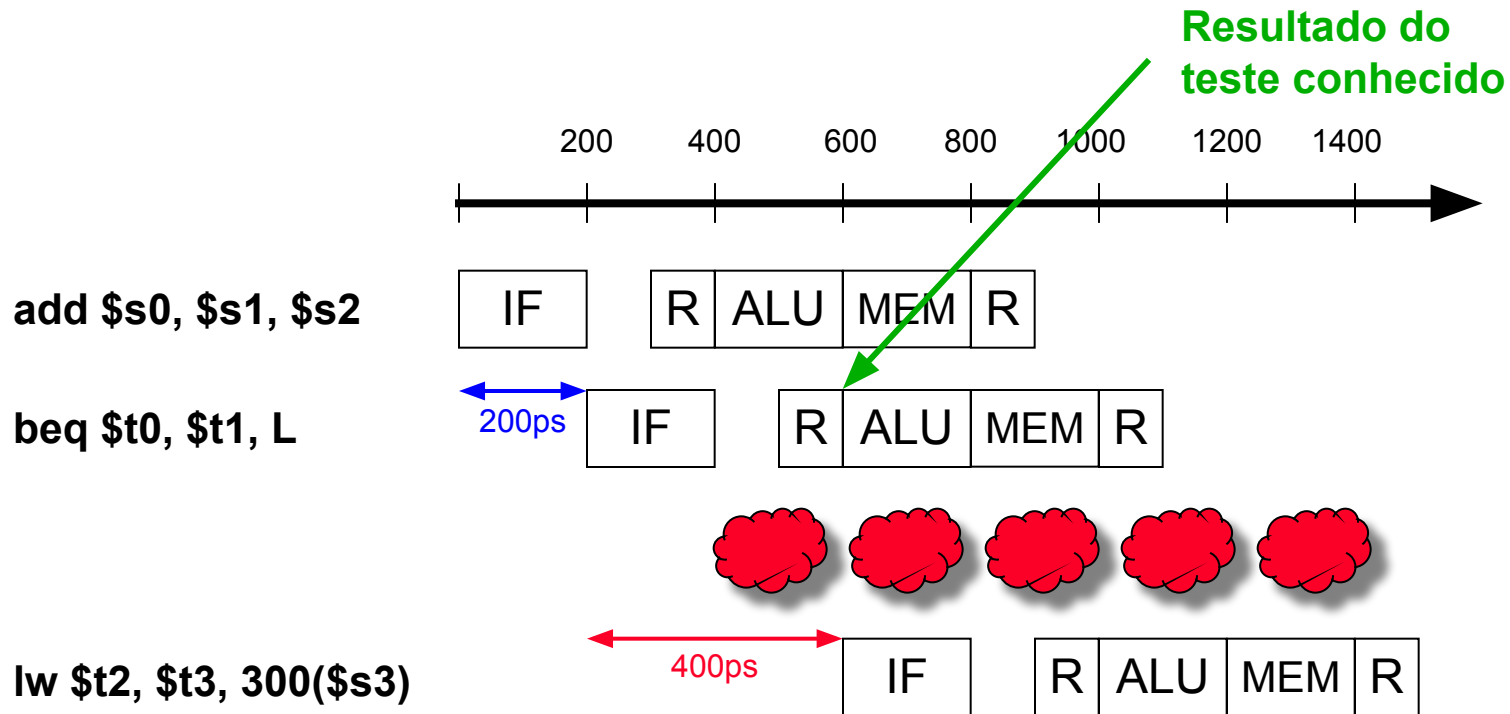
Cenários: desvio **tomado ou **não tomado****

Stall on branch: desvio tomado



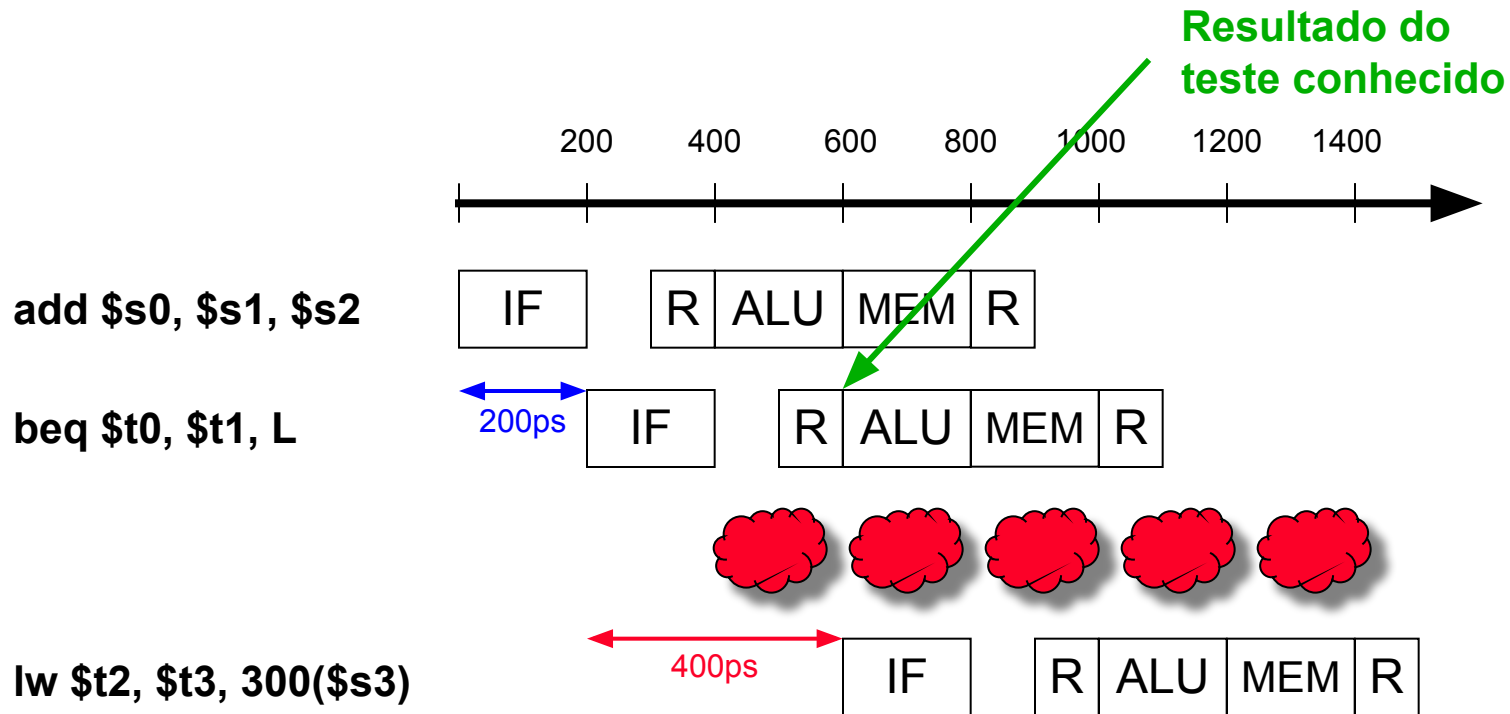
Penalidade de um ciclo

Stall on branch: desvio não tomado



Penalidade de um ciclo

Stall on branch: desvio não tomado



Conclusão: Penalidade de um ciclo **sempre** imposta à instrução que segue o desvio, qualquer que seja o resultado do teste.

Exemplo: se 13% de desvios (SPECint2000), então CPI = 1,13

Branch prediction

add \$s0, \$s1, \$s2

beq \$t0, \$t1, L

lw \$t2, \$t3, 300(\$s3)

...

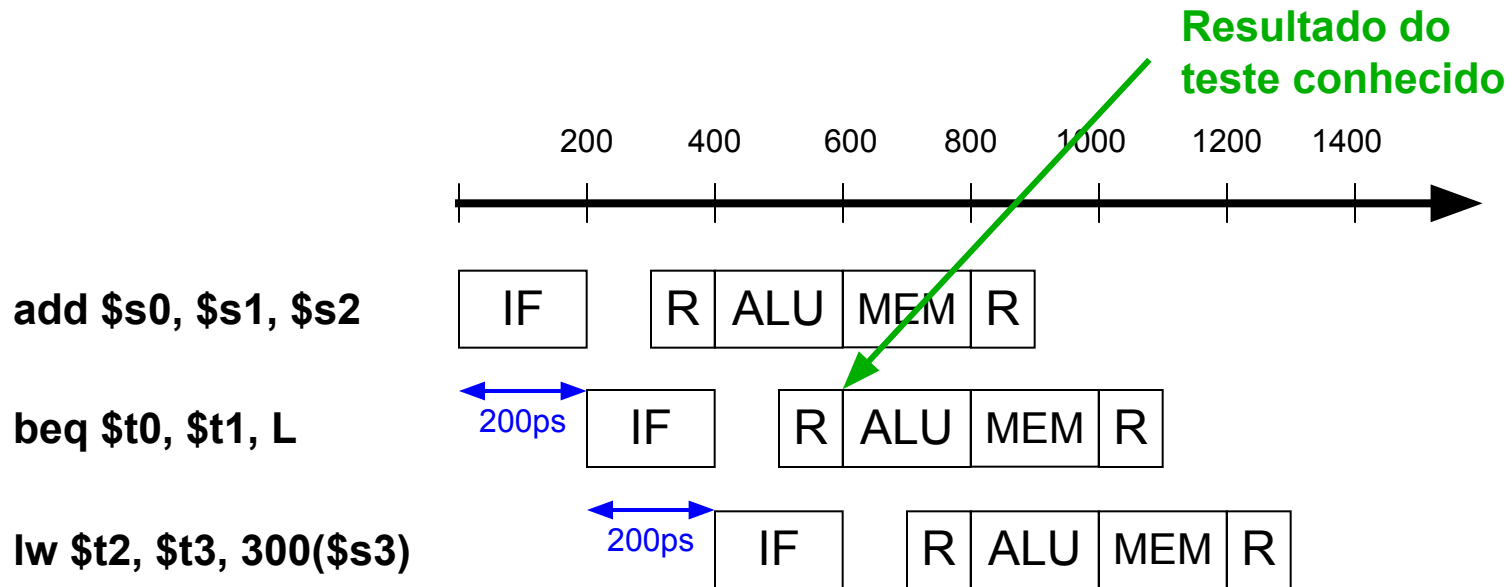
L: or \$s4, \$s5, \$s6

Hipótese: teste resolvido no segundo estágio

Hipótese de previsão: desvio não tomado

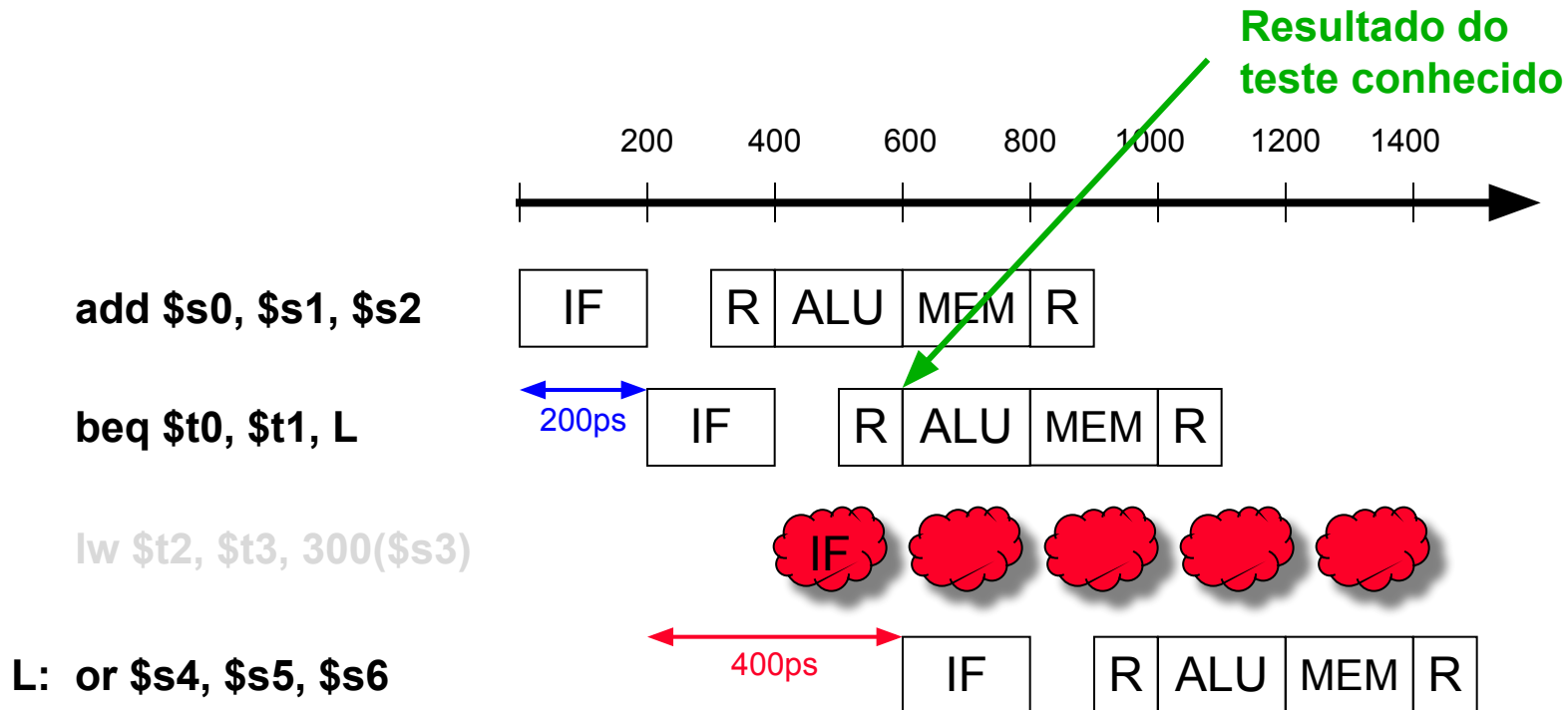
Cenários: previsão correta ou incorreta

Previsão correta



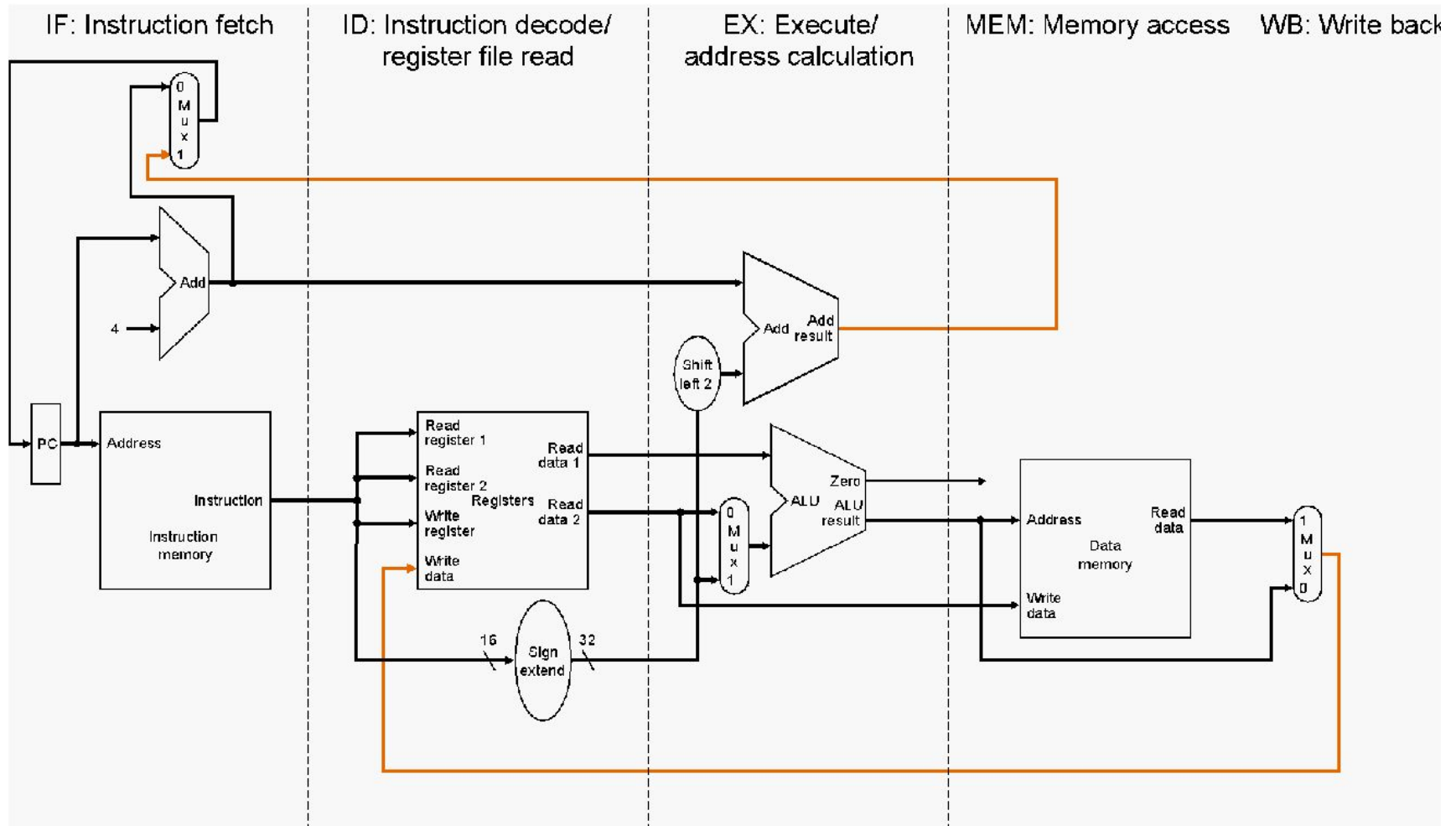
Sem penalidade

Previsão incorreta

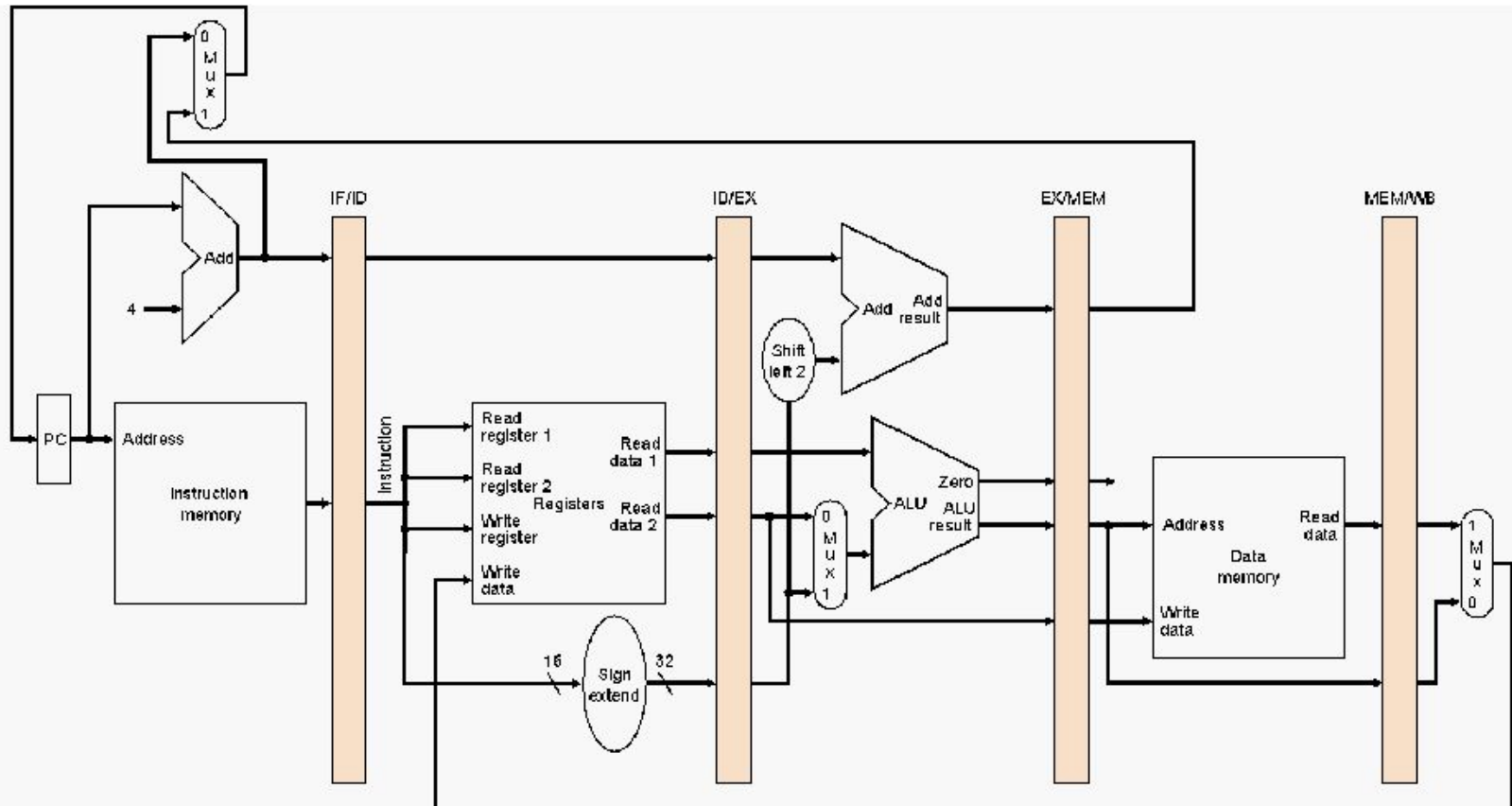


Penalidade de um ciclo imposta **somente** quando previsão incorreta.

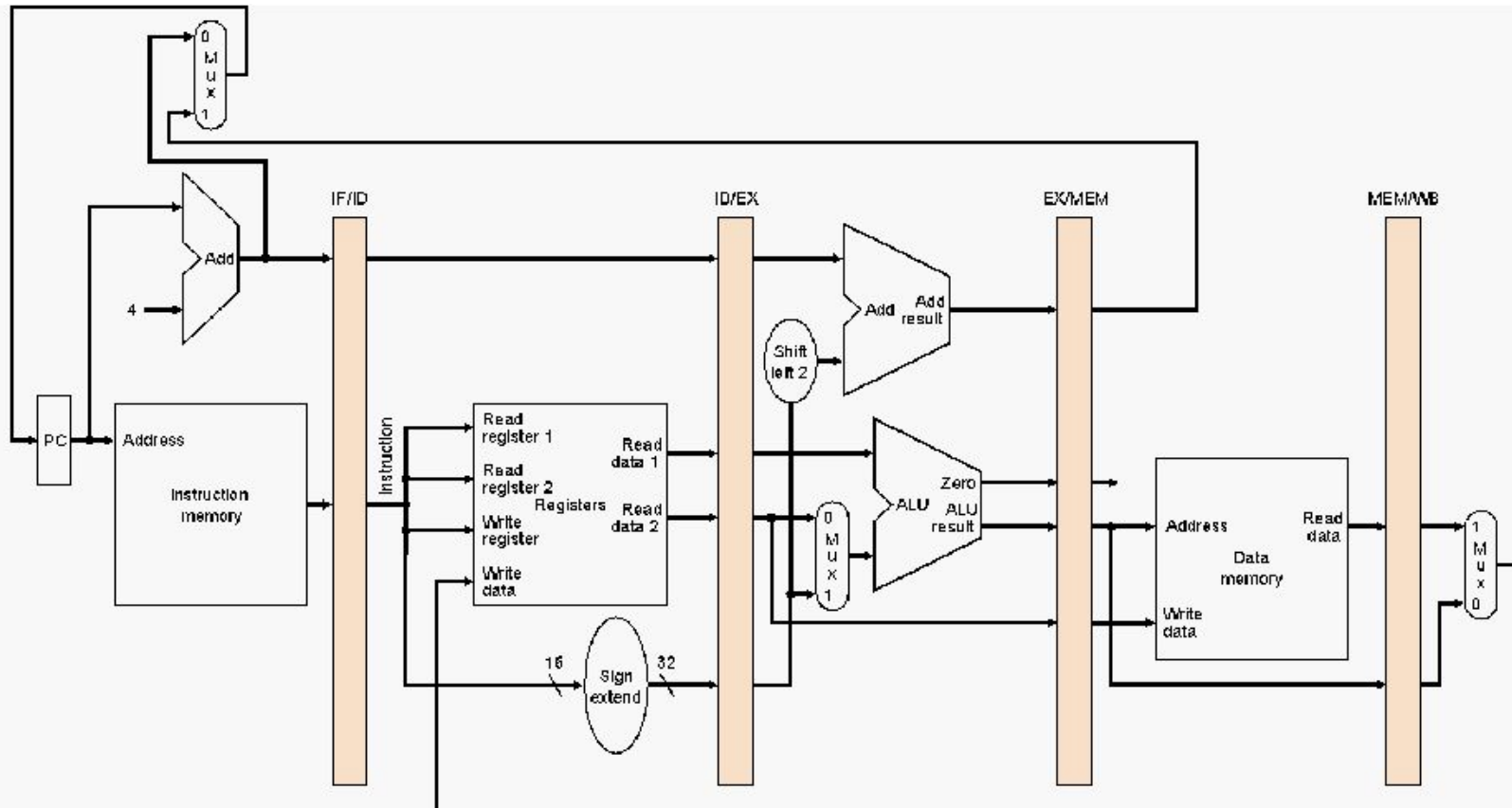
Pipeline: estrutura do datapath



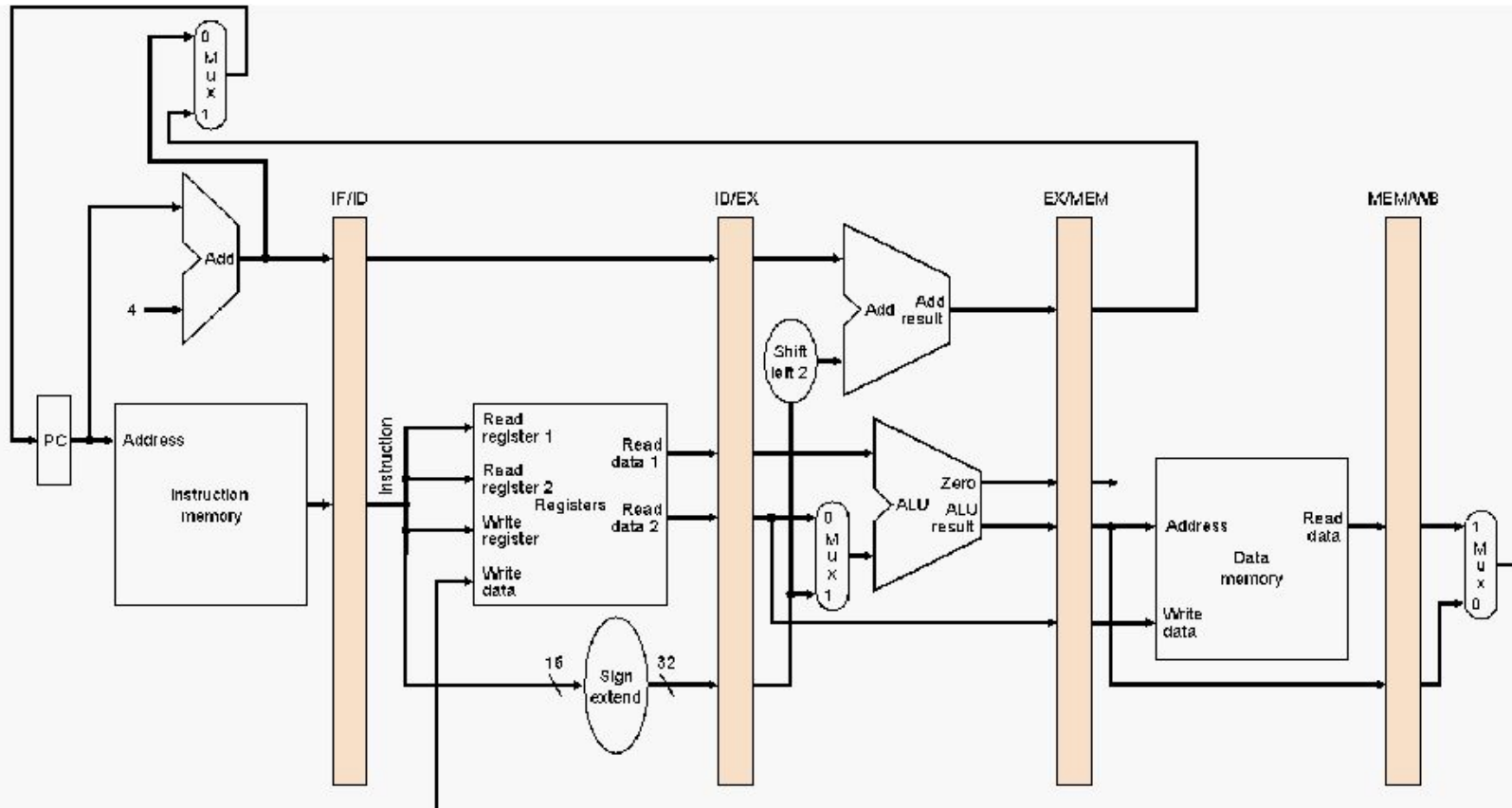
Delimitando os estágios



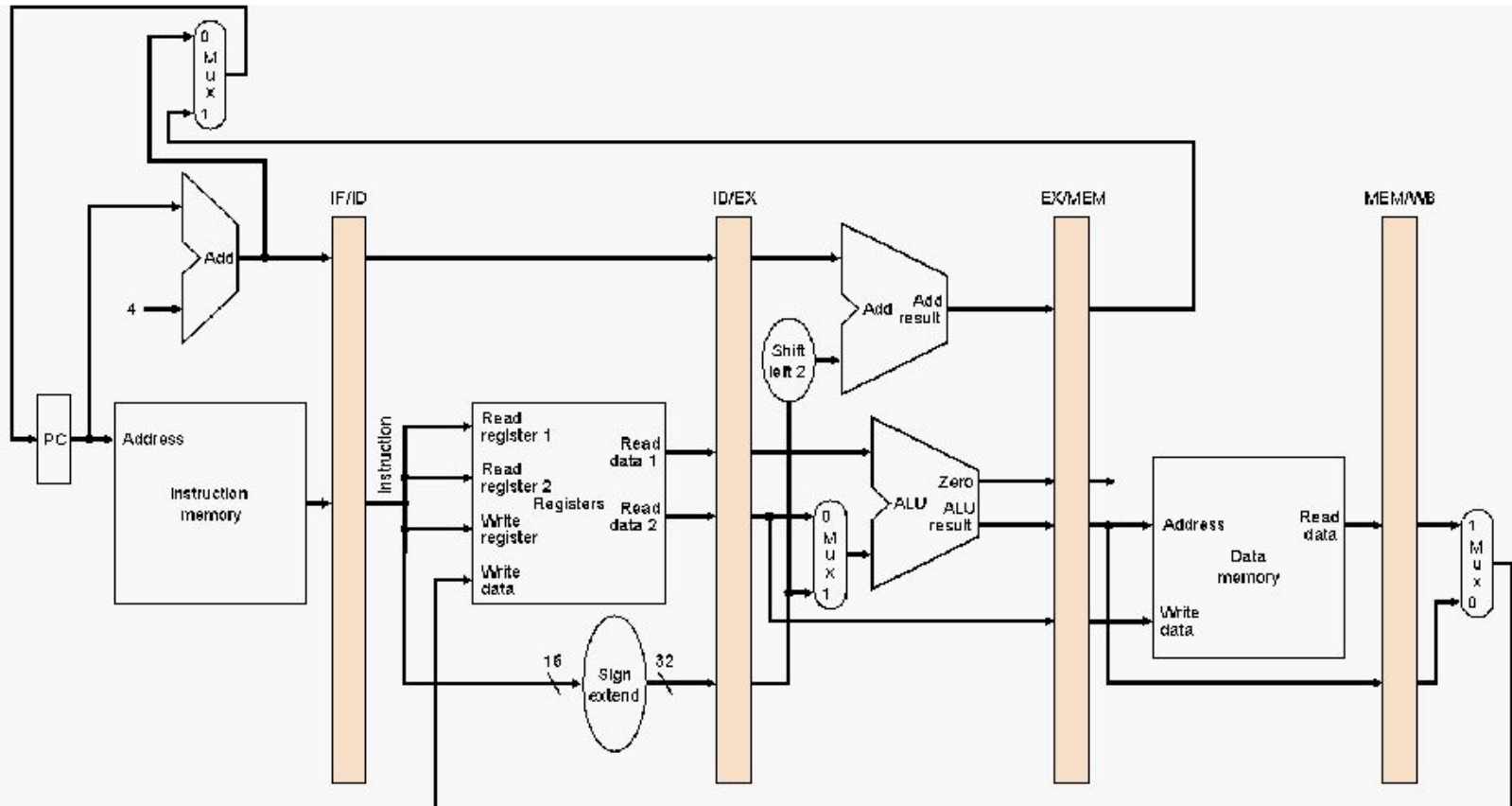
sw ao longo dos estágios



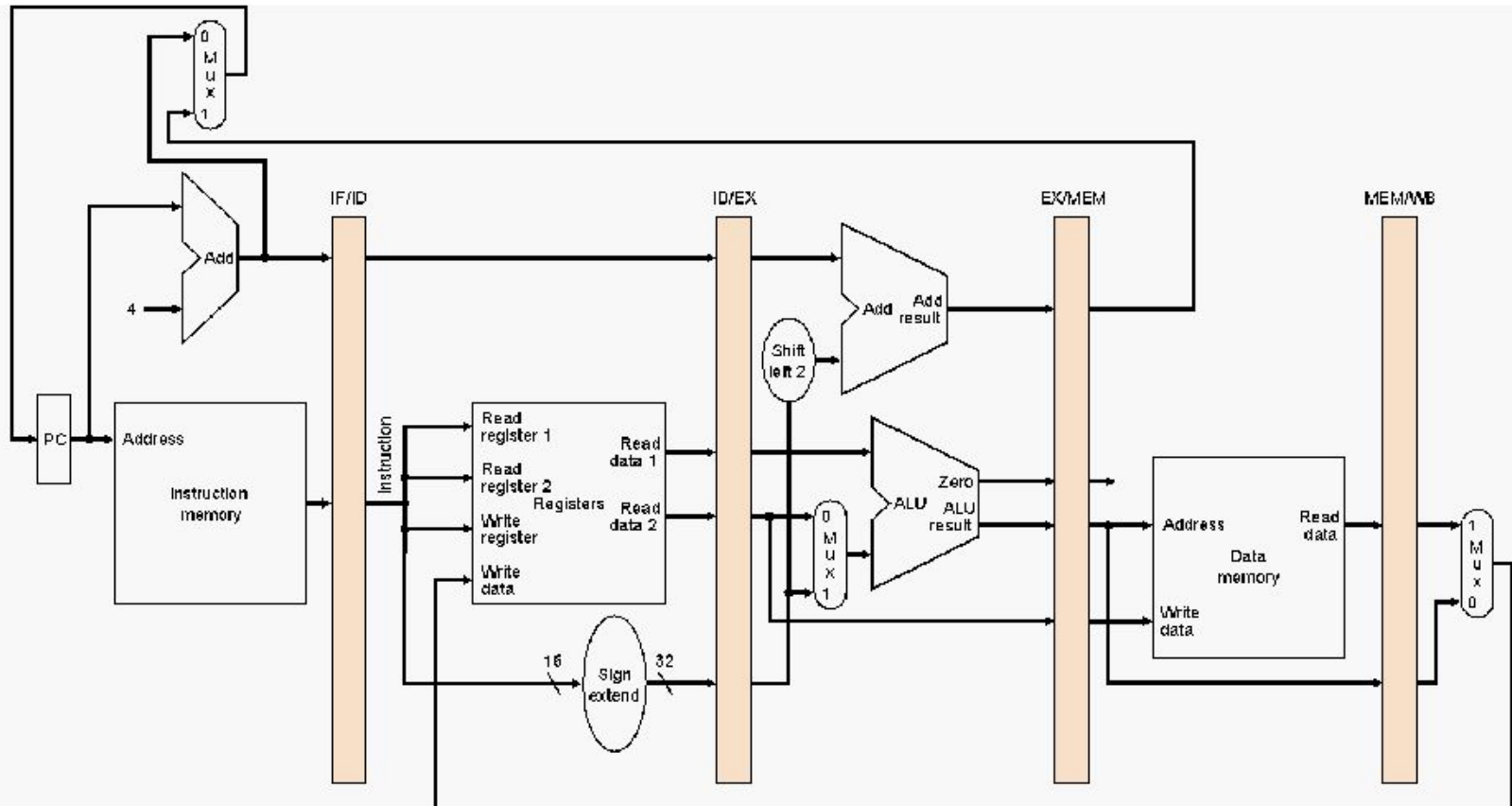
sw: quinto estágio?



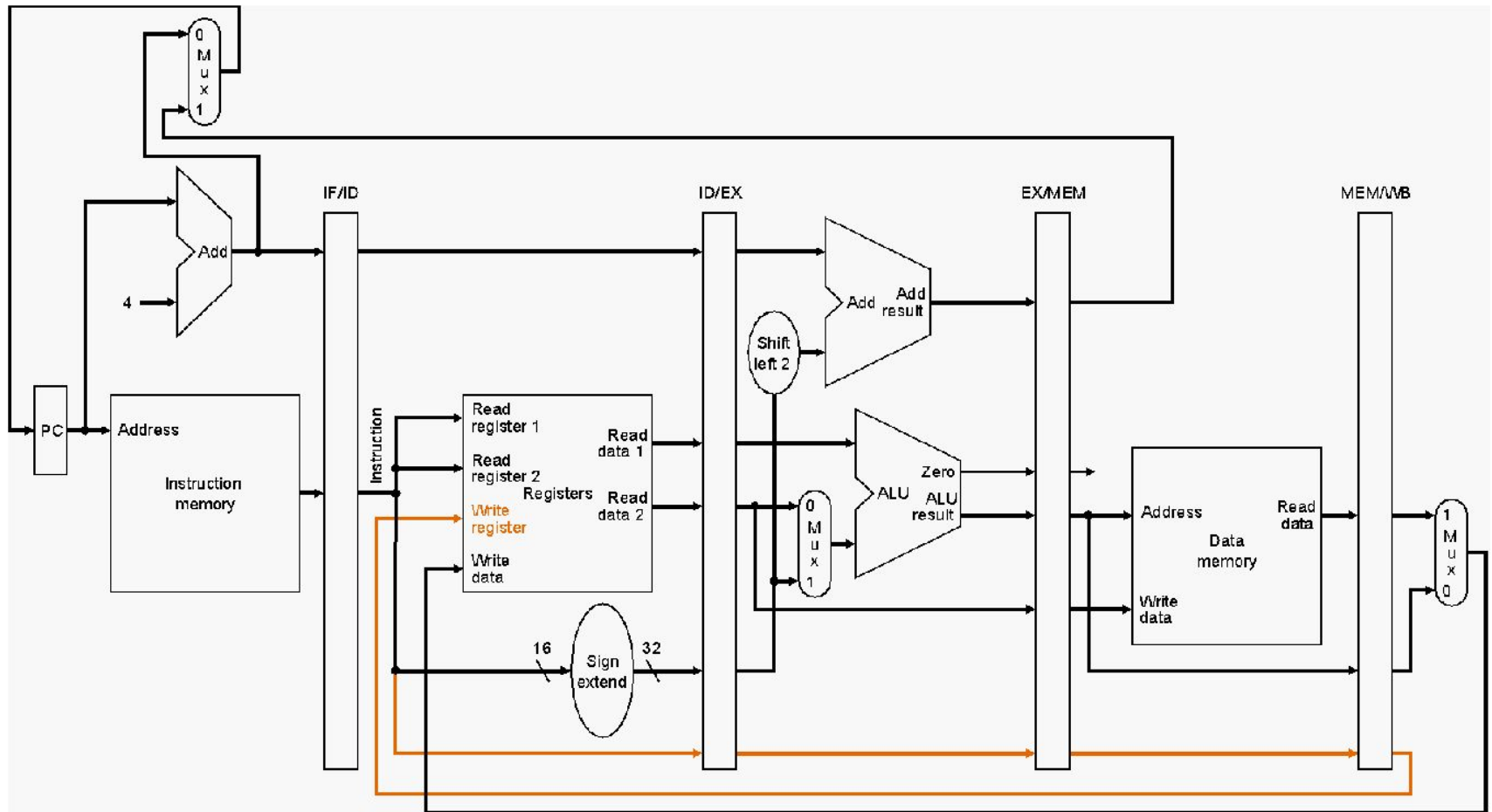
lw ao longo dos estágios



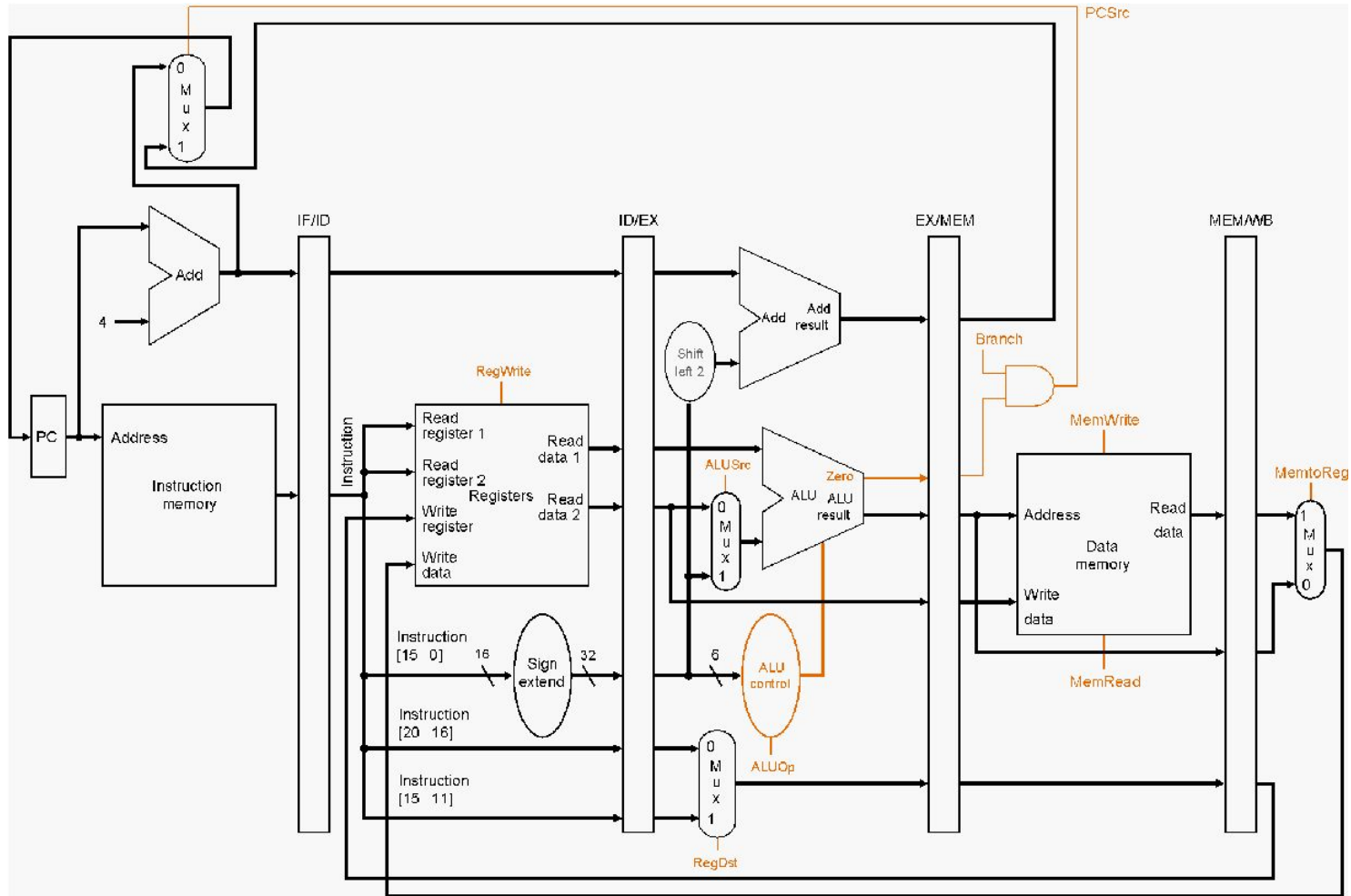
Suporte a lw: há um erro!



Corrigindo o erro ...

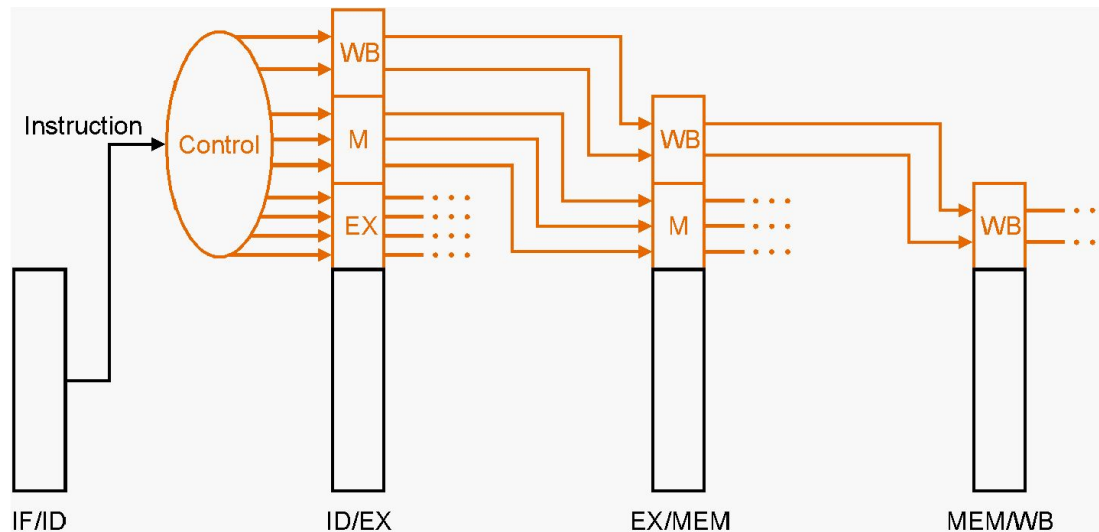


Pipeline: inserindo o controle



Emitindo os sinais de controle

	EX					M		WB	
	Reg Dst	ALU Op1	ALU Op0	ALU Src	Branch	Mem Read	Mem Write	Reg Write	Memto Reg
R	1	1	0	0	0	0	0	1	0
lw	0	0	0	1	0	1	0	1	1
sw	X	0	0	1	0	0	1	0	X
beq	X	0	1	0	1	0	0	0	X



Pipeline: datapath + controlador

