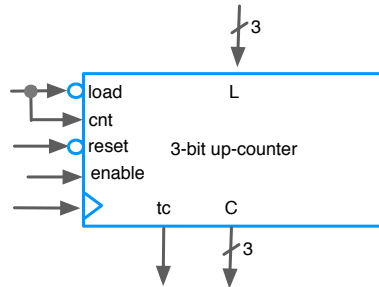
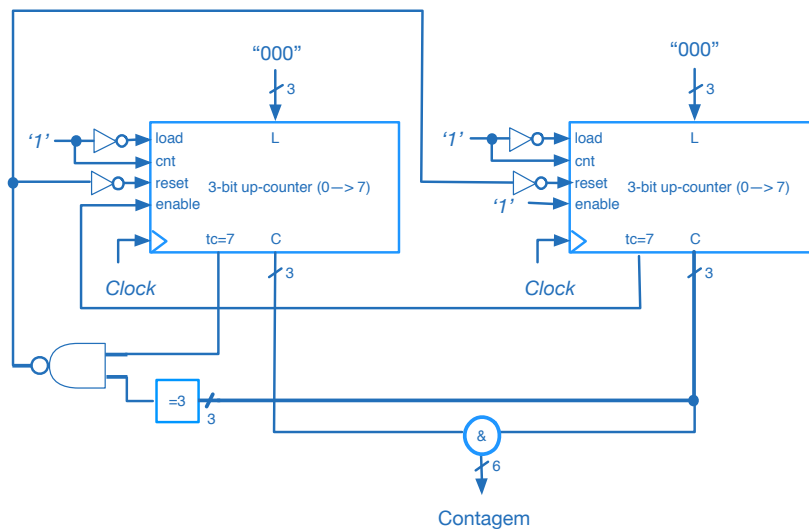


QUESTÕES AULA 9 TEORÍA

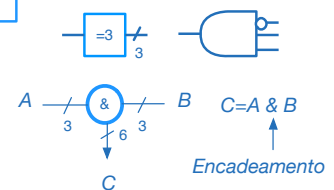
Problema 9.1. Considere o contador ilustrado na figura. Utilizando o mínimo de lógica combinatória adicional, ligue dois contadores deste tipo de modo a concretizar um contador binário com módulo 60 (ex: 0,1,2,...57,58,59,0,1,2,...).



Solução:

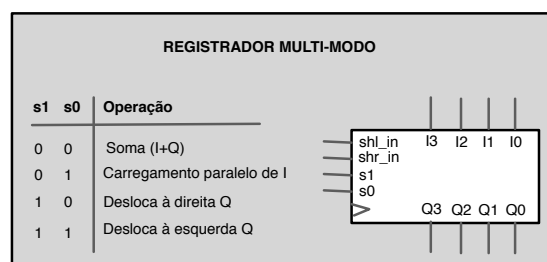


Equivalência:

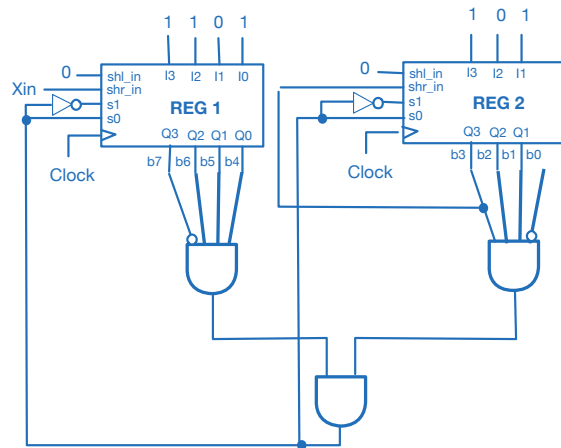


Problema 9.2. Considere o registrador de deslocamento ilustrado na figura ao lado. Utilizando o mínimo de lógica combinatória adicional e assumindo um deslocamento à direita, ligue dois registradores deste tipo de modo a implementar um circuito que realize:

- A conversão série-paralelo de um sinal de entrada X_{in} correspondente a uma sequência de bits, de forma a mostrar nas saídas Q_i os últimos 8 bits do sinal de entrada;
- A detecção do padrão de bits "01111110" nas saídas Q_i do registrador;
- O carregamento paralelo do padrão "11011011" sempre que o padrão "01111110" for detectado na saída do registrador.

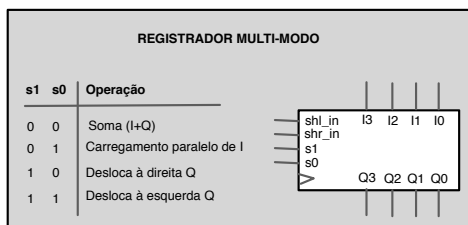


Solução:



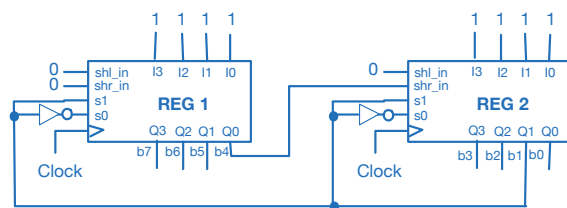
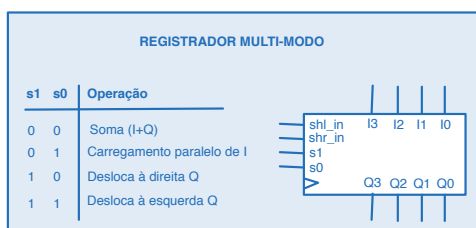
Problema 9.3. Pretende-se implementar um circuito que implemente o padrão de contagem representado na Figura, correspondente a um sinal de 8 bits (b_0 a b_7). Este padrão corresponde à contagem de 8 estados, que se repetem ao longo do tempo:

- Utilizando o mínimo de lógica combinatória adicional, ligue dois registros Multi-modo apresentados na Figura de modo a implementar o circuito gerador deste padrão;
- Indique na tabela, para cada estado, a operação e valor de (S_1, S_0) realizada pelo registros Multi-modo.



ESTADO	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀	REG1		REG2	
									(S ₁ , S ₀)	Operação	(S ₁ , S ₀)	Operação
E0	1	1	1	1	1	1	1	1				
E1	0	1	1	1	1	1	1	1				
E2	0	0	1	1	1	1	1	1				
E3	0	0	0	1	1	1	1	1				
E4	0	0	0	0	1	1	1	1				
E5	0	0	0	0	0	1	1	1				
E6	0	0	0	0	0	0	1	1				
E7	0	0	0	0	0	0	0	1				
E0	1	1	1	1	1	1	1	1				
E1	0	1	1	1	1	1	1	1				
E2	0	0	1	1	1	1	1	1				

Solução:



REG 1

F → 7 → 3 → 1 → 0 → 0 → 0 → 0 → F → ...

SHR → SHR → SHR → SHR → SHR → SHR → SHR → LOAD → SHR...

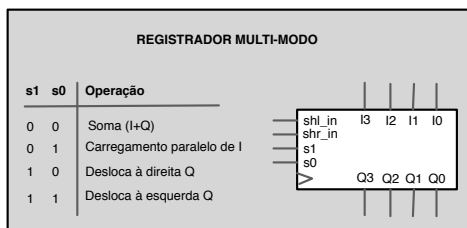
REG 2

F → F → F → F → F → 7 → 3 → 1 → F → ...

SHR → SHR → SHR → SHR → SHR → SHR → SHR → LOAD → SHR...

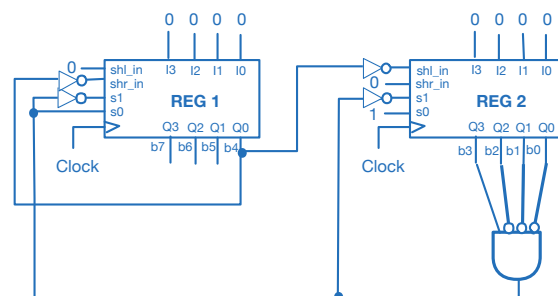
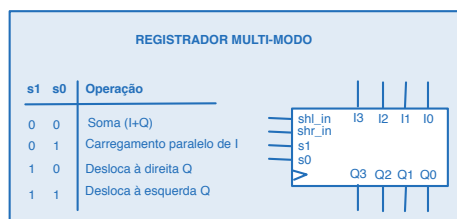
Problema 9.4. Pretende-se implementar um circuito que implemente o padrão de contagem representado na Figura, correspondente a um sinal de 8 bits (b_0 a b_7). Este padrão corresponde à contagem de 8 estados, que se repetem ao longo do tempo:

- Utilizando o mínimo de lógica combinatória adicional, ligue dois registros Multi-modo apresentados na Figura de modo a implementar o circuito gerador deste padrão;
- Indique na tabela, para cada estado, a operação e valor de (S_1, S_0) realizada pelo registros Multi-modo.



ESTADO									REG1		REG2	
	b7	b6	b5	b4	b3	b2	b1	b0	(S1,S0)	Operação	(S1,S0)	Operação
E0	0	0	0	0	0	0	0	0				
E1	1	0	0	0	0	0	0	1				
E2	1	1	0	0	0	0	1	1				
E3	1	1	1	0	0	1	1	1				
E4	1	1	1	1	1	1	1	1				
E5	0	1	1	1	1	1	1	0				
E6	0	0	1	1	1	1	0	0				
E7	0	0	0	1	1	0	0	0				
E0	0	0	0	0	0	0	0	0				
E1	1	0	0	0	0	0	0	1				
E2	1	1	0	0	0	0	1	1				

Solução:



REG 1

0 → 8 → C → E → F → 7 → 3 → 1 → 0 → ...

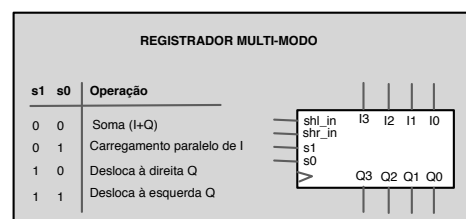
SHR → SHR → SHR → SHR → SHR → SHR → SHR → LOAD → SHR...

REG 2

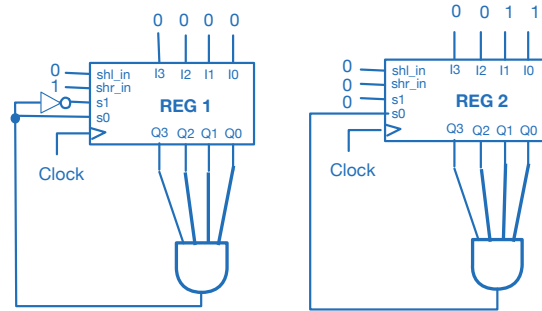
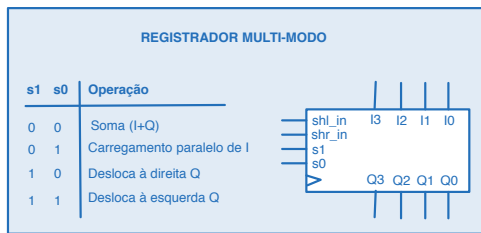
0 → 1 → 3 → 7 → F → E → C → 8 → 0 → ...

SHL → SHL → SHL → SHL → SHL → SHL → SHL → LOAD → SHL...

Problema 9.5. Pretende-se implementar um circuito que implemente o padrão de contagem em hexadecimal 03→86→C9→EC→FF→03→86..., correspondente a um sinal de 8 bits (b_0 a b_7). Este padrão corresponde à contagem de 5 estados, que se repetem ao longo do tempo. Utilizando o mínimo de lógica combinatória adicional, ligue dois registros Multi-modo apresentado na Figura de modo a implementar o circuito gerador deste padrão



Solução:



REG 1

0 → 8 → C → E → F → 0 → ...

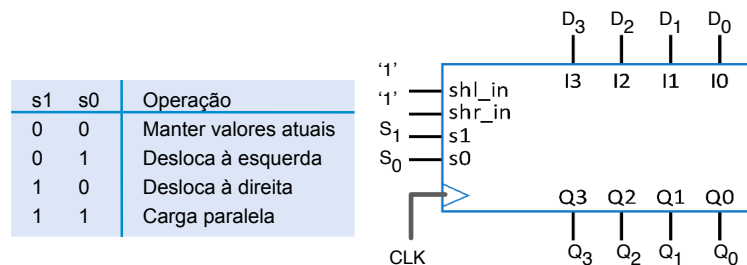
SHR → SHR → SHR → SHR → LOAD → SHR → ...

REG 2

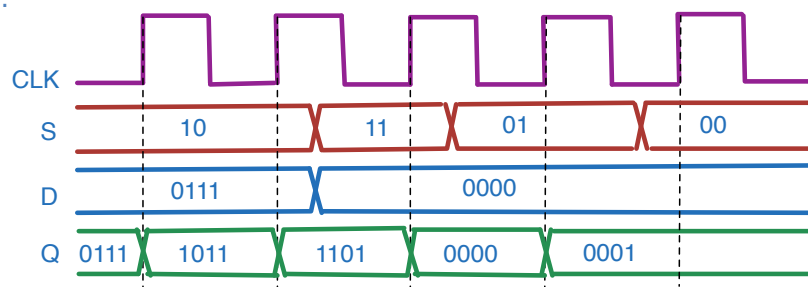
3 → 6 → 9 → C → F → 3 → ...

ADD → ADD → ADD → ADD → LOAD → ADD → ...

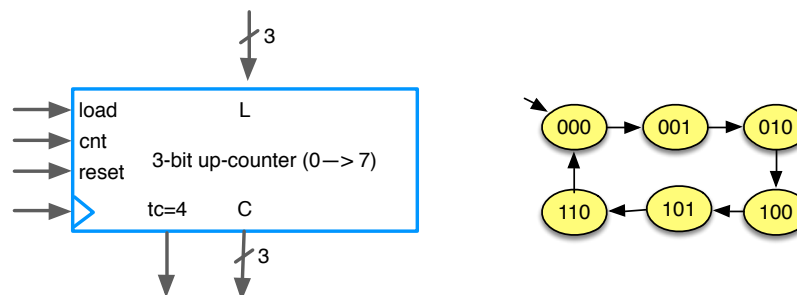
Problema 9.6. Obtenha a forma de onda para a saída Q de 4-bits do registrador Multi-modo apresentado.



Solução:



Problema 9.7. Projete um circuito que fornece a sequência apresentada usando o contador dado e portas lógicas de duas entradas.



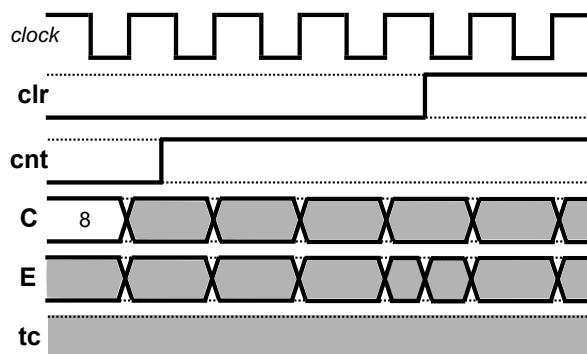
Block diagram of a 3-bit up-counter (0 → 7). The counter has inputs: load, cnt, reset, tc=4, and C. The counter is connected to a 3-bit bus labeled "100". The output of the counter is a 3-bit bus. The output bus is connected to two comparators, one set to 2 and one set to 6. The output of the comparator set to 2 is connected to the cnt input, and the output of the comparator set to 6 is connected to the reset input. The clock input is connected to the C input.

Solução:

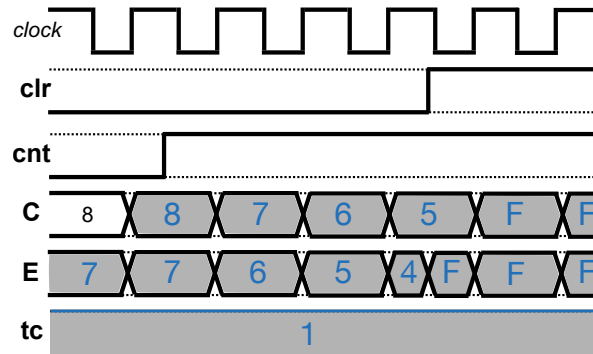
Conta ₍₁₀₎	Conta ₍₂₎
13	01101
15	01111
17	10001
19	10011
21	10101
23	10111
25	11001
27	11011

[illegible]

Este diagrama muestra la implementación de un contador de 4 bits. El bloque principal es un "Registrador de 4 bits" que recibe una señal de carga ("load") y una entrada de 4 bits. La salida del registrador se divide en tres caminos: uno a un multiplexor ("mux"), otro a un comparador de igualdad (representado por un símbolo de arco) que genera la señal de terminación ("tc"), y un tercero a un bloque de resta de 1 ("-1") que genera la señal de carry ("C"). El multiplexor selecciona entre la salida del registrador (puerto 0) y la salida del bloque de resta de 1 (puerto 1) basándose en la señal "tc". La salida del multiplexor es una señal de 4 bits que se retroalimenta a la entrada del registrador. Las salidas finales del sistema son "tc" y "C".



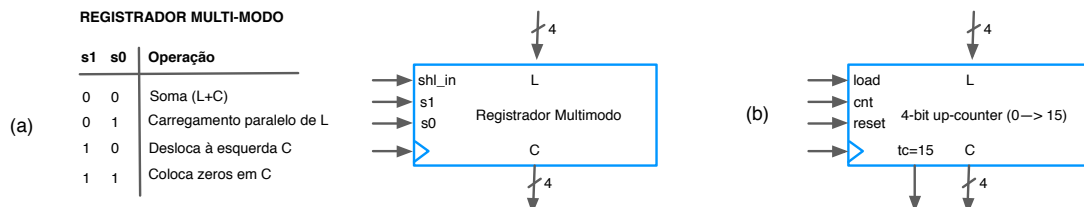
Solução:



Problema 9.10. (Prova 2019.1) Pretende-se obter um circuito que implemente o padrão de contagem cíclico de 6 estados em hexadecimal $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 7 \rightarrow F \rightarrow 0 \rightarrow 1 \dots$, correspondente a um sinal de saída C de 4 bits, $C = \{c3c2c1c0\}$. Implemente o circuito gerador deste padrão:

- 1) Utilizando apenas um registrador Multi-modo, apresentado na Figura (a) e o mínimo de lógica combinatória adicional;
- 2) Utilizando apenas um contador com carga e *reset*, todos síncronos com o relógio, apresentado na Figura (b) e o mínimo de lógica combinatória adicional.

Dica : Considere o estado inicial, $C = "0000"$, na saída do contador e registrador Multi-modo.



Solução:

