

UNIVERSIDADE FEDERAL DO RIO GRANDE
CENTRO DE CIÊNCIAS COMPUTACIONAIS
CURSO DE ENGENHARIA DE AUTOMAÇÃO

Trabalho de Conclusão de Curso

Automação e análise da inserção de falhas *Single Event Transient* em Circuitos Combinacionais em tecnologias nanométricas

Ygor Quadros de Aguiar

Trabalho acadêmico apresentado ao Curso de Engenharia de Automação da Universidade Federal do Rio Grande, como requisito parcial para a obtenção do grau de Engenheiro de Automação

Orientadora: Prof. Dr. Cristina Meinhardt
Co-orientadora: Eng. Alexandra Lackmann Zimpeck

Rio Grande, 2015

Dados de catalogação na fonte:

colocar NOME DO BIBLIOTECÁRIO – CRB-colocar número do crb do bibliotecário
Biblioteca Central – FURG

A999a Aguiar, Ygor Quadros de

Automação e análise da inserção de falhas *Single Event Transient* em Circuitos Combinacionais em tecnologias nanométricas / Ygor Quadros de Aguiar. – Rio Grande, 2015. – 87 f: gráf. – Trabalho Acadêmico (Graduação) – Engenharia de Automação. Universidade Federal do Rio Grande. Centro de Ciências Computacionais. Rio Grande, 2015. – Orientador Cristina Meinhardt; Co-orientador Alexandra Lackmann Zimpeck.

1. Microeletrônica. 2.

Soft errors. 3.

Single Event Transient. 4.

Electronic Design Automation. I. Meinhardt, Cristina.
II. Zimpeck, Alexandra Lackmann. III. Título.

CDD: 999.9

*Together we can face any challenges
as deep as the ocean and
as high as the sky.*
— SONIA GANDHI

RESUMO

AGUIAR, Ygor Quadros de. **Automação e análise da inserção de falhas *Single Event Transient* em Circuitos Combinacionais em tecnologias nanométricas.** 2015. 87 f. Trabalho Acadêmico (Graduação) – Engenharia de Automação. Universidade Federal do Rio Grande, Rio Grande.

Os avanços da microeletrônica ocasionaram a redução da tecnologia e da tensão de *threshold* e o aumento da frequência de operação. Entretanto, os dispositivos se tornaram mais propensos à presença de falhas permanentes e transientes. Atualmente, um dos maiores desafios da indústria de semicondutores é assegurar a confiabilidade dos circuitos e isso está relacionado com a interação de partículas ionizantes no silício. Por muito tempo, as falhas do tipo *Single Event Transient* (SET) eram considerados irrelevantes devido a capacidade intrínseca das células combinacionais de mascarar o seu efeito. No entanto, a cada nova geração de tecnologia, os efeitos de mascaramento vem se reduzindo, aumentando a necessidade do estudo e do desenvolvimento de técnicas de mitigação de falhas SET. Neste sentido, este trabalho apresenta um estudo do comportamento da ocorrência de falhas SET em tecnologias nanométricas e o desenvolvimento de uma ferramenta para a automação e análise da inserção de falhas SET por simulações elétricas. A utilização da ferramenta desenvolvida contribui para a identificação de células mais robustas de uma biblioteca de células para o fluxo *Standard Cell* por exemplo, e favorece o aumento da confiabilidade de circuitos integrados e a utilização de técnicas de tolerância a falhas de forma mais eficiente.

Palavras-chave: Microeletrônica, *Soft errors*, *Single Event Transient*, *Electronic Design Automation*.

ABSTRACT

AGUIAR, Ygor Quadros de. **Automation and Analysis of Fault Insertion of Single Event Transient in Combinational circuits in nanometer technologies.** 2015. 87 f. Trabalho Acadêmico (Graduação) – Engenharia de Automação. Universidade Federal do Rio Grande, Rio Grande.

The advances in microelectronics have led technology to scale down, the threshold voltage to reduce and the operating frequency to increase. However, the devices are becoming more prone to the presence of permanent and transient faults. Currently, one of the biggest challenges in the semiconductor industry is to ensure the reliability of circuits due to the interaction of ionizing particles in silicon. For a long time the Single Event Transient (SET) faults were considered irrelevant due to intrinsic capacity of the combinational cells to mask their effects. However, with each new generation of technology, the effects of masking has been reduced, increasing the need to study and to develop techniques for SET fault mitigation. Thus, this work presents a study of the behavior of SET effects in nanoscale technologies and the development of a tool for automation and analysis of SET insertion by electrical simulations. The use of the developed tool contributes to the identification of more robust cells from a cell library, giving a Standard Cell design flow for example, and promotes increased reliability in integrated circuits and the use of fault tolerant techniques more efficiently.

Keywords: Microelectronics, Soft errors, Single Event Transient, Electronic Design Automation.

LISTA DE FIGURAS

1	Corte transversal do interior do Sol [Liou, 2002]	18
2	Vento Solar [NOAA, 2015] e Erupção Solar[NASA, 2015]	19
3	Cinturões de Van Allen [Augusto et al., 2010]	20
4	Reações nucleares em cascata de partículas na direção da superfície terrestre [Mészáros et al., 2015]	21
5	Diagrama do espectro de energia de partículas provenientes do espaço [Cummings, 2010]	21
6	Deformação no cinturão Van Allen interno da Terra devido à anomalia magnética	22
7	Anomalia do Atlântico Sul [Boudonot, 2006]	22
8	Taxa de <i>Soft Errors</i> [Boudonot, 2006]	23
9	Classificação dos principais <i>Single Event Effects</i>	24
10	Estrutura física de um transistor MOS	27
11	Transistor NMOS e transistor PMOS	27
12	Junção PN nos transistores MOS	28
13	Região de Depleção	28
14	Simbologia e funcionamento dos transistores MOS como chave	28
15	Funcionamento de um transistor NMOS	29
16	Comprimento <i>L</i> (<i>length</i>) e a largura <i>W</i> (<i>width</i>) de um transistor	30
17	Rede <i>Pull-up</i> (lógica com transistores PMOS) e Rede <i>Pull-down</i> (lógica com transistores NMOS)	31
18	Esquemático, símbolo e tabela verdade das porta lógicas da família CMOS (a) inversor (b) NAND e (c) NOR [Zimpeck, 2013]	31
19	Modelo de Três Universos proposto por Avizienis [1982]	33
20	Mascaramento Lógico [Henes Neto et al., 2008]	33
21	Mascaramento Elétrico [Henes Neto et al., 2008]	34
22	Mascaramento por Janela de Amostragem [Henes Neto et al., 2008] .	34
23	Arquitetura TMR	35
24	Falha <i>Stuck-Open</i> no transistor N2 [Zimpeck, 2013]	37
25	Falha <i>Stuck-On</i> no transistor N1 [Zimpeck, 2013]	37
26	Aumento de <i>Single Event Effects</i> devido a redução das dimensões dos transistores [Holman, 2008]	38
27	<i>Single Event Upset</i> e <i>Single Event Transient</i> em um circuito [Azambuja et al., 2014]	39
28	Processo de Geração e Coleção de Carga [Baumann, 2005b]	40

29	Forma de onda típica da corrente da coleção de carga de um Single Event [Cummings, 2010]	41
30	Esquemático de como uma corrente transiente induzida por um SEE se converte em um pulso de tensão em um inversor CMOS [Wang and Agrawal, 2008]	42
31	Pulso de corrente transiente em forma de dupla exponencial [Bau-mann, 2005a]	42
32	Diagrama de blocos da ferramenta de inserção de falhas permanentes por Zimpeck [2013]	46
33	Diagrama UML da ferramenta de falhas permanentes por Zimpeck [2013]	48
34	Fluxo de Execução da Ferramenta para Inserção de Falhas SET	49
35	Diagrama de Blocos da Ferramenta com indicação dos blocos modi-ficados	50
36	Interface Gráfica para inserção de falhas permanentes <i>Stuck-Open</i> ou <i>Stuck-On</i>	51
37	Interface Gráfica para inserção de falhas <i>Single Event Transient</i> (SET)	51
38	Identificação de elemetos e nodos	52
39	Fonte de corrente como modelo da falha SET em um transistor [We-atherford, 2002]	52
40	Pulso transiente induzido por uma partícula com LET = 3	55
41	Interface para configuração dos parâmetros de falhas <i>Single Event Transient</i> (SET)	55
42	Simulação da injeção de 8 SETs no nodo de saída da porta NAND2	56
43	<i>TextArea</i> “Resultado Obtido” para a simulação de 8 SETs em uma NAND2	57
44	Arquivos de dados gerados e armazenados no diretório Data_Files da ferramenta	57
45	Arquivos de registro da análise de falhas gerados e armazenados no diretório Log_Files da ferramenta	58
46	Arquivos de registro da análise de falhas no instante 0.5ns	58
47	Arquivos de registro da análise de falhas no instante 3.5ns	59
48	Margem de ruído definido na ferramenta	60
49	Gráfico da saída do circuito com falha no nodo s no instante 3.5ns e saída do circuito sem falha	60
50	Gráfico ampliado da falha SET no instante 3.5ns e saída do circuito sem falha	61
51	Cadeia de Inversores de tamanho 3	61
52	Simulação de 8 SETs na NAND2 com cadeia de inversores de tama-nho 10	62
53	Arquivo <i>log</i> da falha inserida em 6.5ns sem a cadeia de inversores	62
54	Comparação da taxa de falhas detectadas entre os DUTs levando em consideração frequência de operação para LET= 1MeV·cm ² /mg e tecnologia de 45nm HP	64
55	Comparação da taxa de falhas detectadas entre os DUTs levando em consideração frequência de operação para LET= 3MeV·cm ² /mg e tecnologia de 45nm HP	65

56	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=1\text{MeV-cm}^2/mg$	66
57	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=3\text{MeV-cm}^2/mg$	67
58	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=1\text{MeV-cm}^2/mg$	67
59	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=1$	68
60	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=3$	69
61	Esquemático de transistores e o layout físico de uma porta NAND2	73
62	Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 16nm HP	82
63	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=1\text{MeV-cm}^2/mg$	84
64	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=3\text{MeV-cm}^2/mg$	84
65	Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 16nm HP	85
66	Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=3\text{MeV-cm}^2/mg$	86
67	Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 16nm HP	87
68	Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 45nm HP	87

LISTA DE TABELAS

1	Tabelas Verdades dos Circuitos	63
2	Resultado da inserção de falhas SET no nodo s do circuito HA_X1 utilizando a tecnologia de 16nm HP para cada vetor de entrada	69
3	Resultado da inserção de falhas SET no nodo s do circuito HA_X1 utilizando a tecnologia de 45nm HP para cada vetor de entrada	70
4	Análise da Célula HA_X1 para LET 1	81
5	Análise da Célula HA_X1 para LET 3	82
6	Análise da Célula AOI21_X1 para LET 1	83
7	Análise da Célula AOI21_X1 para LET 3	83
8	Análise da Célula NAND2_X1 para LET 1	85
9	Análise da Célula NAND2_X1 para LET 3	86

LISTA DE ABREVIATURAS E SIGLAS

AOI	<i>And-Or-Inverter</i>
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DD	<i>Displacement Damage</i>
DFI	<i>Dynamic Fault Imaging</i>
DRAM	<i>Dynamic Random Access Memory</i>
DUT	<i>Device Under Test</i>
EDA	<i>Electronic Design Automation</i>
EECS	<i>Electrical Engineering and Computer Science</i>
ERL	<i>Electronics Research Laboratory</i>
FET	<i>Field Effect Transistor</i>
GND	<i>Ground</i>
HA	<i>Half Adder</i>
HP	<i>High Performance</i>
IRPS	<i>International Reliability Physics Symposium</i>
L	<i>Length</i>
LET	<i>Linear Energy Transfer</i>
MNA	<i>Modified Nodal Analysis</i>
MOS	<i>Metal Oxide Semiconductor</i>
NAND	<i>Not AND</i>
NIEL	<i>Non-ionizing Energy Loss</i>
NIMO	<i>Nanoscale Integration and Modeling</i>
NMOS	transistor MOS do tipo N
NOR	<i>Not OR</i>
PMOS	transistor MOS do tipo P
PTM	<i>Predictive Technology Model</i>

SAA	<i>South Atlantic Anomaly</i>
SEB	<i>Single Event Burnout</i>
SEE	<i>Single Event Effects</i>
SEGR	<i>Single Event Gate Rupture</i>
SEL	<i>Single Event Latchup</i>
SET	<i>Single Event Transient</i>
SEU	<i>Single Event Upset</i>
SHE	<i>Single Hard Error</i>
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
SRAM	<i>Static Random Access Memory</i>
TID	<i>Total Ionizing Dose</i>
TMR	<i>Triple Modular Redundancy</i>
TTL	<i>Transistor-transistor logic</i>
UML	<i>Unified Modeling Language</i>
VDD	<i>Supply Voltage</i>
VLSI	<i>Very large-system Integration</i>
W	<i>Width</i>

SUMÁRIO

1 INTRODUÇÃO	14
1.1 Introdução à falhas de radiação	16
1.1.1 Caracterização dos efeitos da radiação	22
1.2 Objetivo	24
1.3 Organização do Trabalho	25
2 FUNDAMENTAÇÃO TEÓRICA	26
2.1 Transistores MOS e CMOS	26
2.1.1 Transistores MOS	26
2.1.2 Tecnologia CMOS (<i>Complementary Metal-Oxide-Semiconductor</i>)	30
2.2 Tolerância a Falhas	32
2.2.1 Falha, Erro e Defeito	32
2.2.2 Mascaramento de Falhas	33
2.2.3 Técnicas de Tolerância a Falhas	34
3 MODELAGEM DE FALHAS TRANSIENTES - SET	36
3.1 Modelos de Falhas permanentes	36
3.2 Modelos de Falhas Transientes	37
3.2.1 <i>Single Event Effects</i>	38
3.2.2 <i>Mecanismos Físicos de Deposição e Coleta de Carga</i>	39
3.2.3 Modelagem do Pulso Transiente	41
4 FERRAMENTA DE INJEÇÃO E SIMULAÇÃO DE FALHAS EM CIRCUITOS	45
4.1 Ferramenta de Injeção de Falhas Permanentes	46
4.2 Ferramenta de Injeção de Falhas Transientes	49
4.2.1 Identificação dos nodos	52
4.2.2 Simulação da Falha SET	52
4.2.3 Análise de Falhas	56
5 EXPERIMENTOS E RESULTADOS	63
5.1 Análise da Influência da Frequência de Operação	64
5.2 Comparação dos efeitos de SET em diferentes tecnologias	65
5.3 Efeitos de diferentes LETs	68
5.4 Análise da Confiabilidade em função dos Vetores de Entradas	69

6 CONSIDERAÇÕES FINAIS	71
6.1 Produção Científica	72
6.2 Trabalhos Futuros	73
REFERÊNCIAS	75
ANEXO A	
Simulador Elétrico SPICE80 -1ex p plus.2Análise da Célula HA_X1	81
TOS 81 Bplus.2Análise da Célula AOI21_X1	83
Bplus.2Análise da Célula NAND2_X1	85

1 INTRODUÇÃO

Os sistemas de computação estão cada vez mais presentes na vida das pessoas com aplicação nas mais diversas áreas desde o entretenimento, sistemas de transporte e até os sistemas de auxílio à vida, serviços militares e aplicações industriais. Com o avanço da tecnologia, os sistemas eletrônicos estão ganhando uma proporção na qual as pessoas estão se tornando direta ou indiretamente dependentes de todo e qualquer sistema computacional, seja no auxílio nas suas atividades pessoais no cotidiano ou em seu ambiente de trabalho. Esse aumento da dependabilidade teve influência do avanço de pesquisas na microeletrônica, onde foi um fator determinante que contribuiu para que os sistemas computacionais pudessem ser cada vez mais utilizados. A demanda por dispositivos cada vez menores, com menor consumo de energia e maior desempenho tornou-se um fator crítico e de grande relevância no projeto de circuitos e sistemas.

Nas últimas décadas, a indústria de semicondutores tem conseguido, em cada geração de tecnologia, manter um custo de fabricação relativamente constante. Segundo a Lei de Moore, é possível praticamente duplicar a capacidade de processamento dos microprocessadores através de recursos como aumento de *clock* (aumento no desempenho dos sistemas), redução da tensão (menor dissipação de calor e consequentemente consumo de energia) e aumento no número de transistores (mais unidades lógicas e maior complexidade). Devido a constante busca pelo aumento de desempenho e redução de falhas em sistemas eletrônicos encadeado com o aperfeiçoamento do processo de fabricação de semicondutores e a miniaturização da tecnologia, é possível a integração de bilhões de transistores em um único Circuito Integrado (CI) [Borkar, 2007] [Borkar, 2009]. Entretanto, essas técnicas estão chegando no seu limite, ou seja, as barreiras da química e física poderão em breve impedir a continuação da miniaturização dos circuitos integrados [Budiu, 2001]. Essa limitação da tecnologia, no que tange à evolução dos circuitos integrados, pode ser resumido em quatro tópicos [Kim et al., 2003] [Thompson et al., 2005]:

1. **Aumento do custo do projeto:** os custos ligados ao projeto de VLSI (*Very Large Scale Integration*), como custos de fabricação, verificação e testes aumentam drasticamente a cada nova geração de *hardware*;
2. **Aumento na vulnerabilidade à falhas:** um dos maiores desafios da indústria atual-

mente é lidar com a presença de falhas tanto de natureza permanente ou transitente;

3. **Aumento na potência consumida:** a densidade de potência dissipada (watts/mm²) dos últimos microprocessadores têm atingido valores que tornam a refrigeração por ar insuficientes;
4. **Redução no desempenho (atraso de propagação):** a frequência de operação tem atingido valores que impedem que um sinal percorra o *chip* inteiro, já que o atraso de propagação excede o tamanho de um ciclo de *clock*;

Portanto, essa evolução trouxe consigo uma série de desafios no projeto de sistemas digitais e embarcados: a **confiabilidade** e **testabilidade** dos sistemas. Atualmente, é impossível produzir circuitos livres da ocorrência de falhas, devido aos defeitos do processo de fabricação, assim como, também pelo aumento da sensibilidade aos efeitos de ruídos e radiação [Azambuja et al., 2014]. A miniaturização aumenta a ocorrência de diferentes tipos de defeitos durante o processo de manufatura de CIs, devido fundamentalmente ao aumento na densidade de componentes e a proximidade das interconexões. O aumento na variabilidade de processo nas novas tecnologias também é reconhecido como um parâmetro determinante para o desenvolvimento de sistemas confiáveis.

Além disso, a cada nova tecnologia, a tensão de alimentação é reduzida para cumprir com as exigências de projeto, tais como a redução no consumo de potência dinâmica e, também, de potência estática visto que nas tecnologias atuais existe um aumento das correntes de fuga que caracterizam o consumo estático das portas lógicas [Kim et al., 2003]. No entanto, essa redução na tensão afeta diretamente no dimensionamento da tensão de *threshold* dos transistores. Juntamente com o aumento da frequência de operação, isso ocasiona um aumento na suscetibilidade do circuito em relação ao ruído do meio e principalmente ao bombardeamento de partículas de radiação [Baumann, 2005b]. Mesmo as partículas com baixa energia encontradas na superfície da terra anteriormente desprezadas hoje são capazes de interferir no funcionamento de um circuito [Schwank et al., 2005][Leray, 2001]. Portanto, lidar com as interações de partículas ionizadas no silício é um dos principais desafios encontrados na indústria de semicondutores e relevante preocupação para os projetistas de circuitos seja no modo *Full Custom* ou de bibliotecas de células para o fluxo *Standard Cell*.

Na literatura existem vários trabalhos que estudam e buscam melhor entender o comportamento e o avanço de tecnologias nanométricas diante da presença de falhas de radiação e da variabilidade do processo de produção [Constantinescu, 2003][Johnston, 2000][Schrimpf et al., 2008][Borkar et al., 2003]. O diretor de pesquisa da Intel Corp., Borkar Shekhar, aponta em uma de suas publicações que, na medida em que a micro-eletrônica evolui, desafios que antes eram considerados limitantes, como o tamanho do *die*, rendimento de fabricação de *chip* e produtividade do projeto, perderam espaço para a preocupação com o consumo e dissipação de potência, surgindo novos desafios como

a variabilidade no processo de fabricação, aumento da vulnerabilidade a *soft errors* e degradação dos componentes [Borkar, 2005].

O projeto de circuitos integrados VLSI, diferentemente do projeto de circuitos eletrônicos macroscópios, possui uma complexidade e custo muito alto. Além das exigências de desempenho e consumo de potência, o projetista deve considerar o custo e tempo de projeto associado ao produto a ser desenvolvido. No meio industrial é muito utilizado ferramentas de EDA (*Electronic Design Automation*) para o auxílio no projeto automatizado de sistema eletrônicos que podem ser amplamente empregadas nas diferentes etapas de concepção dos sistemas [Bushroe et al., 1997].

Portanto, desenvolver ferramentas que auxiliem no projeto de circuitos VLSI através de simulações elétricas que permitem o estudo e a análise prévia do comportamento dos circuitos sob falhas, sem a necessidade da implementação física, favorecem o teste e a obtenção dos requisitos do projeto. Dentro deste contexto, este trabalho foca no estudo e análise de injeção de falhas de radiação por simulações elétricas, mas precisamente as falhas *Single Event Transient* (SET) em circuitos combinacionais. A seguir, é apresentadas uma breve discussão das fontes de radiação que dão origem as falhas transientes nos circuitos eletrônicos, assim como à sua caracterização e os mecanismos físicos que ocorrem no silício devido a ionização de partículas energéticas.

1.1 Introdução à falhas de radiação

Inicialmente, as pesquisas voltadas para o estudo dos efeitos de radiação em sistemas eletrônicos foram consideradas uma preocupação de extrema relevância apenas em projetos desenvolvidos para aplicações com fins militares ou espaciais. No entanto, o primeiro trabalho que previu a influência do bombardeamento de partículas nos circuitos eletrônicos foi desenvolvido por Wallmark e Marcus do RCA *Laboratories*, em Princeton, onde investigavam as tendências de miniaturização dos circuitos eletrônicos. Foi observado que, futuramente, com a redução das dimensões dos transistores, raios cósmicos poderiam ser uma fonte de perturbação nos circuitos integrados [Wallmark and Marcus, 1962]. No entanto, foi em um artigo proposto por Binder et al. [1975] que foram observadas anomalias em um satélite e atribuídas ao efeito da radiação espacial. Binder et al. [1975] identificaram mudanças de estados nos circuitos de *flip-flops* provocadas por acúmulo crítico de cargas armazenadas em capacitores das junções de transistores dos circuitos integrados.

Posteriormente, em 1978, May e Woods da *Intel Corporation* publicaram um artigo que apresentavam uma taxa de erros significativa em memórias DRAM devido a radiação ao nível do mar e o aumento da densidade de integração dos componentes [May and Woods, 1978]. Eles determinaram que as falhas foram causadas por partículas alfas emitidas pelo decaimento dos elementos radioativos urânio e tório, os quais contaminaram o ma-

terial do encapsulamento no processo de fabricação dos *chips* de memória. Este foi o primeiro estudo publicado no *International Reliability Physics Symposium* (IRPS) e foi o primeiro trabalho a definir as anomalias como “*soft errors*”. Este termo foi utilizado para diferenciar das falhas permanentes e caracterizar os efeitos aleatórios causados por radiação em elementos de memória. Guenzer et al. [1979] relataram que a ocorrência de *soft errors* também poderiam ser provenientes de reações nucleares onde partículas de prótons e nêutrons de alta energia são produzidos. Eles também foram responsáveis por introduzir o termo *Single Event Upset* (SEU) que foi aceito pela comunidade científica e é amplamente utilizado atualmente.

Na década de 80, a maioria das pesquisas direcionavam-se principalmente aos circuitos sequenciais, como DRAMs e SRAMs, devido à exigência na compreensão desse fenômeno e sua mitigação no intuito de fornecer o armazenamento de dados de forma confiável [Dodd and Massengill, 2003]. No entanto, estudos com foco em circuitos lógicos combinacionais começaram a surgir no final desta década em resposta ao *Best Paper* do *International Reliability Physics Symposium* intitulado “*Dynamic fault imaging of VLSI random logic devices*” de May et al. [1984]. Esse trabalho foi desenvolvido na *Intel Corporation*, onde uma técnica chamada de *Dynamic Fault Imaging* (DFI) foi utilizada em um experimento no microprocessador da empresa. May et al. [1984] demonstraram a progressão temporal de uma perturbação local causada pela incidência de uma partícula num transistor para uma condição de falha que engloba a maioria dos microprocessadores.

A atmosfera terrestre é uma camada semipermeável que permite a passagem de luz e calor agindo como um filtro natural reduzindo a intensidade da radiação que atinge a terra, bloqueando raios ultravioletas, por exemplo. A intensidade da radiação basicamente aumenta de acordo com o aumento de altitude em relação ao nível do mar. No entanto, existem algumas regiões que sofrem com uma maior intensidade de radiação, mesmo sendo localizadas em baixas altitudes. Isso ocorre devido aos fenômenos relacionados com o campo magnético da terra - as regiões polares são um exemplo. Existe uma diversa gama de radiação que pode ser encontrada no espaço, ou na atmosfera, que são classificadas em dois grandes grupos: **partículas ionizantes** e **partículas não ionizantes**. Os raios cósmicos, raios-x e radiações provenientes de materiais radioativos são exemplos de radiações ionizantes, ou seja, produzem a emissão de elétrons quando interagido com algum determinado material. Exemplos de radiações não ionizantes são a luz ultravioleta, ondas de rádio e micro-ondas pois não são capazes de ionizar nenhum material. As principais partículas que podem causar efeitos indesejados nos circuitos eletrônicos são elétrons, prótons, nêutrons, partículas alfa e íons pesados, além da radiação eletromagnética, como raios-x e raios-gamas [Stassinopoulos and Raymond, 1988].

A radiação espacial é constituída de partículas subatômicas (Ex: prótons, elétrons, nêutrons), que podem ser originadas de íons pesados, presentes no ambiente espacial ou de partículas alfa emitidas de isótopos radioativos. Essas partículas viajam no espaço em

altíssimas velocidades e as mais rápidas podem viajar a velocidades bem próximas da velocidade da luz, o que permite atravessar facilmente uma matéria e provocar diversos efeitos sobre ela. O planeta Terra recebe constantemente radiação do espaço de três principais fontes que podem afetar os circuitos eletrônicos: o Sol, Raios Cósmicos e Radiação de Cinturões (*Trapped Radiation*). Esses fenômenos serão discutidos em detalhes nas próximas subseções.

O sol foi formado há mais de 4.6 bilhões de anos e entre milhares de milhares de estrelas no universo, o sol está dentro da média quando se trata de massa e abaixo da média de tamanho. Porém, a existência do sol é imprescindível para a manutenção da vida no nosso planeta, pois praticamente toda energia recebida pelo planeta Terra e que alimenta a vida na atmosfera terrestre é proveniente do sol. O sol é uma esfera gasosa composta basicamente por hidrogênio e hélio, além de uma pequena quantidade de elementos mais pesados, tais como ferro, silício, neônio, oxigênio, nitrogênio e carbono dentre outros [Liou, 2002]. A fonte de energia do sol é provinda do seu interior, onde devido à altas temperaturas, até muitos milhões de graus, reações de fusões ocorrem transformando quatro átomos de hidrogênio em um átomo de hélio e liberando energia. Através de um corte transversal, a Figura 1 ilustra o interior do sol onde ocorrem as reações responsáveis pela liberação de partículas de radiação para sua atmosfera e o universo.

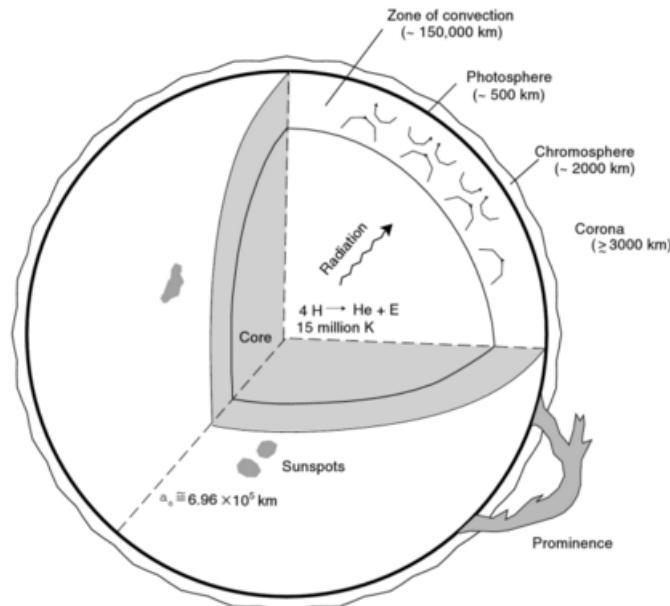


Figura 1: Corte transversal do interior do Sol [Liou, 2002]

Devido às temperaturas extremamente altas no seu interior, as colisões entre átomos são suficientemente violentas para ejetar muitos elétrons de suas órbitas. A energia emitida causada por fusões nucleares em formas de fótons pode passar através da parte interna do sol sem ser absorvida pelos elétrons.

A atmosfera solar é conhecida por **corona solar** e é visível como um halo branco

fraco durante eclipses solares totais. Um dos eventos muito importante da atividade do sol é o **Vento Solar** (*Solar Wind*) que ocorre devido ao fenômeno de **ejeção de massa coronal**. Nesse fenômeno, os elétrons são excitados devido à alta temperatura da coroa solar, ganhando energia suficiente para escapar do campo gravitacional solar e serem ejetados para o espaço. Assim como os elétrons, prótons e íons pesados também são ejetados devido ao desbalanceamento de carga da coroa solar gerado pela ejeção dos elétrons [Balen, 2010]. Várias características observáveis do sol são particularmente interessantes e importantes devido à sua ocorrência transiente. A mais conhecida e mais observada destas características são as **manchas solares**. As manchas solares são regiões relativamente escuras na fotosfera – a superfície do sol. O número de manchas que aparecem na superfície do sol é variável, há períodos com muita ocorrência e outros com um número muito pequeno. Isso porquê a atividade solar é cíclica, em torno de 9 a 13 anos, sendo em média sete anos de alta atividade e quatro anos de baixa atividade [Assis, 2009]. Quando em alta atividade solar, a superfície do sol é violentamente perturbada, e as explosões de partículas e radiação são comumente observados. Essas explosões são conhecidas por **Erupções Solares** (*Solar Flares*) e, embora em quantidade menor do que o fluxo de raios cósmicos que viajam pelo sistema solar, emitem íons pesados (dezenas de MeV a centenas de GeV) além de partículas alfas e elétrons. A Figura 2 contém uma representação da atividade de Ventos Solares e uma Erupção Solar na superfície do sol.

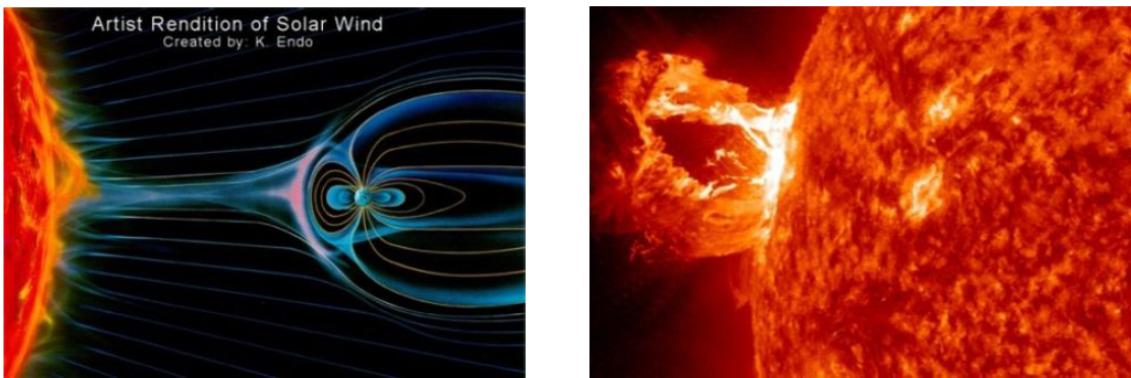


Figura 2: Vento Solar [NOAA, 2015] e Erupção Solar[NASA, 2015]

Outra fonte de radiação amplamente pesquisada e conhecida na comunidade científica é provinda de cinturões de radiação formados na magnetosfera terrestre. Um cinturão de radiação é uma camada de partículas energéticas carregadas que são aprisionados pela influência de um campo magnético. O planeta Terra possui dois desses cinturões e são conhecidos por **Cinturões de Van Allen**. A maior parte das partículas que formam os cinturões são originadas de erupções, ventos solares e também raios cósmicos [Van Allen and Frank, 1959]. No cinturão externo se concentram elétrons de até 7 MeV e no cinturão interno se encontram prótons e elétrons, como demonstra a Figura 3. Além dessas

partículas, também é possível encontrar em quantidades menores as partículas alfas. Em missões espaciais, os cinturões de Van Allen sempre foram uma grande preocupação devido sua capacidade de interferir no bom funcionamento dos sistemas e, possivelmente, danificar permanentemente os componentes eletrônicos dos satélites [Walt, 2005]. Energias de prótons típicos podem chegar a várias centenas de MeV. Os prótons podem atingir até algumas centenas de MeV e são conhecidos por causar efeitos como o *Total Ionizing Dose* (TID), *displacement damage* (DD) e *Single Event Effects* (SEE), e os elétrons atingem energias de alguns MeV contribuindo para efeitos como o TID, DD e de carregamento e descarregamento [Cummings, 2010]. Esses efeitos de radiação são bastante conhecidos e serão melhor definidos na próxima seção.

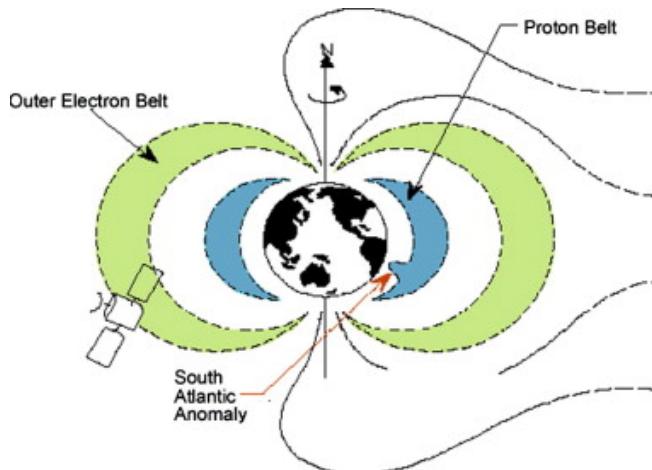


Figura 3: Cinturões de Van Allen [Augusto et al., 2010]

Os raios cósmicos galáticos consistem de partículas de alta energia provenientes de fora do Sistema Solar e possuem, um espectro de energia bastante variado. Acredita-se que eles são produzidos e acelerados por erupções solares, supernovas e explosões de núcleos galácticos [Ziegler, 1996]. Foi observado que os raios cósmicos possuem uma correlação com a atividade solar, pois, em períodos de baixa atividade, o fluxo de raios cósmicos que atinge a terra é maior de quando em alta atividade solar [McDonald, 1998]. Por viajarem no espaço em altas velocidades e com grande quantidade de energia, ao ingressar na atmosfera da Terra, eles colidem com os átomos presentes e provocam reações nucleares em cascata de partículas na direção da superfície terrestre, como mostrado na Figura 4. Os raios cósmicos de origem galáctica são considerados partículas primárias, e as partículas secundárias provenientes do efeito cascata são formados por prótons, nêutrons, píons e múons [Balen, 2010]. No entanto, do total de partículas geradas nesse efeito cascata, somente 5% dos prótons e 1% do elétrons e nêutrons alcançam a superfície da Terra ao nível do mar, isso devido aos processos de atenuação e ao curto período de vida dessas partículas [Simionovski, 2012]. Apesar do nêutron não possuir carga elétrica, ele possui uma maior propriedade de geração de cargas se comparado ao próton e ao elétron. Isso porquê ele não ioniza diretamente o silício, mas interage com ele causando uma reação

nuclear que libera partículas alfas, beta e prótons.

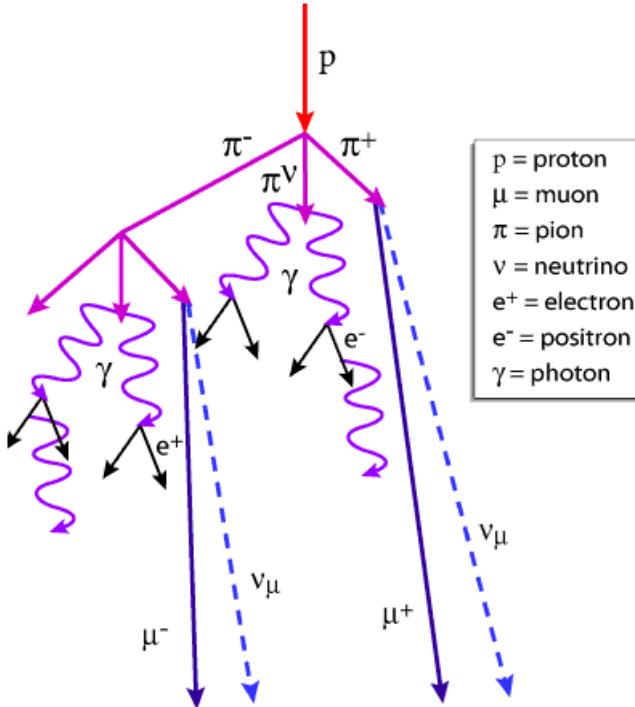


Figura 4: Reações nucleares em cascata de partículas na direção da superfície terrestre [Mészáros et al., 2015]

Em resumo, a Figura 5 traz um diagrama que representa o valor energético das partículas presentes no universo e também na atmosfera terrestre, como a radiação presentes nos Cinturões de Van Allen (*Trapped Electrons* e *Trapped Protons*), partículas provenientes da atividade solar (no diagrama representado pelos prótons, *Solar Protons*) e partículas provenientes dos raios cósmicos galácticos (*Cosmic Rays*).

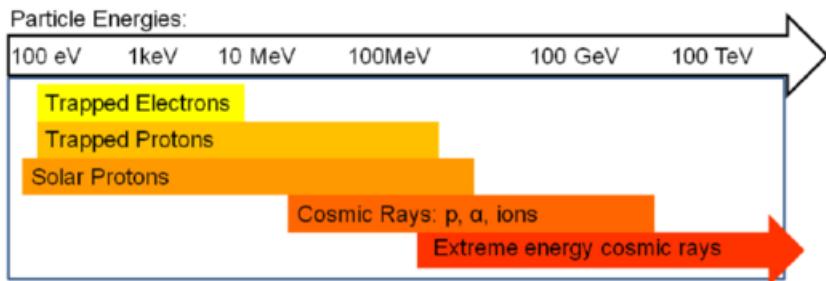


Figura 5: Diagrama do espectro de energia de partículas provenientes do espaço [Cummings, 2010]

A inclinação do eixo de rotação terrestre em relação ao eixo do campo magnético influencia na distribuição do fluxo de partículas presentes no cinturão interno de Van Allen, criando uma espécie de região de depressão, ilustrada na Figura 6 [Balasubramanian, 2008]. Nessa região, a radiação aprisionada pelo campo magnético terrestre nos cinturões

alcançam menores altitudes, inclusive penetrando nas camadas atmosféricas e produzindo efeitos indesejáveis nos equipamentos eletrônicos de espaçonaves e satélites, que sobrevoam o sul do Brasil e o oceano Atlântico [Balen, 2010]. Essa região é conhecida por **Anomalia do Atlântico Sul, SAA**.

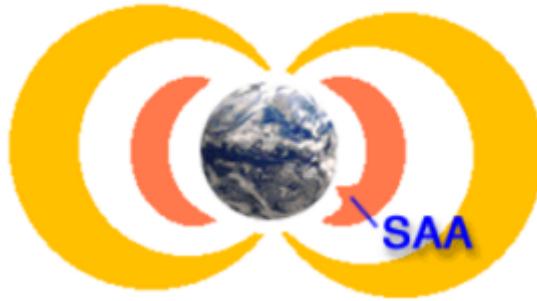


Figura 6: Deformação no cinturão Van Allen interno da Terra devido à anomalia magnética

Na Figura 7 as regiões em vermelho representam a SAA, indicando uma maior incidência de partículas. É interessante observar que essa anomalia se concentra exatamente na região sul do Brasil.

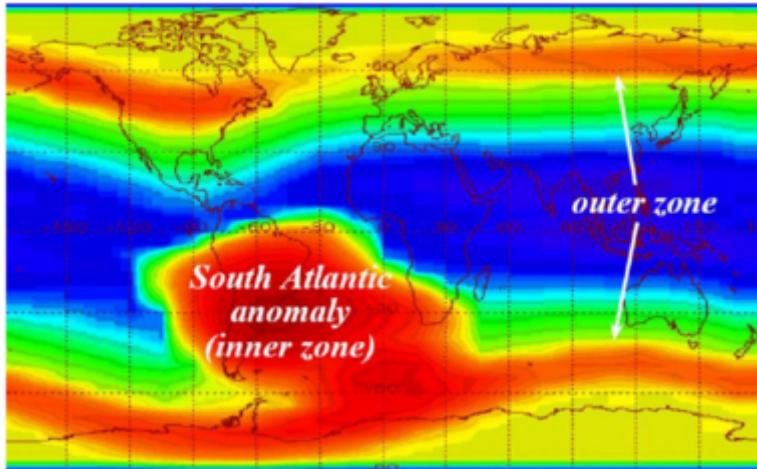


Figura 7: Anomalia do Atlântico Sul [Boudonot, 2006]

Estudos de agências espaciais europeias já relataram que o fluxo de elétrons é crítico na SAA, e que na região sul do Brasil pode chegar a ser 100 vezes maior do que em outras regiões [Walt, 2005]. Por esse motivo, a região sobre o Brasil possui muita ocorrência de falhas devido a alta incidência de radiação em circuitos eletrônicos. A Figura 8 ilustra a concentração de taxas de erros ocasionados por radiação.

1.1.1 Caracterização dos efeitos da radiação

Os efeitos da radiação que afetam o funcionamento dos circuitos eletrônicos podem ser classificados em três grandes grupos:

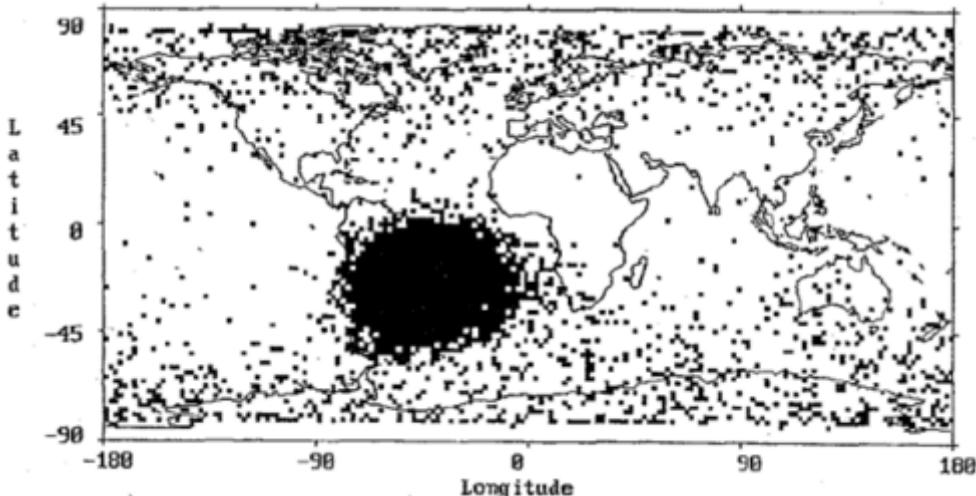


Figura 8: Taxa de *Soft Errors* [Boudenot, 2006]

1. **Total Ionizing Dose (TID)**: é um efeito cumulativo, reversível, de longo prazo, que degrada algumas propriedades elétricas dos circuitos devido ao acúmulo de cargas nos materiais que compõem o circuito integrado;
2. **Displacement Damage (DD)**: causa danos físicos na estrutura cristalina do material (silício no caso dos semicondutores de interesse neste trabalho) ocasionados pela perda de energia de forma não ionizante (NIEL: *Non-ionizing Energy Loss*) das partículas incidentes no material, degradando o material e suas propriedades;
3. **Single Event Effects (SEEs)**: são efeitos que ocorrem devido ao bombardeamento de partículas energizadas (elétrons, prótons, partículas alfas e íons pesados) que atingem o silício, ionizando-o densamente e liberando energia que pode danificar os circuitos permanentemente ou induzir comportamentos transitórios, comprometendo o bom funcionamento do dispositivo. Os SEEs podem ser classificados em destrutivos e não destrutivos [Azambuja et al., 2014]:
 - i. **Destrutivos**: são efeitos que danificam permanentemente o circuito. Os quatro principais efeitos são: o **SEL (Single Event Latchup)** que nem sempre é destrutivo, ocorre quando a incidência da partícula acarreta no aumento da corrente de operação podendo ocasionar a destruição do transistor; o **SEGR (Single Event Gate Rupture)** onde o óxido do gate é danificado formando um caminho condutor; o **SEB (Single Event Burnout)** quando a partícula atinge a região da fonte do transistor criando uma corrente entre a fonte e o dreno; e o **SHE (Single Hard Error)**, a deposição de grandes cargas de energia podem danificar a transistores de transicionar de estado. Em [Sexton et al., 2003] os mecanismos de SEE destrutivos são revisados e discutidos.

ii. **Não destrutivos:** também são comumente conhecidos por *Soft Errors*.

Podem ainda ser classificados em dois tipos dependendo da natureza do elemento atingido: o **SEU (Single Event Upset)** quando o elemento atingido for um elemento sequencial, por exemplo um *flip-flop*, modificando o estado de um bit armazenado (*bit flip*); e o **SET (Single Event Transient)** se a partícula atingir um elemento combinacional, por exemplo, um multiplexador, um pulso transiente é gerado que pode ou não ser capturado por um elemento de memória.

A Figura 9 apresenta uma representação da classificação dos principais SEEs na literatura. O foco deste trabalho é o efeito de SET (*Single Event Transient*) em circuitos combinacionais.



Figura 9: Classificação dos principais *Single Event Effects*

1.2 Objetivo

Em nanotecnologias, a confiabilidade torna-se cada vez mais importante de ser considerada durante o fluxo de síntese de células. Dessa forma, ferramentas de apoio a decisão destinadas a indicar células mais robustas aos efeitos de falhas podem ser adotadas para aumentar a confiabilidade de circuitos integrados. Neste sentido, este trabalho tem como objetivo estudar e analisar os efeitos de radiação em circuitos de tecnologia nanométricas (radiação espacial ou terrestre) e desenvolver uma extensão na funcionalidade da ferramenta de inserção de falhas desenvolvida por Zimpeck [2013] para a inclusão da inserção de falhas de radiação do tipo SET em circuitos combinacionais.

Com a extensão da ferramenta será possível avaliar a confiabilidade de circuitos quanto a ocorrência de falhas do tipo SET favorecendo ao projetista a compreensão do comportamento do circuito em questão sob falhas. Isso possibilitará a identificação das

regiões mais sensíveis do circuito quanto a falhas de radiação, contribuindo para o desenvolvimento de técnicas de tolerância a falhas mais robusta e eficientes.

1.3 Organização do Trabalho

No primeiro Capítulo é apresentado a motivação para realização deste trabalho e uma revisão teórica sobre as origens da radiação e os seus efeitos em circuitos integrados. Posteriormente, uma fundamentação teórica sobre os transistores MOS, tecnologia CMOS e conceitos de tolerância a falhas é apresentado. No terceiro Capítulo é realizado um estudo sobre a modelagem de falhas, focando nas falhas transitentes. Após a modelagem do pulso transitente, é apresentada as alterações necessárias para adequar a extensão da funcionalidade da ferramenta de injeção de falhas permanentes desenvolvida por Zimpeck [2013] para a injeção de falhas SET. Por fim, o Capítulo de considerações finais é precedido com um Capítulo contendo as análises dos experimentos obtidos utilizando a ferramenta desenvolvida.

2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo são abordados os conceitos básicos e fundamentais da microeletrônica que são essenciais para o desenvolvimento e entendimento deste trabalho. Inicialmente, são apresentadas as principais características do transistor MOS e informações básicas da tecnologia CMOS. Também será abordado neste capítulo conceitos importantes sobre mitigação e tolerância a falhas.

2.1 Transistores MOS e CMOS

Sendo considerado uma das maiores invenções do século XX, o transistor é o componente principal de toda base e evolução da computação, responsável pela revolução na eletrônica. O nome transistor vem da combinação de um termo em inglês utilizado pelos seus inventores, “*transfer resistor*”.

2.1.1 Transistores MOS

O transistor de efeito de campo, ou MOSFET do inglês *Metal Oxide Semiconductor Field Effect Transistor*, recebeu esse nome por dois motivos: pelo sua estrutura física e pelo seu princípio de funcionamento. A sigla MOS se refere a estrutura básica desse componente que é composto por três camadas com propriedades diferentes como mostrado na Figura 10: um material condutor como o metal, um isolante como o dióxido de silício e um semicondutor como o silício monocristalino. A sigla FET se refere ao seu princípio básico de funcionamento onde a diferença de potencial aplicada ao seus terminais rege o seu comportamento.

O transistor MOS é composto por 4 terminais: porta (*gate*), fonte (*source*), dreno (*drain*) e o substrato (*bulk* ou *body*). Existem dois tipos de transistores MOS que se diferem pela dopagem presente no seu material semicondutor, seja ele silício ou germânico:

- (a) **Semicondutor do tipo P:** possui um número maior de portadores positivos, ou também chamados lacunas, devido a dopagem de elementos receptores de elétron para atingir a sua estabilidade, como o Boro (B) ou o Gálio (Ga).



MOS: Metal-Oxide-Semiconductor

Figura 10: Estrutura física de um transistor MOS

- (b) **Semicondutor do tipo N:** possui um número maior de portadores negativos, ou seja, elétrons, devido a dopagem de elementos doadores de elétron, como o Fósforo (P) e o Arsênio (As).

O transistor NMOS possui o substrato do tipo P e seus poços de difusões da fonte e do dreno do tipo N. Para o transistor PMOS a composição é inversa, como pode ser visto na Figura 11, onde o substrato é do tipo N e os poços de difusões do tipo P.

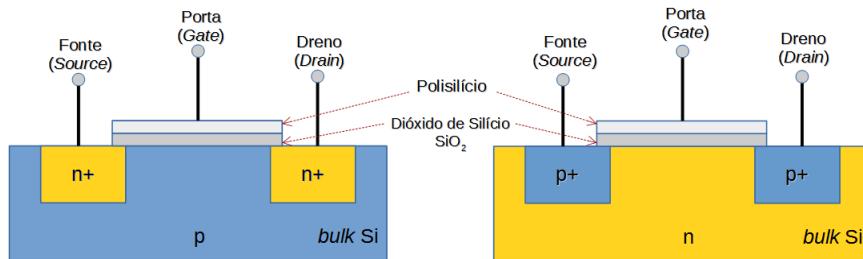


Figura 11: Transistor NMOS e transistor PMOS

A região que se forma entre a fonte/dreno e o substrato é conhecida por **região da junção PN**. Essa região funciona como um diodo, ou seja, quando polarizado diretamente existe a passagem de corrente do ânodo para o cátodo. A Figura 12 demonstra a funcionalidade atribuída pela junção PN na tecnologia CMOS.

Na interface da junção PN, os elétrons e as lacunas se encontram e se recombinação, resultando em uma região livre de portadores de cargas. Essa região é denominada de **região de depleção** e está representada na Figura 13.

O funcionamento do transistor pode ser modelado como uma chave: aberta, no estado de curto-circuito; fechada, no estado de condução. O transistor NMOS conduzirá quando a tensão aplicada no terminal do *gate* for correspondente ao estado lógico 1, enquanto que no transistor PMOS o princípio de funcionamento é o oposto, quando a tensão aplicada for correspondente ao estado lógico 0, o transistor passará a conduzir. A Figura 14

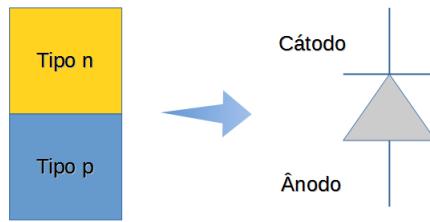


Figura 12: Junção PN nos transistores MOS

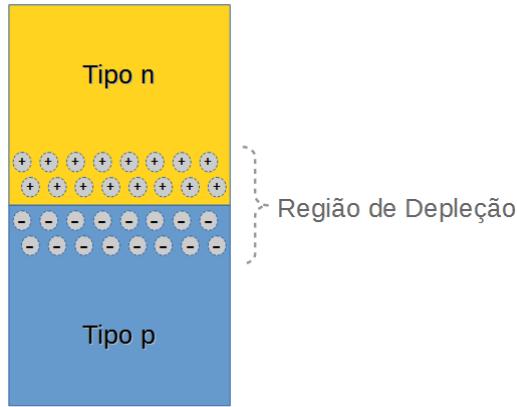


Figura 13: Região de Depleção

apresenta uma das simbologias utilizadas para os transistores e o seu princípio básico de funcionamento como chave.

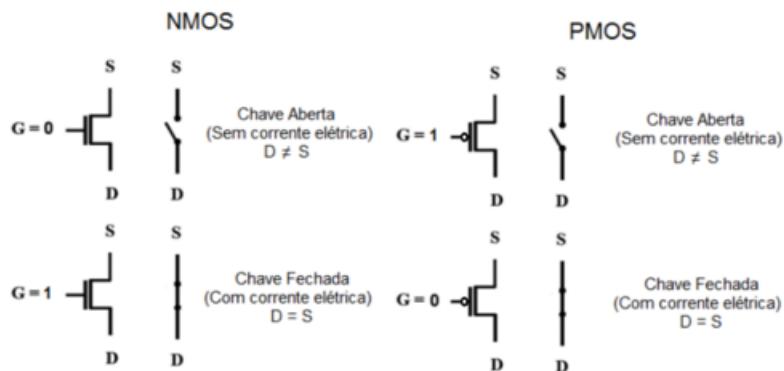


Figura 14: Simbologia e funcionamento dos transistores MOS como chave

Para compreender o funcionamento de um transistor MOS, a Figura 15 apresenta um transistor NMOS com fontes de tensões conectadas aos seus terminais. Se a tensão aplicada no terminal de *gate* for suficientemente positiva, as lacunas livres presentes no substrato serão repelidas e um canal será formado por elétrons logo abaixo da camada de óxido, conectando o poço de difusão dos terminais fonte e dreno. Esse canal só se forma quando a tensão aplicada no *gate* for maior que a tensão de *threshold*, que é a tensão mínima necessária para que o número de elétrons na região do canal ultrapasse o número

de lacunas livres do substrato [Weste and Harris, 2011]. Portanto, o transistor NMOS passa a conduzir somente quando a tensão aplicada ao seu terminal de *gate* for maior que a tensão de *threshold* do dispositivo ($V_{gs} > V_{th}$). No caso do transistor PMOS, o comportamento oposto acontece, funcionando idealmente como chave fechada quando $V_{gs} < V_{th}$.

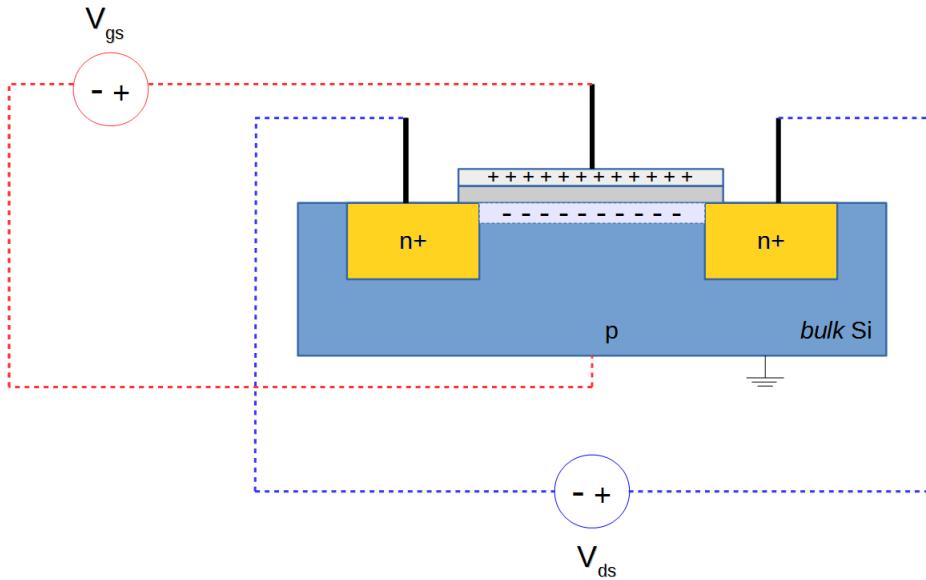


Figura 15: Funcionamento de um transistor NMOS

O movimento dos portadores podem ser caracterizados pela sua mobilidade μ . A mobilidade é uma constante de proporcionalidade entre o diferencial de potência aplicada (em V/cm) e a velocidade resultante dos transportadores (em cm/s). Os valores intrínsecos (silício puro) de mobilidade para elétrons e lacunas em temperatura ambiente são $\mu_n = 1350 \text{ cm}^2/\text{V} \cdot \text{s}$ e $\mu_p = 480 \text{ cm}^2/\text{V} \cdot \text{s}$, respectivamente. Os valores de mobilidade para semicondutores dopados são menores, no entanto a razão entre eles se mantêm em aproximadamente 2.5:

$$\frac{\mu_n}{\mu_p} \approx 2.5 \quad (1)$$

Portanto, os transistores PMOS possuem um tempo de transição de estado maior que os transistores NMOS devido a mobilidade das lacunas μ_p ser 2.5 menor do que a mobilidade dos elétrons [Reis, 2008]. As dimensões do canal de um transistor estão diretamente relacionadas com diversos características elétricas do dispositivo, como o consumo e desempenho, por exemplo. A Figura 16 apresenta o transistor em perspectiva das dimensões do canal, o comprimento *L* (*length*) e a largura *W* (*width*).

O tamanho do *L* de um transistor reflete a sua tecnologia, ou seja, um circuito digital que utiliza transistores na tecnologia de 32nm significa que o comprimento do canal de todos os transistores foram projetados para possuir no mínimo 32 nanômetros. O di-

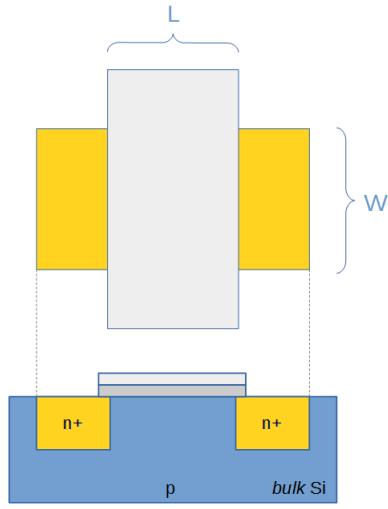


Figura 16: Comprimento L (*length*) e a largura W (*width*) de um transistor

dimensionamento do tamanho do L afeta o desempenho do dispositivo, de modo que se o L aumentar, o desempenho do dispositivo diminui. Já o dimensionamento do W se relaciona com o consumo do dispositivo e essa é um parâmetro que pode ser diferente para cada transistor dentro de um circuito. Quanto maior o W , maior vai ser o consumo do transistor. Existem técnicas para o dimensionamento do tamanho W , *transistor sizing*, que são utilizados por projetistas para atingir os melhores resultados de atrasos e potência [Sapatnekar et al., 1993].

2.1.2 Tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*)

A tecnologia CMOS é a mais utilizada no projeto de circuitos integrados VLSI (*Very-large-system Integration*) atualmente, pois permite uma alta densidade de funções lógicas em um único *chip*, além de consumir menos energia comparado a família lógica TTL, por exemplo. A principal característica da família lógica CMOS é o projeto de funções utilizando uma topologia complementar. Em um circuito CMOS existem duas redes distintas complementares como mostra a Figura 17.

A rede chamada *Pull-up* é composta somente por transistores do tipo P, pois estes conduzem melhor o nível lógico 1. O nome *pull-up* é atribuído pois é a rede responsável de “puxar” a saída para o nível lógico alto. A rede chamada *Pull-down* é composta somente por transistores do tipo N, pois diferentes dos transistores PMOS, estes conduzem melhor o nível lógico 0. O nome *pull-down* é dado a rede pois ela é responsável por “puxar” a saída para nível lógico baixo.

A utilização de uma topologia complementar implica na construção de funções lógicas obrigatoriamente negadas. Como a rede *pull-down* é composta somente por transistores do tipo N, quando as entradas estiverem em nível lógico 1, a saída será puxada para o nível lógico 0. Também é observado esse comportamento de inversão na rede *pull-up*,

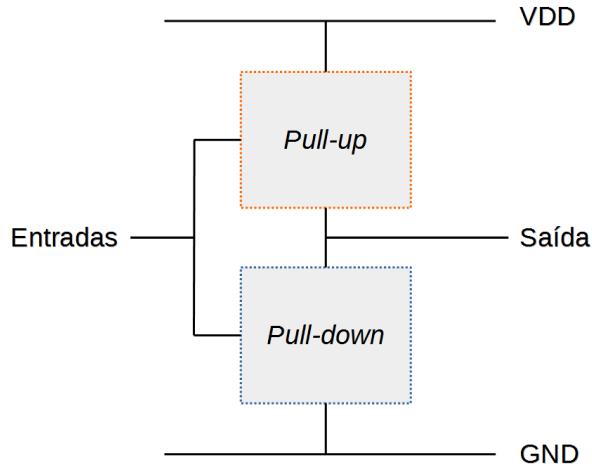


Figura 17: Rede *Pull-up* (lógica com transistores PMOS) e Rede *Pull-down* (lógica com transistores NMOS)

pois quando as entradas estiverem em nível lógico 0 a saída será puxada para o nível lógico 1. Portanto, para implementar uma função lógica que não seja negada é necessário a utilização de um inversor na saída do circuito. A Figura 18 apresenta o esquemático, o símbolo e a tabela verdade das portas lógicas básicas da família CMOS.

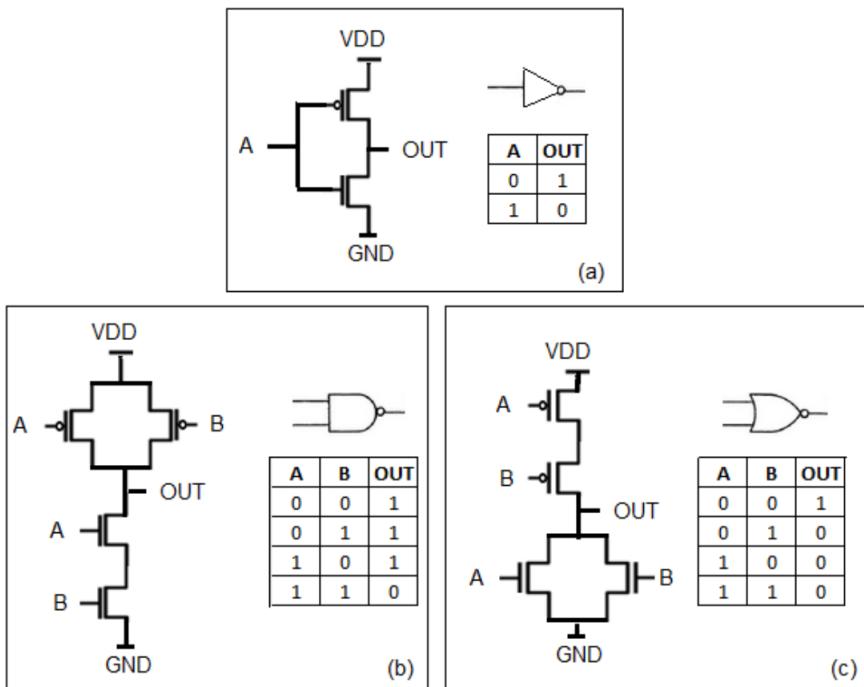


Figura 18: Esquemático, símbolo e tabela verdade das portas lógicas da família CMOS (a) inversor (b) NAND e (c) NOR [Zimpeck, 2013]

2.2 Tolerância a Falhas

É evidente que a computação está presente nos mais diversos ramos da sociedade, auxiliando nas atividades cotidianas e até mesmo nos meios de entretenimento. Esse aumento na utilização de sistemas computacionais em grande massa resultou no aumento da dependabilidade de qualquer aplicação computacional. Portanto, a necessidade de garantir a confiabilidade dos sistemas deixou de ser uma exigência somente para aplicações consideradas críticas, aplicações que envolvem a vida humana, como sistema de controle de voos, controle de tráfegos e sistemas de auxílio a vida. Devido a essa massificação do acesso a tecnologia e da sua dependabilidade, existe uma grande necessidade de garantir o bom funcionamento dos sistemas para prevenir a ocorrência de grandes catástrofes. Para isso, existe uma importante área de pesquisa chamada Tolerância a Falhas, que busca desenvolver metodologias e técnicas de projeto para tornar os sistemas mais confiáveis, ou seja, tolerantes a falhas. Tendo em mente que falhas são inevitáveis, procura-se atribuir aos sistemas a capacidade de manter o seu funcionamento correto mesmo na presença de falhas. Na literatura existe uma diversidade de termos e significados diferentes para alguns conceitos utilizados nesta área. Portanto, essa seção busca apresentar os termos e definições que serão empregados ao longo desse trabalho.

2.2.1 Falha, Erro e Defeito

Os termos que são mais conflitantes na área está na diferenciação do emprego de falha, erro e defeito. Tendo isso em vista, os conceitos adotados para esses termos neste trabalho vai de encontro com o definido por [Franco, 2008]. O conceito de **falha** (*fault*) está relacionado a uma condição física indesejada resultante de erros de projeto, manufatura ou distúrbios externos do meio. Dependendo da origem da falha e do efeito ocasionado, essa falha pode manifestar um **erro** (*error*) no sistema, ou seja, alteração do estado do sistema apresentando inconsistência nos dados gerados pela funcionalidade afetada pela falha. Já um **defeito** (*failure*) é um desvio da especificação do circuito, e portanto corresponde à incapacidade de um componente em realizar sua função predefinida. Defeitos não podem ser tolerados, apenas evitados.

Esses conceitos podem ser vistos na Figura 19, sendo representados utilizando o modelo desenvolvido por Avizienis [1982], chamado de **Modelo de Três Universos**. No Universo Físico é onde ocorre a falha e compreende os dispositivos semicondutores, elementos mecânicos e qualquer outra entidade física. Na decorrência de uma falha, um erro pode se manifestar no Universo da Informação, onde compreende todos os dados do sistema. O defeito é observado pelo usuário quando o sistema apresentar um comportamento indesejado e por esse motivo dizemos que pertence ao Universo do Usuário.

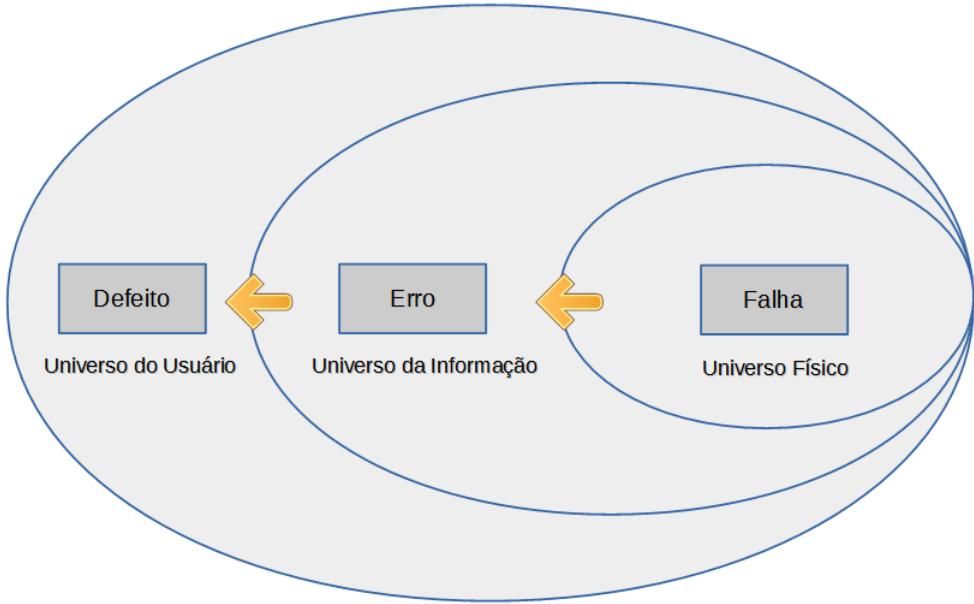


Figura 19: Modelo de Três Universos proposto por Avizienis [1982]

2.2.2 Mascaramento de Falhas

Na ocorrência de falhas, existem alguns mecanismos que são responsáveis por mascarar o efeito de uma falha e impedir que ela seja propagada para próximos níveis, evitando que valores errados sejam armazenados em células de memória. Os principais mascaramentos são denominados de lógico, elétrico e janela de amostragem (*latching window*). O mascaramento lógico ocorre quando a falha afeta uma região do circuito que não é determinante para o resultado obtido na sua saída no instante que ocorreu a falha. Um exemplo seria uma porta lógica NAND2, onde uma de suas entradas está fixa em 0. Deste modo, não importa o valor atribuído nas demais entradas, a saída será sempre 1.

Na Figura 20 podemos ver um exemplo de uma falha transiente em uma porta lógica NOR2 que possui uma das entradas igual a 1. Como a saída do circuito já foi determinada por uma de suas entradas, a falha transiente presente na outra entrada não afetará o resultado, portanto dizemos que houve o mascaramento lógico da falha em questão.

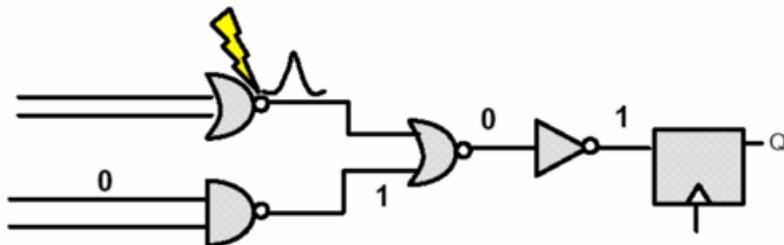


Figura 20: Mascaramento Lógico [Henes Neto et al., 2008]

No mascaramento elétrico, a falha não é propagada até um elemento de memória

devido a perdas elétricas durante o percurso no circuito que atenua sua a magnitude. Na Figura 21 podemos observar que, a cada porta lógica, o sinal resultante apresenta uma atenuação na sua magnitude, chegando a praticamente se extinguir próximo ao elemento de memória.

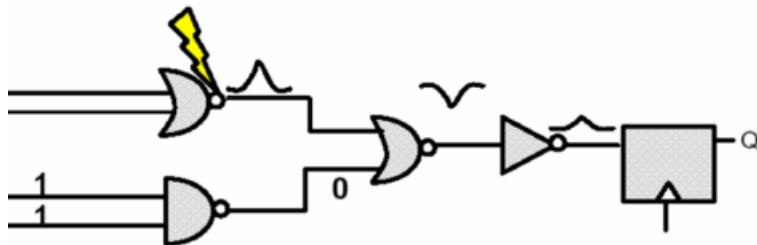


Figura 21: Mascaramento Elétrico [Henes Neto et al., 2008]

Caso o SET não tenha sido mascarado logicamente ou eletricamente, o mesmo pode ser mascarado através da janela de amostragem de um elemento de memória. Um valor errado apenas será armazenado se o SET conseguir atravessar toda a lógica combinacional e alcançar o elemento de memória durante sua janela de vulnerabilidade a falhas, como mostra a Figura 22. Do contrário, a falha não se manifestará como erro.

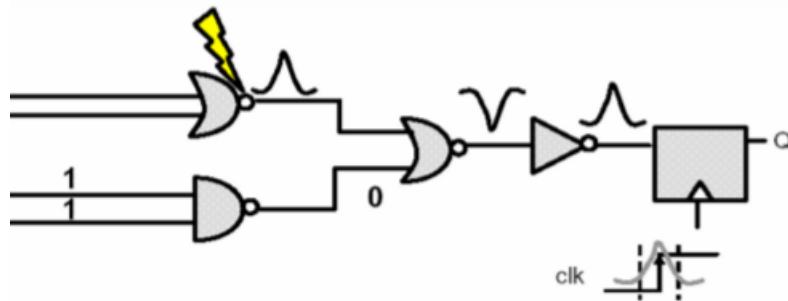


Figura 22: Mascaramento por Janela de Amostragem [Henes Neto et al., 2008]

2.2.3 Técnicas de Tolerância a Falhas

Embora os circuitos lógicos normalmente possuírem uma tendência a mascarar a propagação de uma falha, com a redução da dimensão dos transistores como também sua tensão de alimentação, dentre outros fatores, o efeito de mascaramento tem diminuído a cada nova geração de tecnologia [Rejimon, 2006]. Portanto, a utilização de técnicas de tolerância a falhas é essencial para mitigar a propagação dessas falhas.

As principais técnicas de detecção de falhas utilizadas se baseiam no princípio de redundância, seja por *hardware*, *software*, informação ou temporal. Por este motivo, as técnicas empregadas precisam ser avaliadas para cada sistema pois será sempre associado um custo, seja financeiro, de área ocupada ou de consumo de potência.

A técnica de redundância por *hardware* mais utilizada é a Redundância Modular Tripla (TMR). Neste método o *hardware* a ser protegido é triplicado para que o mesmo circuito opere paralelamente. Todas as três saídas são conectadas a um circuito votador que sempre retorna o voto da maioria nas saídas observadas, como pode ser visto na Figura 23. A maior desvantagem do método TMR é a necessidade de utilização de uma maior área e também o consequente aumento no consumo de potência [Metra et al., 1997].

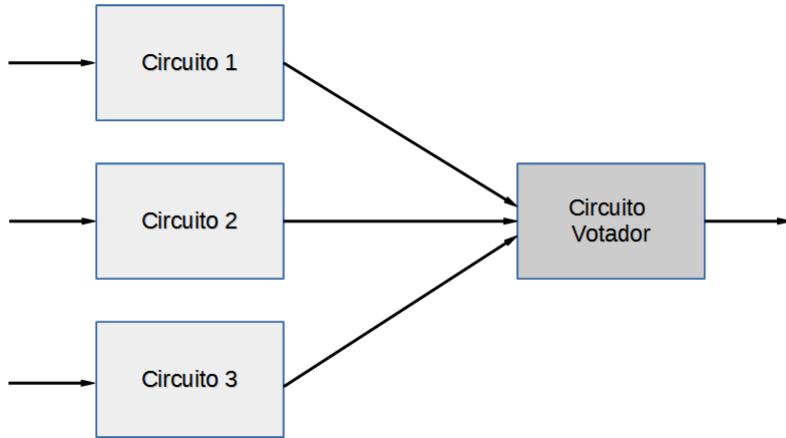


Figura 23: Arquitetura TMR

Nessa técnica, existe um ponto crítico que é o circuito votador. Este é o elemento mais sensível da arquitetura sendo a ocorrência de uma falha determinante para o comprometimento do método de mitigação da falha. Algumas soluções propostas são a utilização de votadores mais robustos, redundância sobre o votador, ou seja, triplicar o circuito ou até mesmo utilizar de recursos de *software*, como a implementação da lógica de votação via código. Em *software* se utiliza a redundância por diversidade, utilizando versões do mesmo *software* implementadas utilizando diversas abordagens. Quando os dados são duplicados, ou se é empregado um armazenamento redundante de dados para fins de verificação de consistência na informação, dizemos que foi utilizado a redundância de informação para detecção de erros [Santos, 2000]. A redundância temporal utiliza a técnica de recomputação, ou seja, operações são computadas duas vezes e comparadas afim de detectar a ocorrência de falhas [Leite, 2009].

3 MODELAGEM DE FALHAS TRANSIENTES - SET

No contexto da microeletrônica as falhas são basicamente causadas por fenômenos naturais como envelhecimento do dispositivo, problemas de fabricação e interferência externa. Dependendo do seu comportamento as falhas podem ser classificadas em dois grupos:

- (a) **Falhas Permanentes:** são falhas que danificam permanentemente o dispositivo e uma vez manifestada sempre existirá a falha.
- (b) **Falhas Temporárias:** são falhas que ocorrem apenas por um curto intervalo de tempo e ainda podem ser classificadas como:
 - i. *Intermitentes* - ocorre de maneira aleatória e imprevisível. São normalmente causadas pelo processo de degradação do componente e que fatalmente se tornarão permanentes com o tempo;
 - ii. *Transientes* - ocorre apenas uma vez. Se a operação é repetida, possivelmente não será observado a falha novamente. Geralmente são relacionadas à interferência de sistemas externos, como ruídos e radiação.

Para poder emular a presença de uma falha em circuitos num ambiente de simulação é necessário utilizar um modelo de falha que reflete com precisão seu comportamento. A maioria dos modelos utilizados hoje em dia são descritos em nível de porta lógica ou transistores e requer um conhecimento das características elétricas e efeitos decorrentes das falhas [Marroni, 2013].

3.1 Modelos de Falhas permanentes

O estudo do comportamento de duas falhas permanentes é bastante importante para o estudo e desenvolvimento de circuitos tolerantes a falhas. As principais falhas permanentes são: *Stuck-Open* e *Stuck-On*.

No modelo das falhas *Stuck-Open* o transistor que apresentar esse tipo de falha estará permanentemente em aberto, ou seja, independente do valor de tensão aplicado no seu terminal de controle este nunca conduzirá. Como exemplo temos a Figura 24 onde

uma NOR2 apresenta uma falha *Stuck-Open* no transistor N2 presente na rede *pull-down*, resultando em um estado de alta impedância Z na saída do circuito [Zimpeck, 2013].

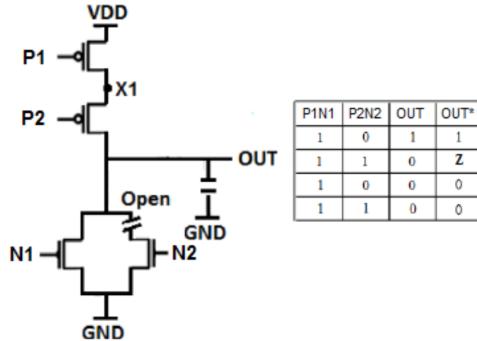


Figura 24: Falha *Stuck-Open* no transistor N2 [Zimpeck, 2013]

Nas falhas *Stuck-On*, o transistor afetado estará sempre ligado, ou seja, independente do valor de tensão aplicado ao seu terminal de *gate* sempre estará conduzindo. No exemplo da Figura 25 temos uma falha *Stuck-On* no transistor N1 da rede *pull-down*. O transistor afetado está sempre em condução gerando um curto-circuito quando as duas redes estiverem conduzindo, provocando um aumento no consumo de potência e uma saída inesperada X no circuito [Zimpeck, 2013].

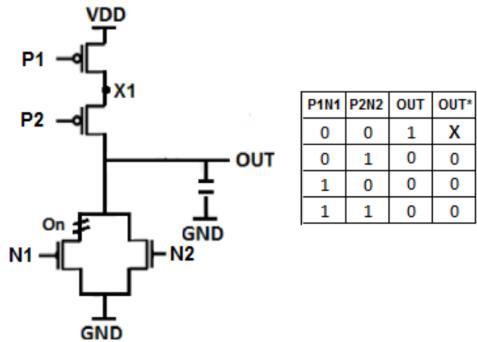


Figura 25: Falha *Stuck-On* no transistor N1 [Zimpeck, 2013]

3.2 Modelos de Falhas Transientes

O foco principal deste trabalho está no estudo de falhas SET que, diferente da *Stuck-Open* e *Stuck-On*, apresentam um comportamento de natureza transiente. No Capítulo 1 é apresentada uma discussão detalhada da origem e do comportamento de falhas transitórias decorrentes do efeito de radiação em nanotecnologia.

O objetivo desta Seção é apresentar como os efeitos de *soft errors* podem ser simulados, ou seja, detalhar a modelagem do pulso transiente segundo equações matemáticas, cujo entendimento é essencial para compreender como o modelo de falha SET é utilizado na simulação e injeção de falhas no trabalho desenvolvido.

3.2.1 Single Event Effects

O *Total Ionizing Dose* (TID) e *Single Event Effects* (SEEs) são os efeitos de radiação que são mais frequentes, sendo o objeto de muitos estudos na comunidade científica [Clemens, 2012]. Inicialmente as falhas ocasionadas por TID eram consideradas de maior importância, visto sua maior ocorrência quando comparado com os *soft errors*. No entanto, com o avanço da tecnologia, as pesquisas têm se direcionado aos problemas ocasionados por SEEs, devido à sua crescente taxa de ocorrência, e à redução dos efeitos de TID, como mostra a Figura 26. Um das principais causas que levou a redução dos efeitos de TID nas tecnologias atuais foi o aperfeiçoamento entre as camadas de óxido e de silício dos transistores, como a redução da espessura do óxido [Clemens, 2012].

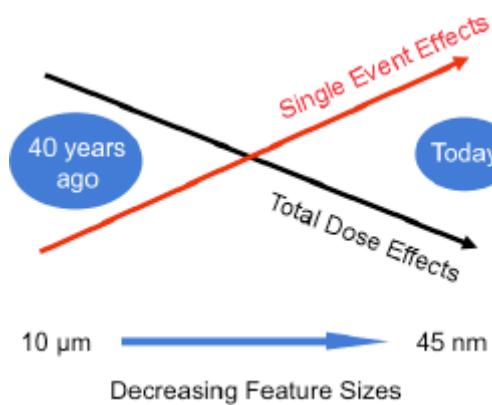


Figura 26: Aumento de *Single Event Effects* devido a redução das dimensões dos transistores [Holman, 2008]

O principal motivo do aumento considerável de *soft errors* é devido a miniaturização das dimensões dos circuitos integrados associado também com a crescente redução de tensão de alimentação. Essa redução da tensão está diretamente relacionado com a diminuição do consumo de potência e das capacitâncias intrínsecas do circuito, acarretando no aumento das chances de um pulso transiente gerado por uma partícula ter intensidade suficiente para vencer as capacitâncias reduzidas do circuito e causar uma falha. Portanto, o efeito de SEE induzidos por íons pesados, prótons e nêutrons se tornaram uma limitação cada vez maior quando se trata da confiabilidade de componentes eletrônicos, circuitos e sistemas em geral. Essa preocupação estimulou o desenvolvimento de muitas pesquisas na área para melhorar a compreensão desse fenômeno e o desenvolvimento de técnicas de mitigação dessas falhas. Por este motivo, o foco deste trabalho se concentra nos *soft errors*, mais precisamente no *Single Event Transient* (SET).

O mecanismo de geração de SET e SEU são semelhantes em natureza, diferindo apenas quanto ao circuito atingido pela radiação. O *Single Event Upset* ocorre em células de memória ou registradores e é caracterizado como uma inversão de bits (*bit flips*) – quando a carga depositada pela partícula possui energia suficiente para modificar os estados lógicos dos dispositivos de armazenamento atingidos [Balen, 2010]. O Single Event

Transient é um transiente que pode se propagar através de um pulso de tensão ou corrente e ocorre quando a partícula incide sobre nós sensíveis de elementos combinacionais de um circuito [Simionovski, 2012]. A Figura 27 apresenta um exemplo da ocorrência dessas falhas. Um SEU foi identificado no primeiro elemento sequencial do circuito, onde o valor lógico de um *bit* foi alterado, em vermelho. Já na primeira porta lógica NOR2 do circuito, é observada a geração de um pulso transiente na sua saída induzido por um SET. Esse pulso teve amplitude o suficiente para alcançar o segundo elemento sequencial do circuito e induzir um *bit flip*.

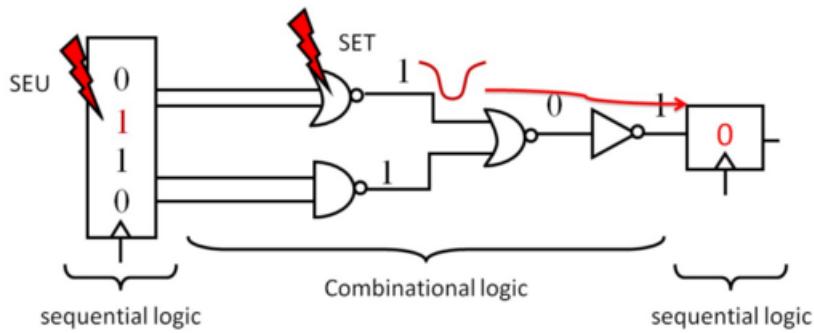


Figura 27: *Single Event Upset* e *Single Event Transient* em um circuito [Azambuja et al., 2014]

3.2.2 Mecanismos Físicos de Deposição e Coleta de Carga

Os *soft errors* ocorrem quando partículas energéticas interagem com o silício ao colidir com uma área sensível do circuito e depositam uma carga adicional na região da junção PN do transistor. O meio é composto por muitas partículas geradas pela atividade solar, cósmica e até mesmo terrestre [Messenger, 1982]. Existem dois mecanismos de deposição de carga atribuído à interação de radiação com o silício de um *chip* [Dodd and Massengill, 2003]:

- Ionização Direta (*Direct Ionization*):** quando uma partícula carregada ultrapassa um material semicondutor, ela perde energia ao longo do seu caminho liberando pares de elétron-lacuna. Essa trilha ionizante resultante, gera uma corrente/tensão transiente no mesmo, quando coletado pelo campo elétrico do dispositivo. A ionização direta é considerada como um mecanismo primário de deposição de carga causada pela incidência de partículas alfas ou íons pesados (íons com número atômico maior ou igual a 2). Partículas mais leves, como prótons não produzem carga suficiente por ionização direta para gerar um pulso transiente observável.
- Ionização Indireta (*Indirect Ionization*):** é um mecanismo secundário de deposição de carga, onde devido a reações nucleares no material semicondutor, as partículas leves como prótons e nêutrons podem liberar energia no silício através de

partículas secundárias produto da reação nuclear. Ou seja, uma vez que uma reação nuclear tenha acontecido, a deposição de carga pode ocorrer por partículas produto dessa reação.

A energia depositada pela partícula devido a sua ionização no silício é uma métrica importante no estudo dos efeitos de radiação em nanotecnologias, pois está diretamente relacionado com a magnitude do pulso transiente gerado. O ***Linear Energy Transfer (LET)***, em MeV/cm, é a quantidade de energia que uma partícula libera por unidade de cumprimento do caminho percorrido pela mesma, ou seja:

$$LET = \frac{\partial E}{\partial x} \quad (2)$$

O LET é dependente da massa e da energia da partícula e do material ionizado, portanto, partículas com maior massa e energia ionizadas em materiais mais densos possuem maiores LETs [Baumann, 2005b]. O LET pode ser normalizado pela densidade do material semicondutor e ser expresso pela carga por unidade de cumprimento (pC/m ou fC/m). Essa conversão permite a comparação da dimensão física do dispositivo e a carga depositada. Após a ionização da partícula no silício, ou seja, após a deposição de uma carga adicional no dispositivo afetado, o processo de coleção de carga procede através de dois mecanismos: **processo de deriva (drift)**, e **de difusão (diffusion)**.

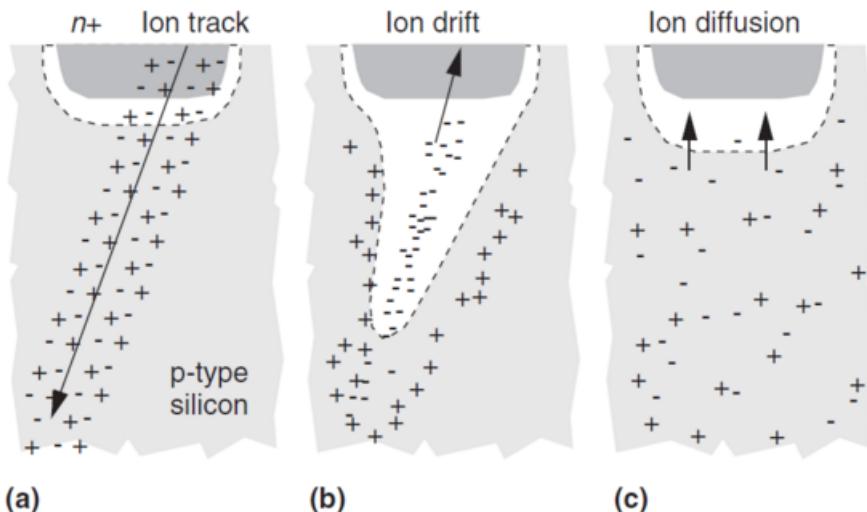


Figura 28: Processo de Geração e Coleção de Carga [Baumann, 2005b]

Quando a trilha de ionização resultante atravessa ou se aproxima da região de depleção (região vazia de cargas), os portadores adicionais são coletados rapidamente pelo campo elétrico de alta intensidade presente nessa região do transistor. Esse processo de coleção de carga é chamado de Deriva, ou do inglês, *Drift* (parte b da Figura 28). Essa passagem da partícula através da região de depleção é responsável pela sua deformação temporária, em questão de picosegundos, em forma de funil. Esse efeito é chamado de Efeito do Canalizado, ou *Funneling*. Ele acarreta no aumento da eficiência da coleção de carga devido

ao aumento da área da região de depleção [Baumann, 2005a]. E, por fim, o processo de difusão se encarrega de coletar todos os portadores restantes que foram gerados além da camada de depleção (parte c da Figura 28). A forma de onda típica da corrente resultante da coleção de carga adicional induzida pela incidência de partículas pode ser visto na Figura 29:

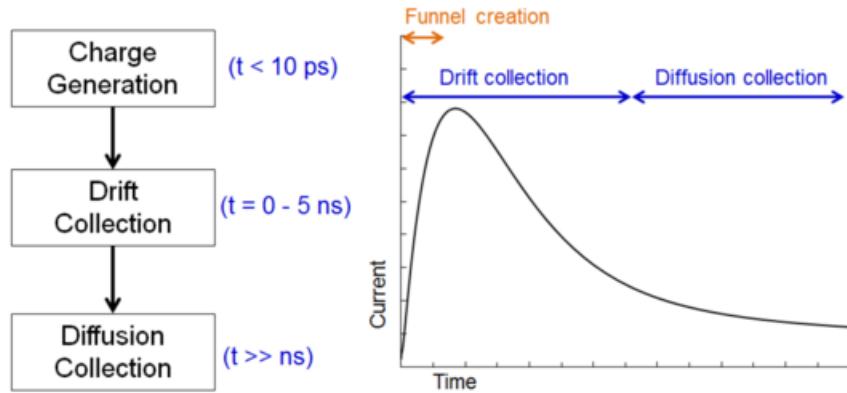


Figura 29: Forma de onda típica da corrente da coleção de carga de um Single Event [Cummings, 2010]

3.2.3 Modelagem do Pulso Transiente

Um SET é causado pela geração de carga devido a incidência de uma partícula ionizada na região sensível dos transistores, que consiste da junção PN dos transistores que estão desligados, ou seja, inversamente polarizados [Dodd, 1996]. Quando uma partícula colide com o dreno de um transistor PMOS, que se encontra em estado *off*, e a carga coletada Q_{coll} excede uma carga mínima necessária, denominada carga crítica Q_{crit} , um pulso de tensão transiente aparecerá no nó afetado, carregando a capacitância associada a este dreno e ligando assim o transistor por ele controlado [Baumann, 2004]. A descarga do capacitor poderá ser interpretada como uma mudança de nível lógico na saída do circuito. Esse fenômeno pode ser melhor compreendido através do esquemático da Figura 30, onde uma partícula incide num transistor PMOS em estado *off* de um circuito inversor, e o pulso de tensão gerado na descarga do capacitor eventualmente afetará o valor lógico de sua saída [Wang and Agrawal, 2008]. O mesmo fenômeno pode ser observado quando a partícula energética colide com o dreno de um transistor NMOS em estado *off*. No entanto, a capacitância associada ao dreno deste transistor será descarregada.

Os parâmetros do pulso transiente de corrente gerado pela ionização de uma partícula energética no silício depende diretamente de características como a energia da partícula incidente, o local que atingiu o dispositivo, da tecnologia e da tensão de alimentação do dispositivo e a sua capacitância de saída [Wang and Agrawal, 2008]. Devido aos mecanismos de coleção de carga que foram discutidos no Capítulo anterior, a forma de onda do pulso transiente é bastante característica, como mostra a Figura 31.

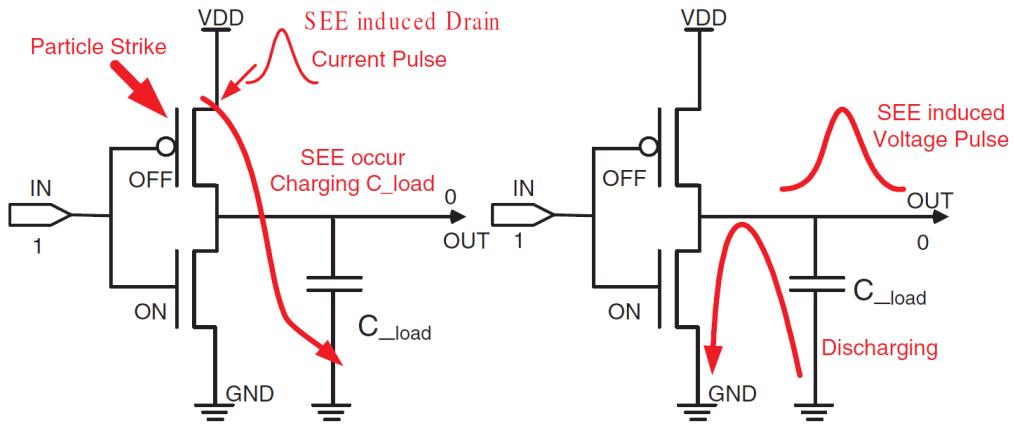


Figura 30: Esquemático de como uma corrente transiente induzida por um SEE se converte em um pulso de tensão em um inverter CMOS [Wang and Agrawal, 2008]

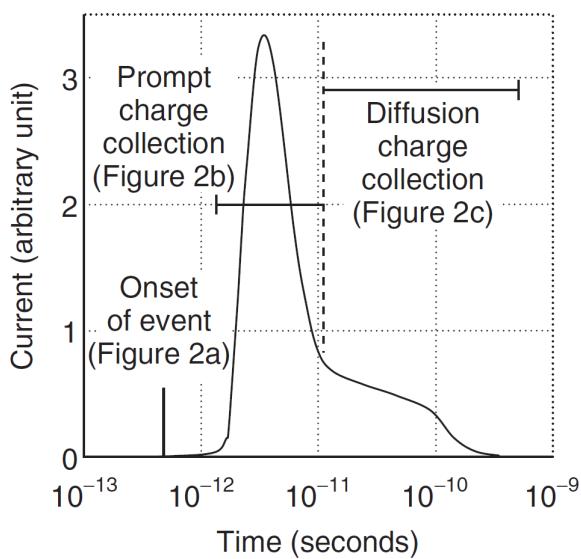


Figura 31: Pulso de corrente transiente em forma de dupla exponencial [Baumann, 2005a]

O *Drift* e *Funneling* são processos muito rápidos, praticamente instantâneos devido a deformação do campo elétrico da junção e o consequente aumento na eficiência de coleção de carga. Portanto, são responsáveis por controlar o rápido crescimento da corrente transiente. Já no processo de *Diffusion*, é necessário um tempo maior para coleção de carga e, por isso, a onda possui uma decaimento mais lento. O modelo analítico proposto em Messenger [1982] é amplamente utilizado e propõe uma fonte de corrente cujo comportamento obedece a uma dupla exponencial.

A modelagem dessa corrente transiente segundo Messenger [1982] é descrito pela Eq. 3 e Eq. 4.

$$I(t) = \frac{Q_{coll}}{\tau_\alpha - \tau_\beta} \left(e^{-\frac{t}{\tau_\alpha}} - e^{-\frac{t}{\tau_\beta}} \right) \quad (3)$$

$$Q_{coll} = 10.8 \times L \times LET \quad (4)$$

Onde:

Q_{coll} é a carga coletada na junção;

τ_α é a constante de tempo de coleção de carga;

τ_β é a constante de tempo para estabelecer a trilha do íon pesado;

L é a profundidade da coleção de carga.

Os valores típicos utilizados para simulações e experimentos no silício são 1.64×10^{-10} segundos para τ_α e 5×10^{-11} segundos para τ_β [CARRENO et al., 1990]. O L possui um valor típico de $2\mu m$ para cada LET de $1MeV \cdot cm^2/mg$, e a constante $10.8 fC$ corresponde a carga que uma partícula ionizante deposita para cada $1\mu m$ [Wang and Agrawal, 2008]. A carga crítica Q_{crit} é a carga mínima necessária para que o pulso gerado possa mudar o estado de saída da porta lógica afetada e alterar o estado de uma célula de memória, por exemplo. Além de depender da carga total coletada Q_{coll} pela região da junção, também depende da duração do pulso transiente e da tensão de alimentação do dispositivo analisado. Para isso, um parâmetro chamado de “switching time” t_{th} é definido e corresponde ao intervalo de tempo a partir da incidência da partícula no substrato até quando a tensão gerada atinge a tensão de *threshold* do dispositivo [Wang and Agrawal, 2008]. Nesse instante, o capacitor de saída estará carregado com a carga crítica Q_{crit} e pode ser calculado integrando o valor da corrente transiente no nodo afetado [Detcheverry et al., 1997]:

$$Q_{crit} = \int_0^{t_{th}} I(t) dt \quad (5)$$

Uma condição para que o pulso transiente se propague é que a tensão induzida deve ser maior ou igual que a tensão gerada pela carga crítica no dispositivo, ou seja, deve

seguir a seguinte equação [Wang and Agrawal, 2008]:

$$V \geq Q_{crit} = \frac{1}{C} \int_0^{t_{th}} I_{drain}(t) dt \quad (6)$$

Por exemplo, se a capacitância de saída de um circuito for igual a $C = 100fF$ e a carga total coletada for de $Q_{coll} = 0.65pC$, a amplitude da tensão induzida pelo pulso transiente é :

$$V = \frac{0.65pC}{100fF} = \frac{0.65 \times 10^{-12}C}{100 \times 10^{-15}F} \quad (7)$$

$$V = 0.65V \quad (8)$$

Note que para uma capacitância de saída menor, e para a mesma carga total coletada, a amplitude da tensão induzida é maior. Por este motivo, nas tecnologias atuais, mesmo com a incidência de partículas energeticamente baixas, há a ocorrência de SET e SEU. Devido a redução das capacitâncias intrínsecas dos circuitos integrados, as partículas que anteriormente não significavam uma ameaça para o bom funcionamento dos circuitos agora já possuem energia suficiente para induzir uma tensão considerável nos nodos de saída dos mesmos. A figura abaixo representa um pulso transiente gerado por uma partícula de um LET aproximadamente igual a $1.46MeV \cdot cm^2/mg$. Segundo a equação 4, a carga total coletada seria igual a:

$$Q_{coll} = 10.8f \times 2\mu \times 1.46M \quad (9)$$

$$Q_{coll} = 31.5fC \quad (10)$$

4 FERRAMENTA DE INJEÇÃO E SIMULAÇÃO DE FA-LHAS EM CIRCUITOS

Com os avanços das pesquisas no campo da microeletrônica, hoje se é possível a integração de bilhões de transistores em um único Circuito Integrado (CI). Esse aumento na integração de componentes num único *chip*, aliado ao alto desempenho e baixo consumo, se deu através de técnicas voltadas para a miniaturização dos componentes e para a redução da tensão de alimentação e da frequência de operação. Entretanto, esses avanços contribuíram para o aumento da complexidade no projeto de sistemas digitais e embarcados inserindo uma série de desafios como a confiabilidade e a testabilidade dos sistemas projetados. Devido aos defeitos do processo de fabricação como também o aumento da sensibilidade aos efeitos de ruídos e de radiação, se pode dizer que é impossível produzir circuitos livres da ocorrência de falhas [Azambuja et al., 2014]. Portanto, ferramentas de EDA (*Electronic Design Automation*) são amplamente utilizadas pois auxiliam na automação de diversas etapas no projeto de concepção de sistemas.

No trabalho realizado por Zimpeck [2013], uma ferramenta foi desenvolvida para auxiliar no projeto de portas lógicas CMOS que permitia avaliar o comportamento dos circuitos sob falhas. As falhas avaliadas pela ferramenta são as falhas *Stuck-On* e as falhas *Stuck-Open*. Diferente dos *soft errors*, essas falhas possuem uma característica permanente, ou seja, uma vez manifestada no transistor esse dispositivo nunca voltará a funcionar corretamente.

A manifestação da falha na saída do circuito depende dos sinais de entrada aplicados. Ou seja, quando a rede *pull-up* estiver conduzindo haverá um curto circuito entre as duas redes complementares, visto que o transistor falho está sempre em condução. Já a falha *Stuck-Open* se comporta de forma oposta à falha *Stuck-On*. O transistor afetado nunca conduzirá sinal, independentemente do valor da tensão aplicado ao seu terminal de gate. Com o intuito de extender a ferramenta desenvolvida por Zimpeck [2013], o presente trabalho propôs a implementação de mais uma falha na lista de falhas presentes na ferramenta, a falha *Single Event Transient*, SET. Para isso, um estudo do desenvolvimento da ferramenta e da metodologia empregada para simulação e injeção de falhas foi realizado.

A ferramenta desenvolvida neste trabalho expande os módulos desenvolvidos na ferra-

menta de [Zimpeck, 2013]. Assim, a próxima Seção apresenta as principais características do trabalho anterior.

4.1 Ferramenta de Injeção de Falhas Permanentes

A ferramenta foi desenvolvida na linguagem de programação Java, devido à vários fatores como a sua portabilidade e a possibilidade de integração com outras ferramentas, como o simulador elétrico NGSPICE. Também há a vantagem da utilização de recursos da programação orientada a objetos, como a herança e a reutilização de códigos de forma dinâmica e estática [Zimpeck, 2013]. Embora as falhas *Stuck-On* não necessitam de uma simulação elétrica para obter seu comportamento, a ferramenta utiliza do simulador elétrico NGSPICE em todas as simulações de falhas para manter um padrão no projeto e também possibilitar futuramente a análise temporal e de potência dos circuitos com falhas [Zimpeck, 2013].

O diagrama de blocos mostrado na Figura 32 apresenta o funcionamento da ferramenta em seis módulos principais. A ferramenta foi desenvolvida de forma modular e cada um dos blocos é responsável por uma parte funcional da ferramenta, sendo a ordem de execução dos blocos a mesma indicada pelas flechas. Na Figura 33 se encontra o diagrama UML (*Unified Modeling Language*) da ferramenta, com as classes implementadas e seus respectivos métodos. Os seis módulos principais são:

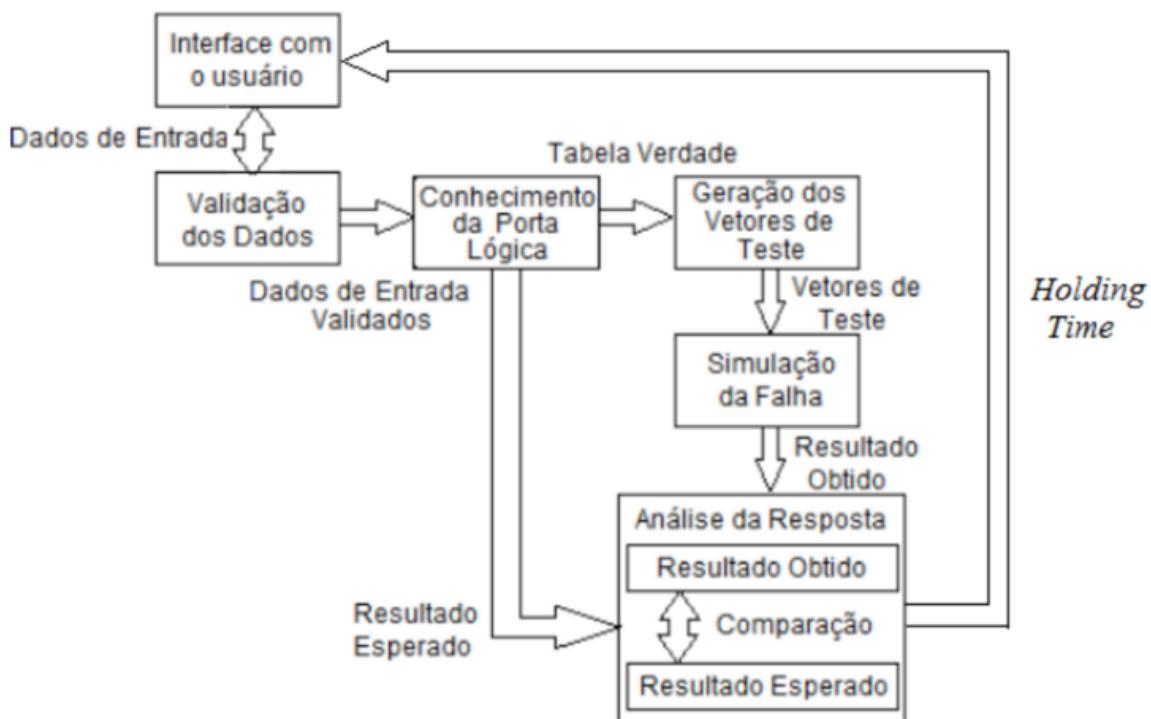


Figura 32: Diagrama de blocos da ferramenta de inserção de falhas permanentes por Zimpeck [2013]

- **Interface com o usuário:** realiza a comunicação com o usuário da ferramenta e, consequentemente, a aquisição de dados para simulação, por exemplo: o *netlist* do circuito a ser simulado, a tecnologia empregada, o tipo de falha a ser injetada, dentre outros.
- **Validação dos Dados:** responsável pela verificação dos dados fornecidos pelo usuário. A simulação da injeção de falha somente será realizada quando os dados forem corretamente inseridos e verificados pela ferramenta. Caso o contrário, mensagens de erros são retornadas ao usuário.
- **Conhecimento da Porta Lógica:** a ferramenta realiza a validação lógica, através da geração da tabela verdade, dos valores de entradas e saídas, e a identificação dos transistores presentes na descrição.
- **Geração dos Vetores de Teste:** cria os vetores de teste exaustivamente ou aleatoriamente, levando em consideração o número de entradas do circuito. No caso de circuitos com até três entradas os vetores de teste serão criados exaustivamente, ou seja, todas as combinações possíveis de entradas serão testadas. Já para circuitos com o número de entradas maior que três a atribuição de vetores de teste será feita aleatoriamente.
- **Simulação da falha:** realiza a injeção de falha em um dos transistores, escolhido pelo usuário, do *netlist* descrito na ferramenta e a simulação elétrica do *netlist* com falha utilizando o simulador NGSPICE.
- **Análise da Resposta:** efetua uma comparação entre o resultado esperado pelo circuito com o resultado obtido após a injeção da falha.

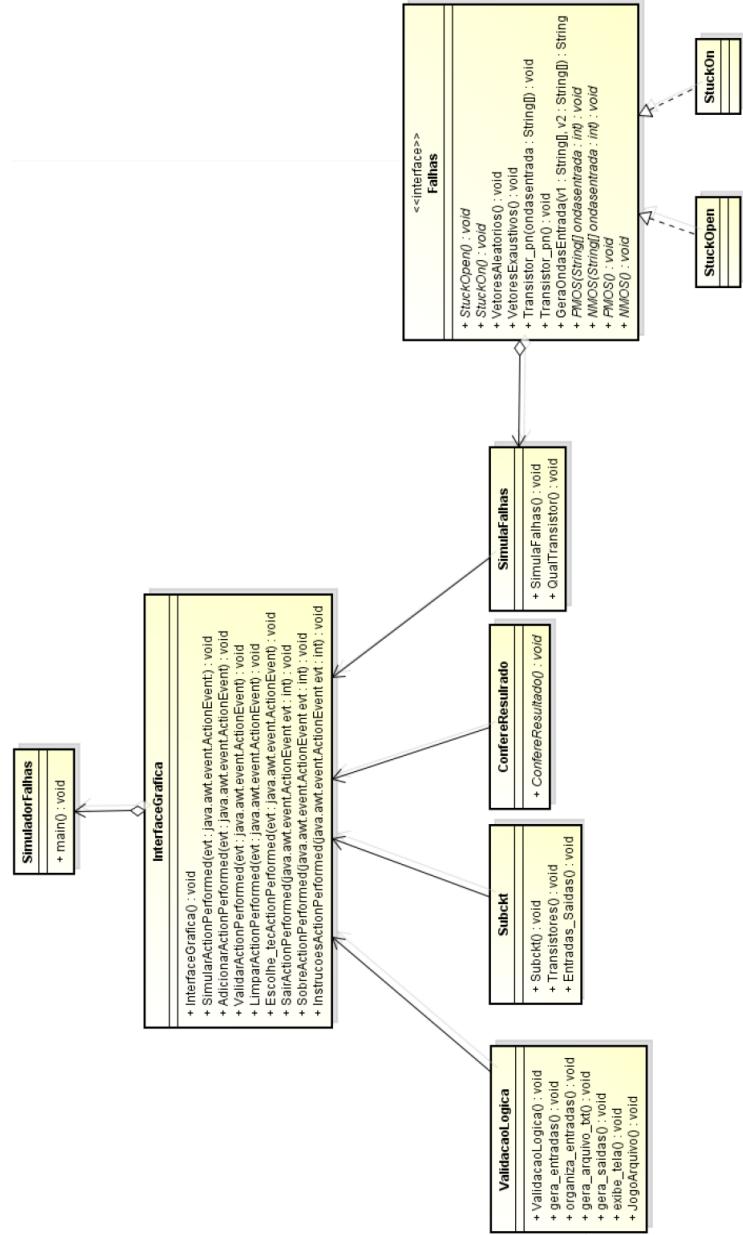


Figura 33: Diagrama UML da ferramenta de falhas permanentes por Zimpeck [2013]

4.2 Ferramenta de Injeção de Falhas Transientes

Este trabalho expande a ferramenta de simulação de falhas permanentes permitindo a simulação de falhas SET em circuitos combinacionais. Para a funcionalidade proposta neste trabalho, a ferramenta apresentará o fluxo de execução descrito na Figura 34. Como entrada a ferramenta requer:

- (a) os parâmetros do circuito sob teste (DUT: *device under test*) como número de entradas, número de saídas, tecnologia empregada e tensão de alimentação;
- (b) os parâmetros da falha SET como o nodo que será inserida o pulso, o LET, o número de falhas a ser injetada, dentre outros;
- (c) o arquivo *netlist* do DUT.

E como saída, a ferramenta disponibiliza:

- (a) arquivos *netlist* do circuito para cada falha injetada;
- (b) arquivos com a análise de falhas realizada pela ferramenta;
- (c) arquivos de saída (.data) gerados pelo simulador elétrico.



Figura 34: Fluxo de Execução da Ferramenta para Inserção de Falhas SET

A utilização da ferramenta é dividida em duas partes principais: a **Validação dos Dados** inseridos pelo usuário na interface e a **Simulação da Injeção das Falhas** propriamente dita, que só ocorrerá após a primeira etapa ser bem sucedida. Isso porquê a etapa de Validação de Dados é necessária pela compatibilidade na comunicação com o simulador NGSPICE, onde arquivos gerados pela ferramenta a partir dos dados inseridos pelo usuário devem ser compatíveis com o padrão esperado pelo simulador elétrico [Zimpeck, 2013]. É nesta etapa também que a ferramenta obtêm o resultado esperado do circuito livre de falhas, através da obtenção da tabela verdade da função lógica descrita pelo circuito.

Devido as peculiaridades encontradas nas falhas transientes, algumas modificações foram necessárias nos módulos básicos da ferramenta descritos no Diagrama de Blocos da Figura 32 da seção anterior. A Figura 35 apresenta os blocos que foram modificados para adequar a inserção, simulação e análise das falhas SET, como o bloco “Interface com o usuário”, “Conhecimento da Porta Lógica”, “Simulação da Falha” e o bloco “Análise da Resposta”.

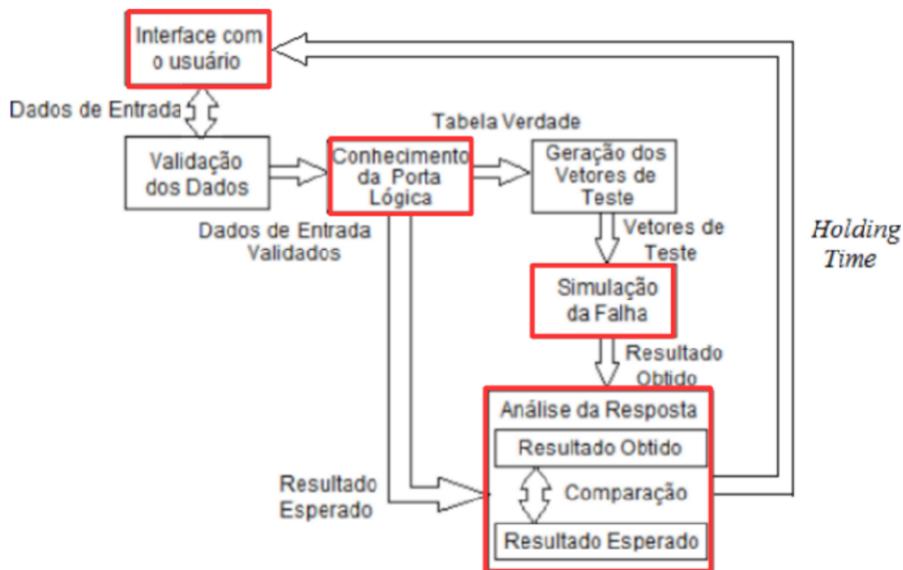


Figura 35: Diagrama de Blocos da Ferramenta com indicação dos blocos modificados

No diagrama de blocos, toda parte do módulo “Interface com o usuário” destinada aos parâmetros de simulação de falhas precisou ser ajustada. A região da interface da ferramenta destinada a validação dos dados possui um *comboBox* “Simulação da Falha” onde o usuário tem a opção de escolher que tipo de falha deseja injetar no circuito. Ao escolher a falha e proceder com a validação de dados corretamente, a região da interface destinada à inserção dos parâmetros de falha se altera dinamicamente para o *JPanel* correspondente ao tipo de falha escolhida pelo usuário.

Na Figura 36 temos um exemplo da interface quando o usuário deseja simular uma falha *Stuck-Open* ou *Stuck-On*. Já na Figura 37 temos a interface com os parâmetros de falha para inserção de um SET no circuito. Devido a relação das falhas SET com a frequência de operação do circuito, diversos campos foram dispostos para que o usuário tivesse total controle de especificar os parâmetros da simulação elétrica como o passo de transição e de simulação. O usuário também pode definir o valor do *inSlope* e o número de inversores na saída do circuito. E os parâmetros da forma da onda exponencial do SET podem ser configurados ao clicar no botão “Configurar SET”.

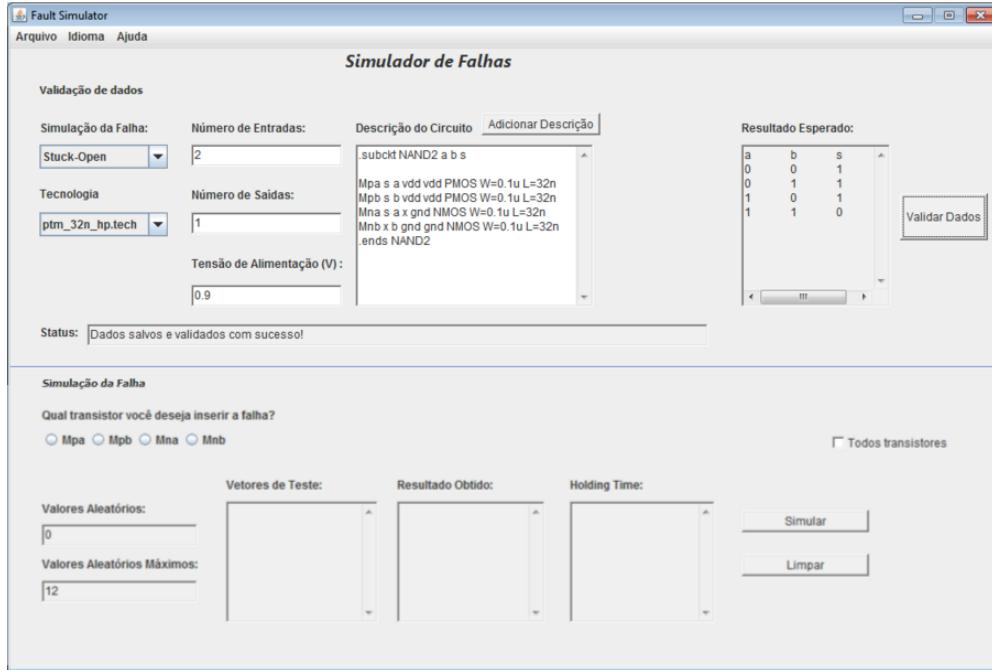


Figura 36: Interface Gráfica para inserção de falhas permanentes *Stuck-Open* ou *Stuck-On*

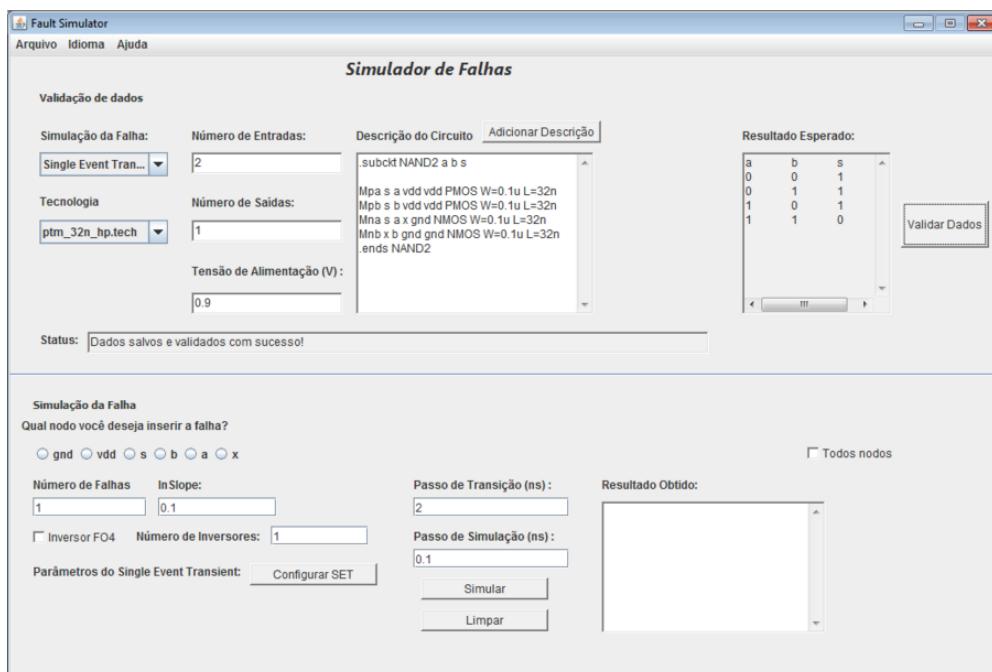


Figura 37: Interface Gráfica para inserção de falhas *Single Event Transient* (SET)

4.2.1 Identificação dos nodos

Como no modelo utilizado para as falhas SET é necessário a identificação dos nodos do circuito para inserção da fonte de corrente, o módulo “Conhecimento da Porta Lógica” onde era feito a identificação dos transistores para os modelos das falhas permanentes foi adequado para identificação de todos os elementos presentes no circuito, incluindo todos os nodos de conexão. Na Figura 38 demonstra o exemplo da identificação de elementos e nodos feita pela ferramenta dado um *netlist* de uma porta lógica NAND2.

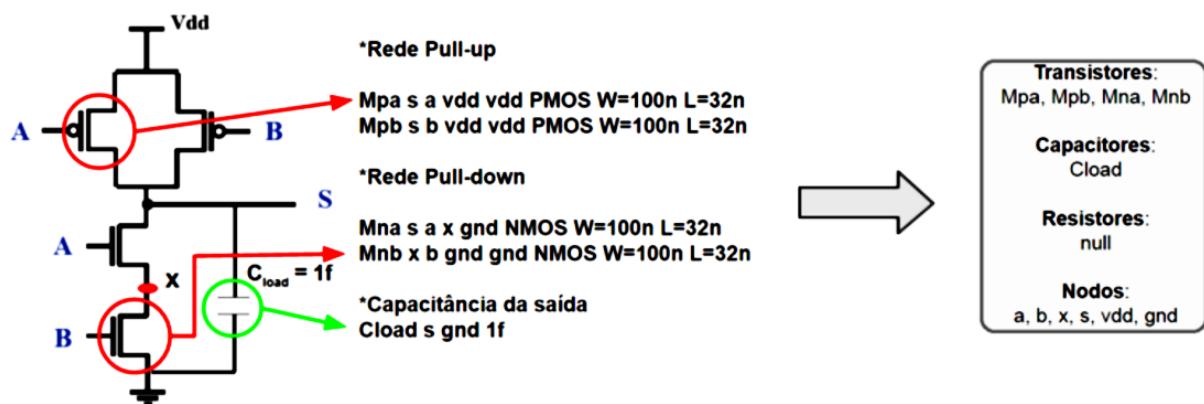


Figura 38: Identificação de elemertos e nodos

4.2.2 Simulação da Falha SET

O modelo matemático para um pulso transiente SET é definido como uma fonte de corrente transiente com forma típica de uma dupla exponencial [Messenger, 1982]. Portanto, a simulação elétrica de falhas do tipo SET em circuitos se dá pela inserção de uma fonte de corrente no nodo que se deseja injetar a falha, como mostra a Figura 39.

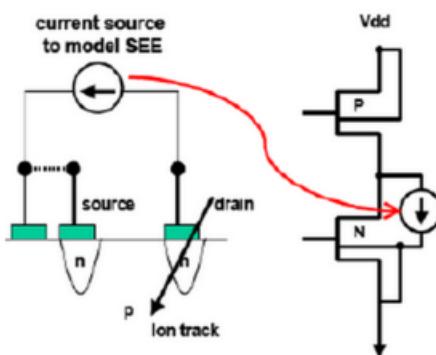


Figura 39: Fonte de corrente como modelo da falha SET em um transistor [Weatherford, 2002]

No simulador NGSPICE os circuitos precisam ser descritos em *netlist*, ou seja, uma lista de declaração de componentes todos conectados. A declaração de uma fonte de corrente exponencial se dá através da seguinte sintaxe:

`I {name} node1 node2 EXP (I1 I2 TD1 TAU1 TD2 TAU2)`

Onde:

Name: define o nome da fonte de corrente,

Node1 e node2: são os nodos de conexão da fonte no circuito,

I1: é o valor inicial da corrente (*Initial value*),

I2: é o valor referente a amplitude do pulso do sinal (*Pulsed value*),

TD1: é o tempo de atraso de subida do pulso (*Rise delay time*),

TAU1: é a constante de tempo de subida (*Rise time constant*),

TD2: é o tempo de atraso de descida do pulso (*Fall delay time*),

TAU2: é a constante de tempo de descida (*Fall time constant*),

A modelagem de uma fonte descrita em linguagem SPICE no simulador, seja de tensão ou corrente, obedece as seguintes equações:

$$I_t = \begin{cases} I1, & \text{se } 0 \leq t < TD1, \\ I1 + I2(1 - e^{(-\frac{(t-TD1)}{TAU1})}), & \text{se } TD1 \leq t < TD2, \\ I1 + I2(1 - e^{(-\frac{(t-TD1)}{TAU1})}) + I2(1 - e^{(-\frac{(t-TD2)}{TAU2})}), & \text{se } TD2 \leq t < TSTOP. \end{cases} \quad (11)$$

$$I12 = I1 - I2 \quad (12)$$

$$I21 = I2 - I1 \quad (13)$$

Analisando esse conjunto de equações para o modelo de SET proposto, podemos considerar que o valor do parâmetro I1 será sempre igual a 0 e o valor de TD1 é referente ao instante em que a injeção de falha será efetuada na simulação do circuito. Já o parâmetro TD2 se refere ao tempo de atraso de descida, ou seja, o tempo em que o sinal vai se manter no pico, foi atribuído o valor de 10ps para todas as simulações. As constantes de tempo de subida e descida são as mesmas definidas na Eq. 3 da página 43, ou seja, $TAU1 = \tau_\beta$ e $TAU2 = \tau_\alpha$. Então para a amplitude da corrente temos a Equação 15 e Equação 14:

$$I_t = \begin{cases} 0, & \text{se } 0 \leq t < TD1, \\ I2(1 - e^{(-\frac{(t-TD1)}{\tau_\beta})}), & \text{se } TD1 \leq t < TD2, \\ I2(1 - e^{(-\frac{(t-TD1)}{\tau_\beta})}) - I2(1 - e^{(-\frac{(t-TD2)}{\tau_\alpha})}), & \text{se } TD2 \leq t < TSTOP. \end{cases} \quad (14)$$

$$I2 = \frac{Q_{coll}}{\tau_\alpha - \tau_\beta} = \frac{Q_{coll}}{TAU2 - TAU1} \quad (15)$$

Portanto o modelo de um SET utilizando uma fonte de corrente é obtido através da Equação 4 que define a carga coletada pela junção PN do transistor, da Equação 15 define a amplitude do pulso transiente que será utilizado na Equação 14 que modela a forma da corrente respeitando o modelo analítico desenvolvido por Messenger [1982]. Por exemplo, para simular a injeção de um SET com os seguintes parâmetros:

$$\begin{aligned} LET &= 3MeV\cdot cm^2/mg \\ \tau_\alpha &= 320ps \\ \tau_\beta &= 10ps \end{aligned}$$

Portanto, utilizando a Equação 15 para calcular a amplitude da corrente induzida pelo SET temos:

$$I2 = \frac{Q_{coll}}{\tau_\alpha - \tau_\beta} = \frac{10.8f \times 2\mu \times 3M}{320p - 10p}$$

$$I2 = 209\mu A$$

A descrição da fonte de corrente exponencial em linguagem SPICE com os parâmetros dados e calculados seria:

```
Iset gnd SET3 EXP (0 209u 0 10p 10p 320p)
```

A Figura 40 apresenta o pulso transiente resultante da descrição da fonte de corrente exponencial realizada no SPICE. A corrente transiente decorrente da deposição de carga de uma partícula no silício possui um comportamento bem característico que pode ser modelada por uma dupla exponencial. O comprimento do pulso normalmente é curto com um tempo de subida rápido e um tempo de descida mais lento que depende das características da partícula incidente e da junção PN atingida [Gomes, 2014]. Ao clicar no botão de configuração dos parâmetros do pulso gerado pelo SET, uma nova janela vai se abrir com os três principais parâmetros que definem o formato da onda com seus respectivos valores que foram definidos como *default* na ferramenta. Ou seja, se o usuário decidir não alterar o valor desses parâmetros a ferramenta vai simular um SET com o valor de LET de $2.73MeV\cdot cm^2/mg$, tempo de subida τ_R igual a $10ps$ e tempo de descida τ_F igual a $320ps$ como mostra na Figura 41.

As falhas SET são modeladas como fontes de corrente e inseridas nos nodos, portanto a ferramenta disponibiliza ao usuário a escolha de qual nodo dentro da lista deseja inserir os SETs, assim como o número de falhas que deseja injetar. As falhas são simuladas in-

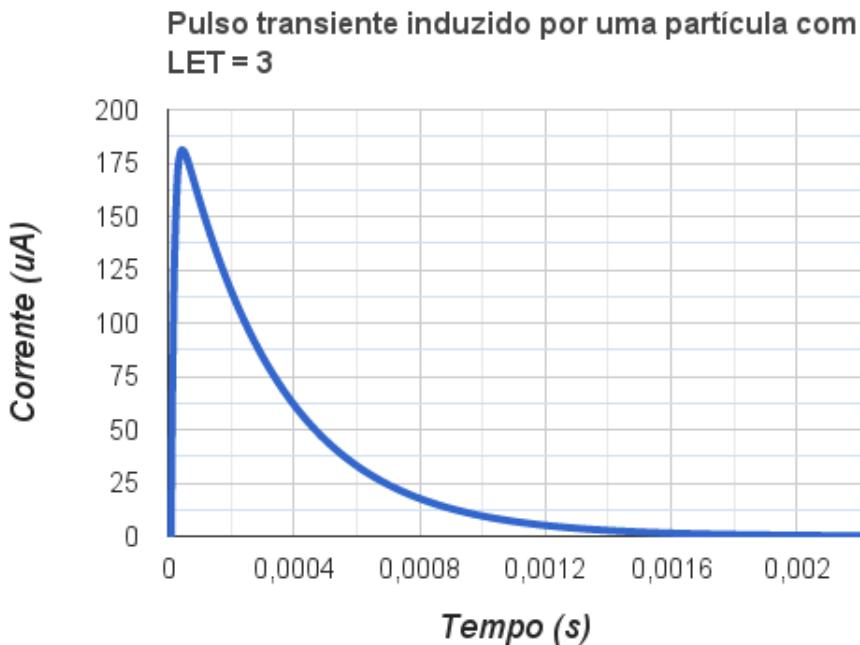


Figura 40: Pulso transiente induzido por uma partícula com LET = 3

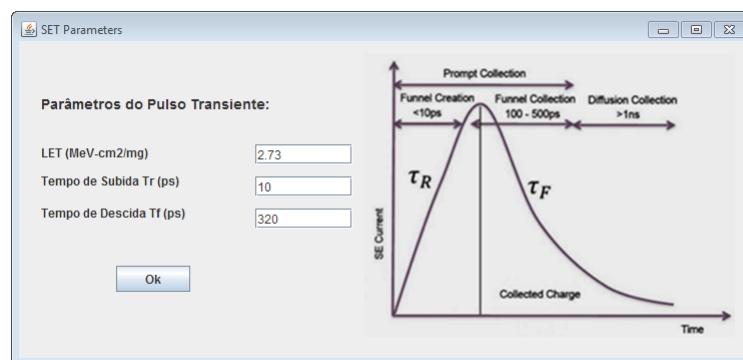


Figura 41: Interface para configuração dos parâmetros de falhas *Single Event Transient* (SET)

dividualmente, ou seja, para cada falha injetada é gerado um arquivo *netlist* de simulação elétrica no NGSPICE. Como *default* da ferramenta, em todas as simulações haverá um inversor com *fan-out* igual a 4 (Inversor FO4) representando a capacidade de saída do circuito sob teste.

4.2.3 Análise de Falhas

A análise de falha será feita através da comparação do arquivo de saída do circuito sem falha com o arquivo gerado da simulação do circuito com a injeção da falha. Para exemplificar e facilitar o entendimento, a Figura 42 apresenta uma simulação da injeção de 8 SETs no nodo de saída *s* da porta NAND2 com tensão nominal de 0.9 V e esta simulação será utilizada como referência para a explicação do funcionamento da ferramenta no decorrer da seção.

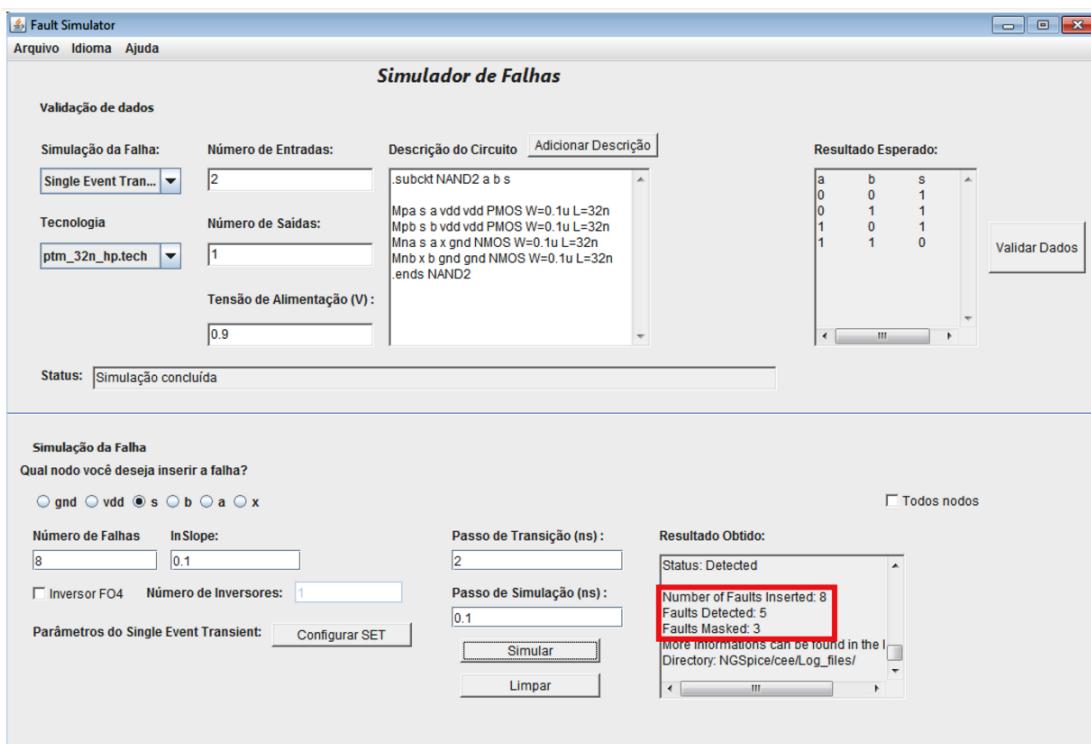


Figura 42: Simulação da injeção de 8 SETs no nodo de saída da porta NAND2

Nesta simulação foram injetadas 8 SETs com os parâmetros textitdefault da ferramenta no nodo de saída *s*. Foram detectadas 5 falhas na saída do circuito, sendo então 3 mascaradas. No *TextArea* “Resultado Obtido” a ferramenta além de indicar o número de falhas detectadas e mascaradas ela também identifica qual o instante de tempo que foi inserida assim como os estados das entradas, como pode ser visto na Figura 43.

A ferramenta também disponibiliza dois diretórios para organização dos arquivos de saída gerados: o *Data_Files* e o *Log_Files*. No diretório *Data_Files* são armazenados os arquivos de dados gerados pelo NGSPICE para cada simulação da falha. Na Figura 44 temos os arquivos de dados gerados nessa simulação.

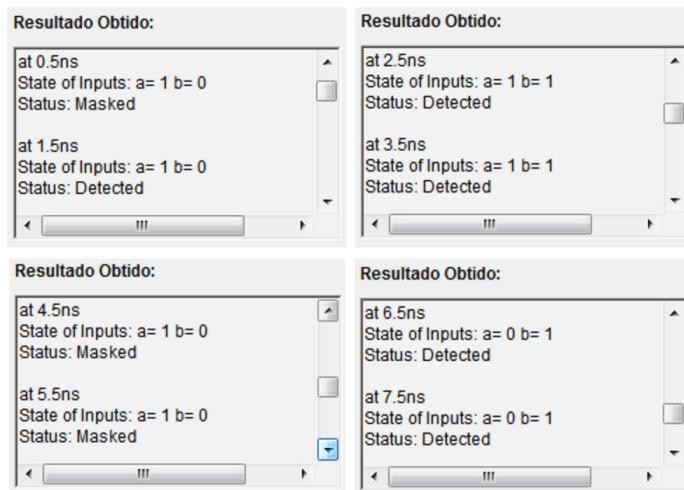


Figura 43: *TextArea* “Resultado Obtido” para a simulação de 8 SETs em uma NAND2

saidanand2.data	28/10/2015 11:12	Fichier DATA
saidanand2_set0.data	28/10/2015 11:12	Fichier DATA
saidanand2_set1.data	28/10/2015 11:12	Fichier DATA
saidanand2_set2.data	28/10/2015 11:12	Fichier DATA
saidanand2_set3.data	28/10/2015 11:12	Fichier DATA
saidanand2_set4.data	28/10/2015 11:12	Fichier DATA
saidanand2_set5.data	28/10/2015 11:12	Fichier DATA
saidanand2_set6.data	28/10/2015 11:12	Fichier DATA
saidanand2_set7.data	28/10/2015 11:12	Fichier DATA

Figura 44: Arquivos de dados gerados e armazenados no diretório Data_Files da ferramenta

O arquivo “saidanand2.data” é o arquivo de dados gerados da simulação do DUT sem a injeção de falhas. Este arquivo é utilizado pelo módulo “Análise de Resposta” para comparação com os demais arquivos onde existe a injeção de uma falha SET definida pela ferramenta. O módulo “Análise de Resposta” realiza a comparação e análise de cada simulação de falha e armazena no diretório Log_Files os arquivos de registro contendo as informações da análise de falhas mais detalhadamente do que disposto para o usuário na interface gráfica. Na Figura 45 apresenta os arquivos resultantes da simulação da NAND2 e armazenados no diretório Log_Files.

NAND2_faultAnalysis0_8.txt	28/10/2015 11:12	Document texte
NAND2_faultAnalysis1_8.txt	28/10/2015 11:12	Document texte
NAND2_faultAnalysis2_8.txt	28/10/2015 11:12	Document texte
NAND2_faultAnalysis3_8.txt	28/10/2015 11:12	Document texte
NAND2_faultAnalysis4_8.txt	28/10/2015 11:12	Document texte
NAND2_faultAnalysis5_8.txt	28/10/2015 11:12	Document texte
NAND2_faultAnalysis6_8.txt	28/10/2015 11:12	Document texte
NAND2_faultAnalysis7_8.txt	28/10/2015 11:12	Document texte

Figura 45: Arquivos de registro da análise de falhas gerados e armazenados no diretório Log_Files da ferramenta

A Figura 46 apresenta o arquivo de registro da análise da primeira falha inserida no circuito, que foi injetada no instante 0.5ns. Como não houve a detecção da falha, não há maiores informações referente a detecção, somente a indicação que a falha foi mascarada.

```
Fichier Edition Format Affichage ?
-----
Fault Analysis to SET at NAND2 circuit
-----
ANALYSIS:
single Event Strike at 0.5ns in the node: s
Number of Faults Inserted: 1
Number of Detected Faults: 0
Number of Masked Faults: 1
```

Figura 46: Arquivos de registro da análise de falhas no instante 0.5ns

Quando a falha se manifestar na saída do circuito, o arquivo *log* vai conter o instante de tempo que foi identificado a perturbação no sinal, o estado lógico das entradas neste instante, e os valores lógicos e de tensão da saída do circuito. A falha inserida no instante 3.5ns induziu uma perturbação na saída do circuito como pode ser visto na Figura 47, onde apresenta o arquivo de registro da simulação da falha neste instante. Neste momento da

simulação de injeção de falha, já foram inseridas um total de 4 falhas no circuito onde apenas uma obteve seu comportamento mascarada.

```

NAND2_faultAnalysis3_8.txt - Bloc-notes
Fichier Edition Format Affichage ?
-----
Fault Analysis to SET at NAND2 circuit
-----
ANALYSIS:
Single Event Strike at 3.5ns in the node: s

Fault Detected:
Time: 3.52ns
State of Inputs:
a= 1 b= 1
Output Status:
Logic Level obtained: 1 (1.37362 V)
Logic Level Expected: 0 (-3.839026E-4 V)

Fault Detected:
Time: 3.62ns
State of Inputs:
a= 1 b= 1
Output Status:
Logic Level obtained: 1 (1.452842 V)
Logic Level Expected: 0 (4.10176E-4 V)

Fault Detected:
Time: 3.72ns
State of Inputs:
a= 1 b= 1
Output Status:
Logic Level obtained: 1 (0.9027612 V)
Logic Level Expected: 0 (-3.652477E-4 V)

Fault Detected:
Time: 3.82ns
State of Inputs:
a= 1 b= 1
Output Status:
Logic Level obtained: 1 (1.319632 V)
Logic Level Expected: 0 (3.923087E-4 V)

Fault Detected:
Time: 3.919999999999995ns
State of Inputs:
a= 1 b= 1
Output Status:
Logic Level obtained: Undertermined (0.5012587 V)
Logic Level Expected: 0 (-3.480562E-4 V)

Fault Detected:
Time: 4.07ns
State of Inputs:
a= 1 b= transitioning
Output Status:
Logic Level obtained: 1 (0.7072074 V)
Logic Level Expected: 0 (0.3188031 V)

Number of Faults Inserted: 4
Number of Detected Faults: 3
Number of Masked Faults: 1

```

Figura 47: Arquivos de registro da análise de falhas no instante 3.5ns

Para compreender melhor os resultados gerados pelas simulações elétricas e os estados dos nodos do circuito foram definidos mais dois estados além do estado lógico 1 e estado lógico 0. O primeiro estado ocorre no caso em que a falha é identificada quando as entradas estão em transição, ou seja, dentro do período de *slope* do dispositivo. Quando isso ocorrer, o arquivo de registro indicará qual entrada está transicionando definindo o estado de *transitioning*. No arquivo de registro da análise da falha em 3.5ns na Figura 47 identifica uma falha na saída do circuito quando a entrada b estava em transição no instante 4.07ns. E o segundo estado foi definido para quando a saída se encontrar na margem de ruído onde não é possível identificar se o valor lógico a considerar é 1 ou 0. Este estado foi denominado de estado de “indeterminado”. Na Figura 47 foi identificado uma falha

com saída no estado indeterminado no instante 3.91ns.

Para definir o estado lógico da saída do circuito foi utilizado uma margem de ruído de 20% como apresenta a Figura 48. Visto que ambas as entradas no instante 3.91ns possuem valores lógicos 1 a saída esperada é o valor lógico 0, no entanto a saída obtida está em 0.501 V que se situa acima de 40% de VDD mas abaixo de 60% de VDD representando um estado lógico indeterminado.

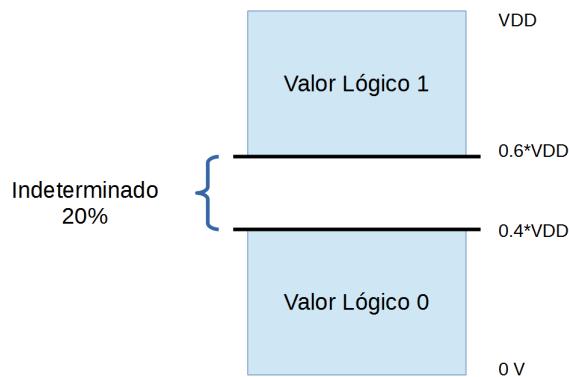


Figura 48: Margem de ruído definido na ferramenta

Além da análise já disponível pela ferramenta nos arquivos de registro, também é possível obter uma análise mais detalhada utilizando os dados fornecidos pela ferramenta e dispostos no diretório Data_Files. Ainda com os dados gerados pela simulação da injeção de 8 SETs na NAND2, a Figura 49 e a Figura 50 apresentam gráficos com os da-

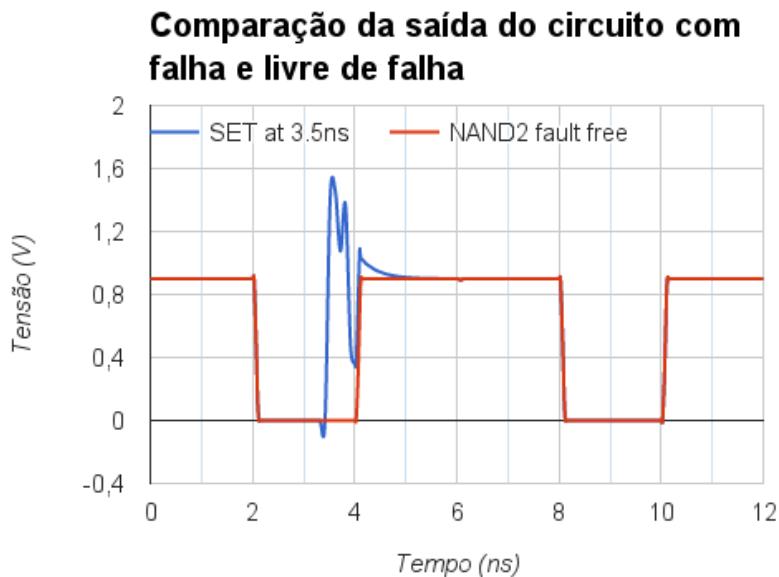


Figura 49: Gráfico da saída do circuito com falha no nodo s no instante 3.5ns e saída do circuito sem falha

dos do valor de saída do circuito sem a inserção da falha, em vermelho, e os dados do circuito com a injeção de falha no nodo s no instante 3.5ns de simulação, em azul.

O gráfico da Figura 49 apresenta uma comparação da saída do circuito livre de falhas com a saída do circuito após a injeção da falha para todo tempo de simulação, que neste caso foram 12ns. É nítido o comportamento e a identificação da influência gerada pela ionização da partícula no silício, quando ambas as entradas estavam no estado lógico 1 (instante 3.5ns), na saída deste circuito. Uma visão ampliada do pulso transiente é apresentado na Figura 50.

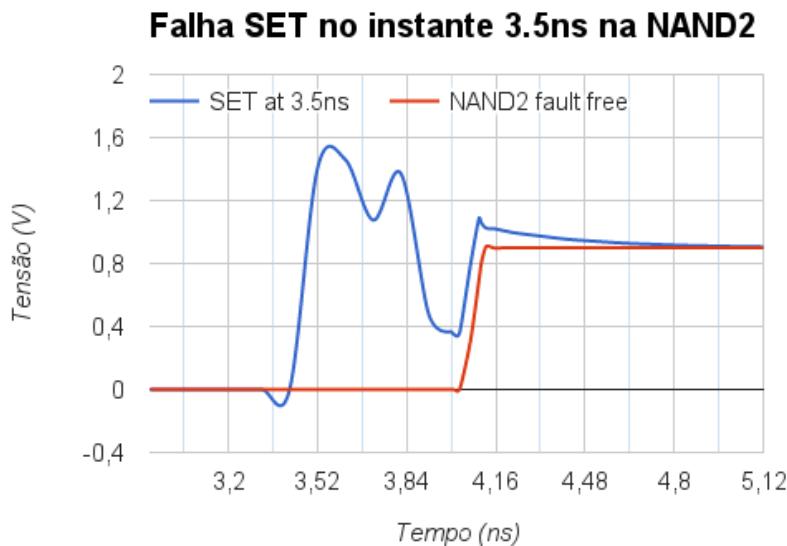


Figura 50: Gráfico ampliado da falha SET no instante 3.5ns e saída do circuito sem falha

Uma outra funcionalidade desenvolvida na ferramenta para avaliar a propagação de um SET nos níveis lógicos seguintes a ocorrência da falha, foi a utilização de **Cadeia de Inversores** na saída do DUT como mostra a Figura 51. Na interface gráfica existe um *checkbox* para que o usuário possa ter a opção de inserir a cadeia, assim como estipular a quantidade de inversores que esta irá conter. Na Figura 52, a mesma simulação de 8 SETs na NAND2 foi executada, no entanto com uma cadeia de inversores de tamanho 10 na saída. Já se pode perceber que uma falha não foi propagada, ou seja, foi mascarada eletricamente pela cadeia.

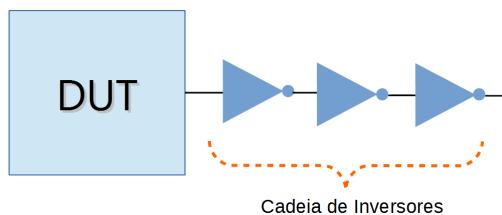


Figura 51: Cadeia de Inversores de tamanho 3

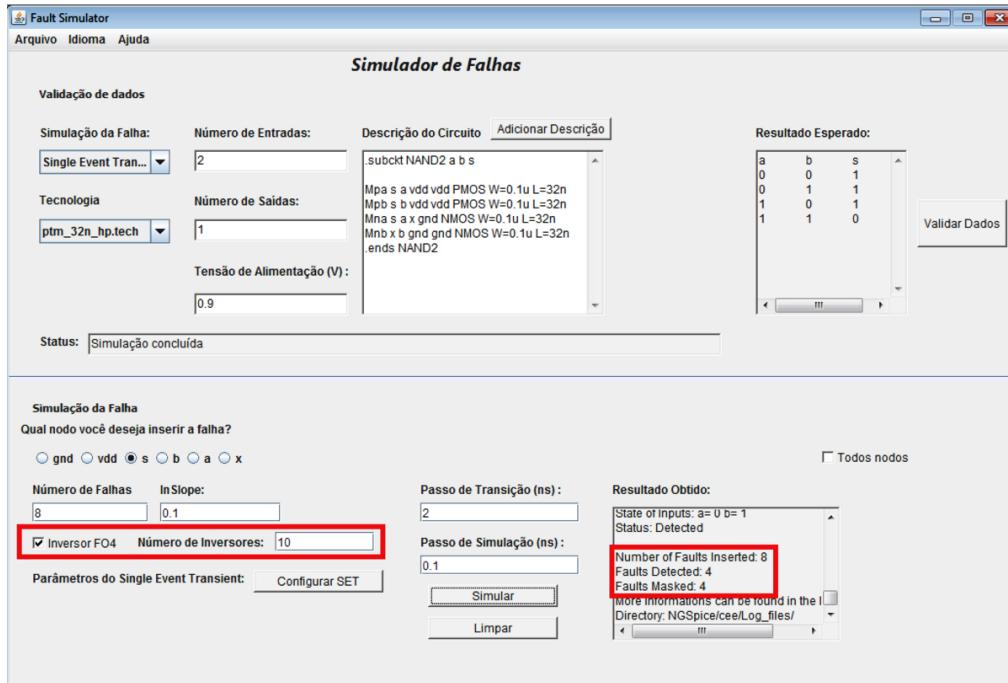


Figura 52: Simulação de 8 SETs na NAND2 com cadeia de inversores de tamanho 10

A falha inserida em 6.5ns anteriormente detectada na simulação sem os inversores não foi propagada até o fim da cadeia. Podemos analisar as informações do arquivo *log* da simulação sem a cadeia de inversores na Figura 53 e identificar que o transiente inicialmente gerado no nodo *s* quando 6.5ns de simulação não obteve uma amplitude grande o suficiente para alterar o valor lógico de saída do circuito, portanto foi mascarado eletricamente pela cadeia de inversores.

```
NAND2_faultAnalysis6_8.txt - Bloc-notes
Fichier Edition Format Affichage ?
-----
Fault Analysis to SET at NAND2 circuit
-----
ANALYSIS:
Single Event Strike at 6.5ns in the node: s

Fault Detected:
Time: 8.07ns
State of Inputs:
a= transitioning b= 1
Output Status:
Logic Level Obtained: 1 (0.5425753 V)
Logic Level Expected: Undertermined (0.5209213 V)

Number of Faults Inserted: 7
Number of Detected Faults: 4
Number of Masked Faults: 3
```

Figura 53: Arquivo *log* da falha inserida em 6.5ns sem a cadeia de inversores

5 EXPERIMENTOS E RESULTADOS

Para a análise da inserção de falhas SET em células combinacionais utilizando a ferramenta desenvolvida, três circuitos foram escolhidos de uma biblioteca de células comercial de 45nm. As células escolhidas foram: um meio somador HA_X1, uma porta lógica complexa AOI21_X1 e uma porta lógica básica, a NAND de duas entradas NAND2_X1. As tabelas verdades do meio somador e da NAND2 são apresentadas nas Tabelas 9 (a) e Tabela 9 (c). A célula AOI21_X1 efetua a operação lógica $\overline{(A \vee (B1 \wedge B2))}$ e a sua tabela verdade corresponde a Tabela 9 (b).

Tabela 1: Tabelas Verdades dos Circuitos

(a) HA_X1				(b) AOI21_X1				(c) NAND2_X1		
A	B	CO	S	A	B1	B2	ZN	A	B	ZN
0	0	0	0	0	0	0	1	0	0	1
0	1	0	1	0	0	1	1	0	1	1
1	0	0	1	0	1	0	1	1	0	1
1	1	1	0	0	1	1	0	1	1	0

Para todos os experimentos deste trabalho, o número de falhas inseridas foi escolhido levando em consideração aos arcos da função do circuito de modo que duas falhas fossem inseridas para cada período. O nodo de saída dos circuitos constitui do pior caso onde uma partícula pode incidir, pois transientes induzidos em nodos internos sofrem atenuação elétrica até serem propagada a saída da circuito [Mohanram, 2005]. Portanto todas as simulações deste trabalho foram realizadas no nodo de saída. Na simulação da HA_X1 foram injetadas o total de 22 falhas no nodo de saída do circuito. Para a célula AOI21_X1 e NAND2_X1 foram 26 e 12 falhas, respectivamente. Na primeira análise, os parâmetros considerados para simulação do SET foram: $LET = 1MeV \cdot cm^2/mg$, tempo de subida τ_R igual a $10ps$ e tempo de descida τ_F igual a $320ps$. Todas as células foram analisadas com dois tipos de tecnologia preditiva de alto desempenho (*High Performance - HP*),

a de 45nm e de 16nm [PTM, 2013]. Como a propagação de falhas SET tem relação com a frequência de operação do circuito, todas as simulações levaram em consideração frequências de 500 MHz, 1 GHz e 2 GHz. Por fim, também foi realizado uma análise levando em consideração ao LET da partícula incidente e uma análise da confiabilidade segundo os vetores de entradas.

5.1 Análise da Influência da Frequência de Operação

A ferramenta desenvolvida permite analisar a influência da frequência de operação do circuito no número de falhas SET detectadas. A Figura 54 apresenta um gráfico de dispersão com as taxas de falhas detectadas (em porcentagem) para as três células combinacionais sob teste de confiabilidade neste trabalho para um LET de $1\text{MeV}\cdot\text{cm}^2/\text{mg}$ e tecnologia empregada de 45nm HP.

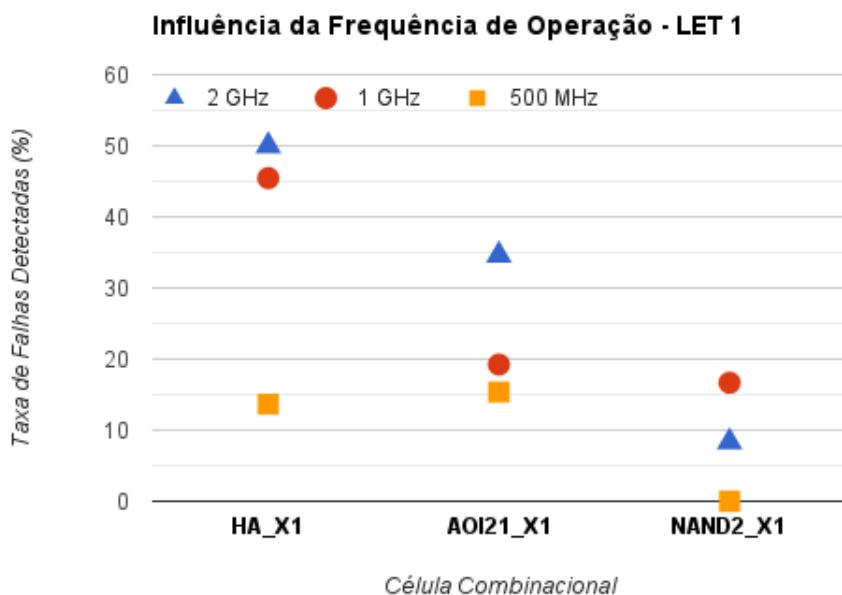


Figura 54: Comparação da taxa de falhas detectadas entre os DUTs levando em consideração frequência de operação para $\text{LET}=1\text{MeV}\cdot\text{cm}^2/\text{mg}$ e tecnologia de 45nm HP

Apesar de cada circuito analisado apresentar um comportamento característico, ainda é possível observar que existe uma tendência no aumento da taxa de falhas detectadas para o aumento da frequência de operação dos circuitos. Para a célula HA_X1 o aumento de 500MHz para 1GHz reflete um aumento bem significativo no percentual de falhas detectadas no circuito. Já para a célula AOI21_X1 a alteração da frequência de 1 GHz para 2 GHz demonstrou ser a mais sensível, sendo as frequências de 500MHz e 1GHz com percentual de falha bastante semelhante. A célula NAND2_X1 apresentou um comportamento contrário ao esperado, com o aumento da frequência de 1GHz para 2GHz a mesma

apresentou uma taxa de falhas menor quando comparado com o circuito operando em 1GHz. A investigação do porquê deste comportamento inesperado não faz parte do escopo deste trabalho, somente demonstra que a ferramenta fornece dados suficientes para a futura análise.

Na Figura 55 também é apresentado um gráfico de dispersão para comparação das taxas de falhas detectadas. Neste exemplo, o LET considerado é de $3MeV\cdot cm^2/mg$ e tecnologia de 45nm HP para os três circuitos.

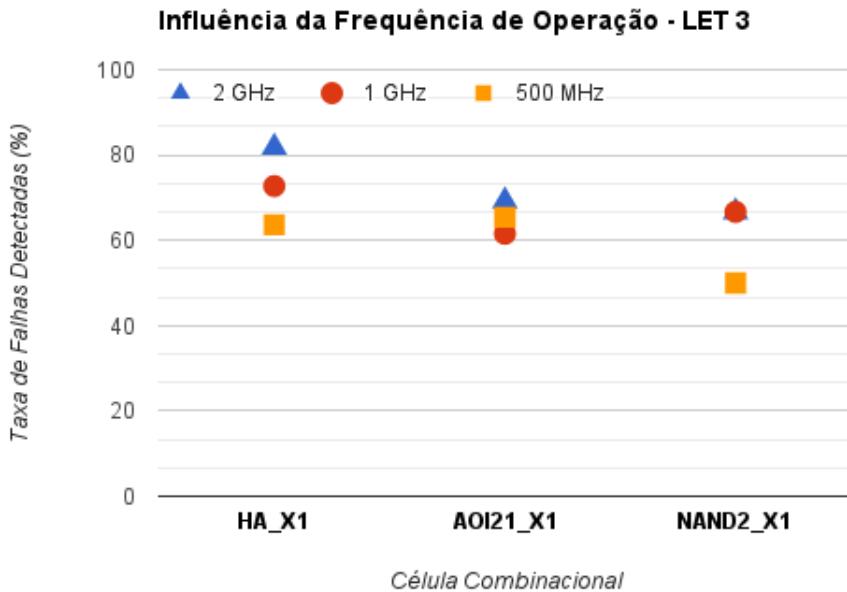


Figura 55: Comparação da taxa de falhas detectadas entre os DUTs levando em consideração frequência de operação para $LET = 3MeV\cdot cm^2/mg$ e tecnologia de 45nm HP

É possível observar que a célula AOI21_X1 possui taxas de falhas muito semelhantes para todas as frequências quando se trata de LET 3. O menor percentual de falha encontrado foi para o circuito operando em 1 GHz. Para o circuito da NAND2_X1 tanto para frequência de 1 GHz e para 2 GHz o número de falhas permaneceu estável em 66,67% do total de falhas injetadas.

5.2 Comparação dos efeitos de SET em diferentes tecnologias

A Figura 56 apresenta um gráfico que permite comparar as taxas de falhas detectadas para a injeção de falhas de $LET = 1MeV\cdot cm^2/mg$ no nodo s do circuito somador levando em consideração tanto a tecnologia empregada como a frequência de operação. É possível observar que para frequências de operação elevadas a taxa de falhas detectadas para esse circuito tende a aumentar independente da tecnologia empregada. No entanto, o circuito

com frequência de operação de 1 GHz demonstrou não ser tão sensível quanto as duas tecnologias empregadas visto que tanto para 45nm quanto para 16nm podemos dizer que a taxa de falhas detectadas se concentrou em 50%. O maior acréscimo na taxa de falhas foi obtido para a frequência de operação igual a 500MHz de 13,64% na tecnologia de 45nm para 45,45% na tecnologia de 16nm. Segundo os dados, para a tecnologia de 16nm o percentual de falhas detectadas quando comparando o circuito com frequência de 1 GHz e de 500 MHz fica em torno de 50%.

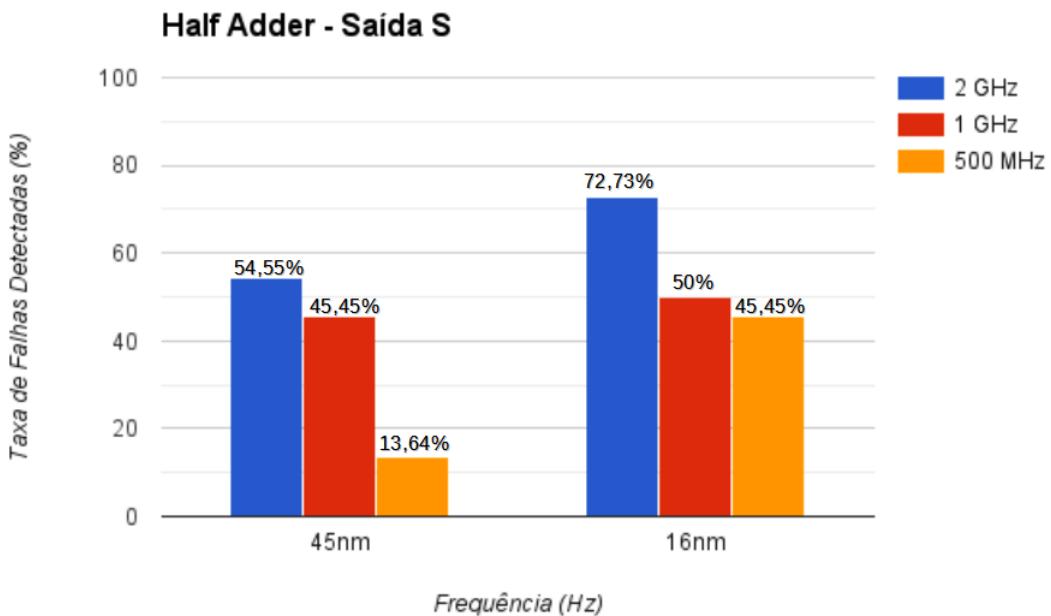


Figura 56: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET = 1 MeV \cdot cm^2/mg$

Assim como a Figura 56, a Figura 57 ilustra os dados obtidos para simulações de injeção de falhas de $LET = 3 MeV \cdot cm^2/mg$ no nodo *s* do circuito somador, ou seja, uma maior energia é depositada pela partícula no circuito. Os resultados das simulações foram bem interessantes pois o circuito comportou de maneira inesperada. Para ambas as tecnologias estudadas, o circuito obteve a mesma taxa de falhas detectadas quando o circuito operava em 2 GHz. Ou seja, isso pode implicar que para partículas mais pesadas a miniaturização/dimensionamento não possui uma forte influência na confiabilidade deste circuito.

Outra análise possível obter é que, para a tecnologia de 16nm, a frequência de 1 GHz e 2 GHz também possuem taxa de falhas equivalentes. Portanto, considerando somente as falhas por $LET = 3 MeV \cdot cm^2/mg$, o projetista que utilizar essa tecnologia não precisa se preocupar com o aumento da taxa de falhas quando tiver que optar entre a frequência de 2 GHz e 1 GHz para a célula HA_X1.

A Figura 58 apresenta a comparação das taxas de falhas detectadas para a célula NAND2_X1 para partículas de LET 1 em ambas tecnologias de estudo. Uma característica

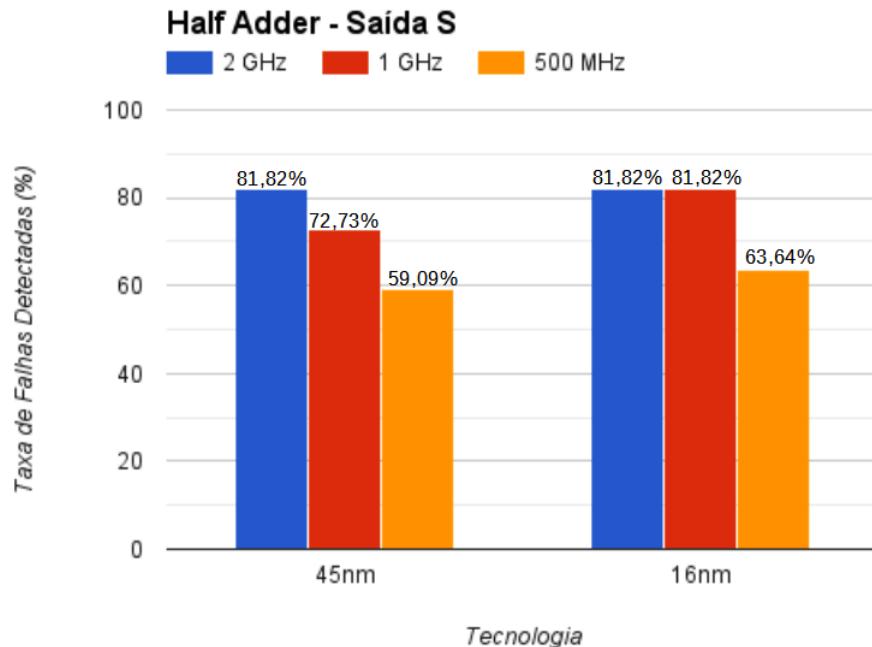


Figura 57: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET = 3 MeV \cdot cm^2/mg$

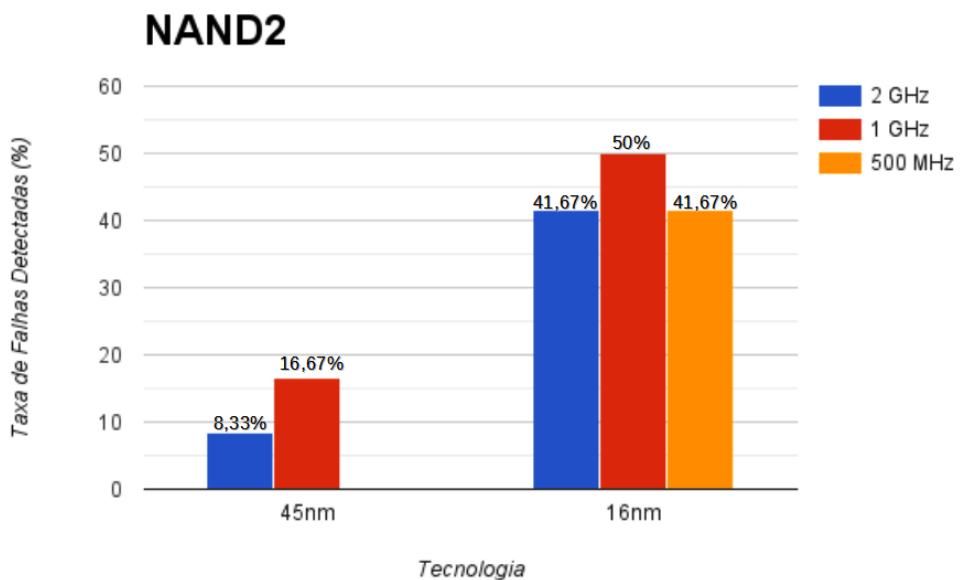


Figura 58: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET = 1 MeV \cdot cm^2/mg$

interessante observado para este circuito é que a mudança de tecnologia de 45nm HP para 16nm HP teve um impacto bastante significativo no percentual de falhas detectadas. Para frequência de 500MHz, a célula NAND2_X1 em tecnologia de 45nm HP apresentou nenhuma falha detectada na saída do circuito, no entanto se a tecnologia empregada for de 16nm HP o circuito passa a ter 41,67% de falhas detectadas.

5.3 Efeitos de diferentes LETs

Cada falha SET induzida no circuito possui características únicas como amplitude, duração e total de energia depositada no silício [Wang and Agrawal, 2008]. Portanto, o usuário da ferramenta desenvolvida nesse trabalho tem como opção a simulação de diversos tipos de SET conforme a configuração de parâmetros que definem a amplitude, duração e a carga depositada pela partícula. A Figura 59 apresenta uma comparação dos efeitos de dois tipos de SET configurados na ferramenta, $LET = 1 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ e $LET = 3 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, para o circuito somador em tecnologia de 45nm HP. É possível observar que todas as taxas de falhas detectadas sofreram um aumento nas simulações com partículas de LET 3 devido a deposição de uma quantidade maior de carga no circuito.

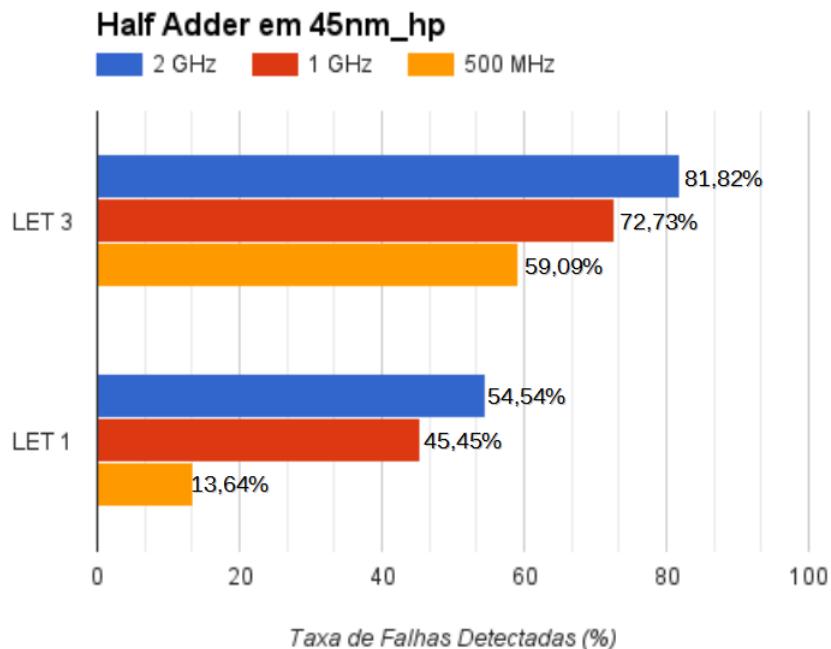


Figura 59: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET=1$

Essa característica também pode ser observada para a célula AOI21_X1, como mostra a Figura 60. No entanto, o circuito mostrou ser bastante sensível a SET com LET 3 comparado com SET de LET 1. Para as frequências de 500MHz e 1GHz a taxa de falhas detectadas para LET 3 chegou a ser 3 vezes maior do que para LET 1.

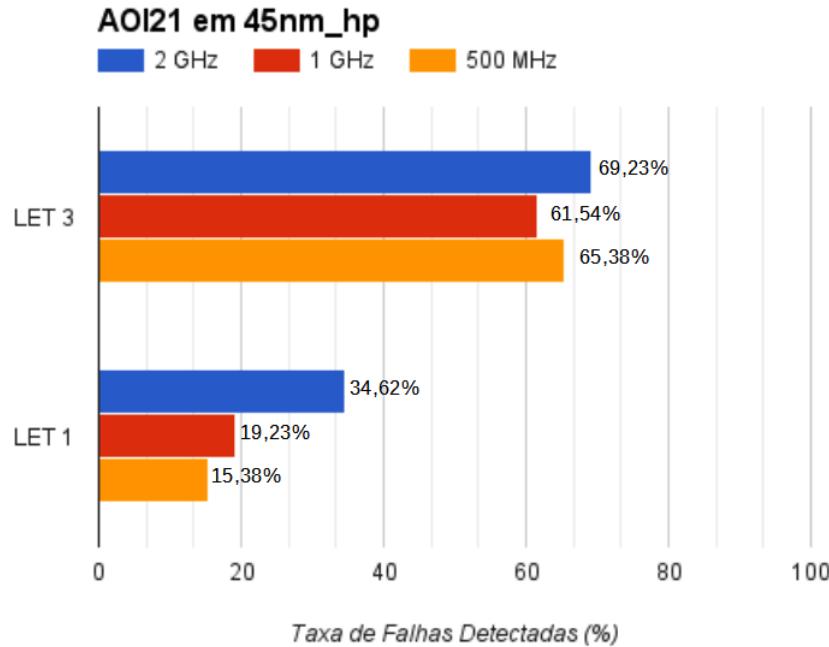


Figura 60: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para LET=3

5.4 Análise da Confiabilidade em função dos Vetores de Entradas

Através dos dados gerados pela ferramenta ainda é possível obter uma avaliação da confiabilidade de um circuito segundo seus vetores de entrada. O resultado de todas as simulações para o meio somador HA_X1 utilizando a tecnologia de 16nm HP está disposto na Tabela 2, e os resultados utilizando a tecnologia de 45nm HP se encontra na Tabela 3.

Tabela 2: Resultado da inserção de falhas SET no nodo s do circuito HA_X1 utilizando a tecnologia de 16nm HP para cada vetor de entrada

Vetor de Entrada	Tecnologia de 16nm.hp					
	$f = 500 \text{ MHz}$		$f = 1 \text{ GHz}$		$f = 2 \text{ GHz}$	
	LET = 1	LET = 3	LET = 1	LET = 3	LET = 1	LET = 3
A = 0; B = 0	2/6	6/6	2/6	6/6	5/6	6/6
A = 0; B = 1	2/6	2/6	3/6	4/6	4/6	4/6
A = 1; B = 0	2/6	2/6	3/6	4/6	5/6	6/6
A = 1; B = 1	4/4	4/4	3/4	4/4	2/4	2/4

Ao analisar os dados da Tabela 2 e 3 que especificam a detecção de falhas segundo os vetores de entrada do circuito, é possível a identificação dos vetores mais sensível da arquitetura. Por exemplo, para tecnologia de 16nm a célula HA_X1 operando em 1 GHz apresenta o vetor (A=1, B=1) como o mais sensível pois para LET igual a um, 3 de 4 falhas inseridas foram detectadas, e para LET igual a três, o total de 4 para 4 falhas inseridas foram detectadas. No entanto, quando operando em 2 GHz a arquitetura apresenta os

vetores ($A=0, B=0$) e ($A=1, B=0$) com menor robustez a presença de falhas SET.

Tabela 3: Resultado da inserção de falhas SET no nodo s do circuito HA_X1 utilizando a tecnologia de 45nm HP para cada vetor de entrada

Tecnologia de 45nm_hp						
	$f = 500 \text{ MHz}$		$f = 1 \text{ GHz}$		$f = 2 \text{ GHz}$	
Vetor de Entrada	LET = 1	LET = 3	LET = 1	LET = 3	LET = 1	LET = 3
$A = 0; B = 0$	1/6	5/6	0/6	6/6	2/6	6/6
$A = 0; B = 1$	1/6	2/6	4/6	3/6	3/6	4/6
$A = 1; B = 0$	0/6	2/6	2/6	3/6	5/6	6/6
$A = 1; B = 1$	1/4	4/4	4/4	4/4	2/4	2/4

Ao analisar a Tabela 3 também é possível observar que o meio somador utilizado neste experimento para a tecnologia de 45nm HP ao operar em 2 GHz apresenta os mesmos vetores sensíveis comparando quando é empregada a tecnologia de 16nm HP na mesma frequência, os vetores ($A=0, B=0$) e ($A=1, B=0$).

6 CONSIDERAÇÕES FINAIS

Quando a tecnologia empregada para concepção de circuitos integrados não era estabelecida em escala nanométrica a ocorrência de falhas de radiação do tipo *Single Event Transient* era considerada irrelevante. Devido a alta concentração de pesquisas voltadas para as falhas *Single Event Upset* que apresentavam um grande índice de ocorrência em memórias menos esforços eram direcionados para o estudo e mitigação de falhas SET em circuitos lógicos combinacionais. No entanto, com a redução das dimensões do transistor e da tensão de alimentação dos dispositivos, juntamente com o aumento da frequência de operação dos sistemas computacionais, a ocorrência de falhas SET tem se tornado uma preocupação relevante para assegurar a confiabilidade dos sistemas. Com a evolução da microeletrônica, as capacitâncias intrínsecas dos circuitos e os atrasos de propagação são reduzidos e portanto favorecem a probabilidade de um pulso transiente não ser mascarado e ser propagado para uma circuito lógico sequencial. Portanto, para avaliar o comportamento de circuitos sob falhas se faz necessário do uso de análises detalhadas e de ferramentas de EDA capazes de lidar com falhas SET, prevendo alguns possíveis erros em busca de assegurar a confiabilidade dos circuitos combinacionais.

Dessa forma, a partir do estudo realizado sobre o comportamento de circuitos combinacionais na presença de falhas transientes do tipo SET em tecnologias nanométricas, foi possível realizar a expansão da ferramenta desenvolvida por Zimpeck [2013] que abrange apenas falhas permanentes. O objetivo dessa expansão foi tornar possível a automação da inserção de falhas transientes do tipo SET através de simulações elétricas, visto sua grande importância em circuitos modernos. Atualmente, é possível obter através da ferramenta a cobertura de falhas permanentes do tipo *Stuck-Open* e *Stuck-On*, e de falhas transientes do tipo *Single Event Transient* (SET). A ferramenta demonstrou ter grande potencial para a realização de diversos conjuntos de análises de injeção de falhas.

A expansão da ferramenta permite ao usuário controle total dos passos de simulação e de transição da injeção de falhas, assim como a definição do período de *slope* do circuito. Com isso, é possível realizar o estudo da influência da freqüência de operação na detecção de falhas SET. Também é possível avaliar o impacto que diferentes tecnologias ao serem

empregadas no mesmo circuito afeta na cobertura de falhas SET. A ferramenta integra quatro modelos preditivos disponibilizados pela PTM [PTM, 2013], porém o usuário tem a opção de inserir qualquer outro modelo de tecnologia desde que o simulador elétrico NGSPICE tenha compatibilidade. Devido a variedade de fontes de radiação e os mecanismos físicos de interação, uma única partícula pode induzir diversos pulsos transientes no silício. Além disso, falhas SET possuem características que dependem basicamente do dispositivo afetado e da partícula incidente. Por este motivo, a ferramenta possui a possibilidade de configuração dos três parâmetros básicos para determinação da amplitude, da duração e da carga depositada pela partícula. Ainda é possível a análise da confiabilidade em função dos vetores de entradas do circuito.

Neste trabalho foram realizadas análises para três circuitos de uma biblioteca de células comercial de 45nm: um meio somador HA_X1, uma porta lógica complexa AOI21_X1 e uma porta lógica básica, a NAND de duas entradas NAND2_X1. Diversos experimentos foram realizados utilizando a ferramenta e foi possível extrair características importantes do comportamento de cada célula sob o efeito de falhas SET. Uma simples análise foi realizada no capítulo anterior, mas ainda é possível obter uma análise com um maior detalhamento através dos arquivos gerados pela ferramenta.

Todo o conjunto de análises de injeção de falhas disponível pela ferramenta, independente do foco na frequência, na tecnologia, na intensidade do pulso ou nos vetores de entrada, possibilita a identificação das regiões e estados do circuito mais sensíveis a falhas SET, contribuindo para o desenvolvimento de técnicas de tolerância a falhas mais precisas e eficientes.

6.1 Produção Científica

A seguir é apresentada uma bibliografia das pesquisas realizadas que contribuiram para a compreensão e desenvolvimento do presente trabalho:

- (a) AGUIAR, Y. Q. de; ZIMPECK, A. L.; MACIEL, B. K.; MEINHARDT, C.; BUTZEN P. F., **Otimização do dimensionamento dos transistores de um circuito somador para redução de atrasos e consumo de potência**, MPU, FURG, Rio Grande, outubro de 2011.
- (b) ZIMPECK, A. L.; AGUIAR, Y. Q. de; MACIEL, B. K.; MEINHARDT, C.; BUTZEN P. F., **Projeto de um somador tolerante a falhas com baixo consumo de potência**, MPU, FURG, Rio Grande, outubro de 2011.
- (c) AGUIAR, Y. Q. de; ZIMPECK, A. L.; MEINHARDT, C., **Automação da inserção de falhas Single Event Transient em Circuitos Combinacionais em tecnologias nanométricas**, MPU, FURG, Rio Grande, outubro de 2015.

- (d) AGUIAR, Y. Q. de; ZIMPECK, A. L.; MEINHARDT, C., **A tool for Fault Insertion Simulation in CMOS circuits**, IEEE Circuits and Systems Workshop (CASSW), UFRGS, Porto Alegre, outubro de 2015.
- (e) AGUIAR, Y. Q. de; ZIMPECK, A. L.; MEINHARDT, C., **NFAS-tool: avaliação da confiabilidade de células combinacionais sob falhas de radiação do tipo SET**, XXII IBERCHIP Workshop, UFSC, Santa Catarina, fevereiro de 2016. (Aguardando aprovação)

6.2 Trabalhos Futuros

A modelagem e inserção de falhas SET por simulação elétrica demonstrou ser uma tarefa com um alto nível de complexidade devido aos seus mecanismos físicos e sua natureza transitória. Por este motivo, alguns trabalhos futuros são necessários para tornar a ferramenta mais precisa durante as análises.

Primeiramente, a identificação dos nós mais sensíveis a falhas poderá ser feita através do método de contagem dos pesos de cada nodo. Visto que, circuitos combinacionais são sensíveis a falhas em quaisquer junções PN, esse método se baseia na quantidade de junções PN ligadas a cada nodo. O número total de junções PN é calculado levando em consideração o número de transistores presentes no circuito. Por exemplo, uma porta lógica NAND2 com o arranjo e o leiaute físico definido como mostra a Figura 61, possui um total de 8 junções PN e 4 nodos sensíveis a falhas: VDD, S, X e GND. Para cada nodo do circuito será definido um peso considerando o número de junções PN que o pertence. Considerando a porta lógica NAND2, os nós VDD, S, X e GND possuem pesos iguais a 2, 3, 2 e 1, respectivamente.

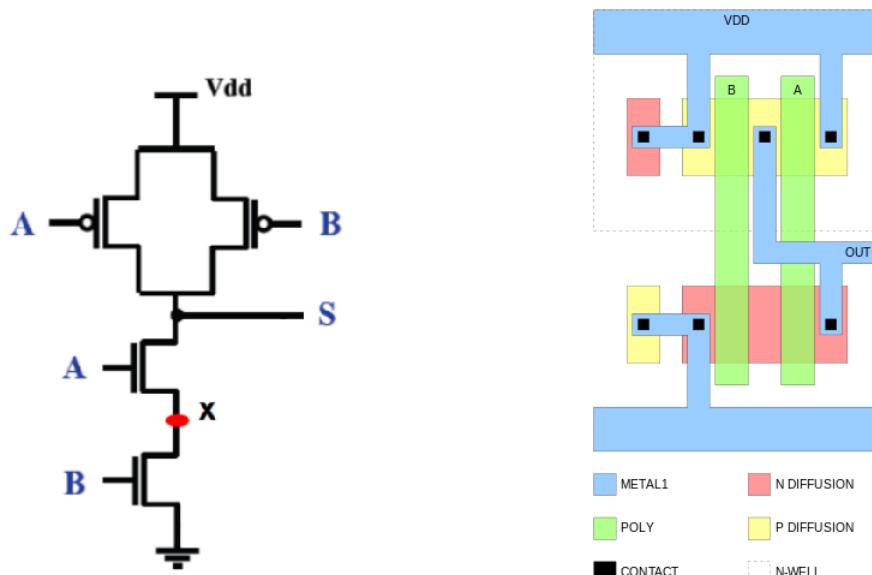


Figura 61: Esquemático de transistores e o layout físico de uma porta NAND2

A realização do cálculo da cobertura de falhas total relacionando o número total de junções PN com os vetores de teste presentes nos circuitos também é importante para tornar as análises mais precisas. Considerando que temos uma porta lógica de duas entradas, o número total de vetores de teste será igual a quatro. Para cada uma dessas combinações de vetores de teste (00, 01, 10, 11), inserções de falhas serão feitas em todas as junções PN do circuito. Ao final das simulações, teremos o número total de nós que falharam para cada uma das combinações de entrada. Considerando como exemplo a porta lógica NAND2, que possui 8 junções PN em sua topologia, ao total teremos no máximo 32 possíveis casos de falha a medida que somamos o total de falhas de cada combinação de entrada.

REFERÊNCIAS

aaaa.

Thiago Rocha de Assis. *Analysis of Transistor Sizing and Folding Effectiveness to Mitigate Soft Errors*. PhD thesis, UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL, 2009.

C.R.A. Augusto, C.E. Navia, K.H. Tsui, H. Shigueoka, P. Miranda, R. Ticona, A. Velarde, and O. Saavedra. Simultaneous observation at sea level and at 5200 m.a.s.l. of high energy particles in the south atlantic anomaly. *Astroparticle Physics*, 34(1):40 – 47, 2010. ISSN 0927-6505. doi: <<http://dx.doi.org/10.1016/j.astropartphys.2010.04.005>>. URL <<http://www.sciencedirect.com/science/article/pii/S0927650510000800>>.

Algirdas Avizienis. The four-universe information system model for the study of fault tolerance. In *Proceedings of 12th International Symposium on Fault-Tolerant Computing*, pages 6–13, 1982.

José Rodrigo Azambuja, Fernanda Kastensmidt, and Jürgen Becker. *Hybrid Fault Tolerance Techniques to Detect Transient Faults in Embedded Processors*. Springer, 2014.

Anupama Balasubramanian. *Measurement and analysis of single event induced crosstalk in nanoscale cmos technologies*. PhD thesis, Vanderbilt University, 2008.

Tiago Roberto Balen. *Efeitos da radiação em dispositivos analógicos programáveis (FPAs) e técnicas de proteção*. PhD thesis, Universidade Federal do Rio Grande do Sul, UFRGS, 2010.

RC Baumann. Soft errors in commercial integrated circuits. *International Journal of High Speed Electronics and Systems*, 14(02):299–309, 2004.

Robert Baumann. Soft errors in advanced computer systems. *Design & Test of Computers, IEEE*, 22(3):258–266, 2005a.

Robert C Baumann. Radiation-induced soft errors in advanced semiconductor technologies. *Device and Materials Reliability, IEEE Transactions on*, 5(3):305–316, 2005b.

D Binder, EC Smith, and AB Holman. Satellite anomalies from galactic cosmic rays. *Nuclear Science, IEEE Transactions on*, 22(6):2675–2680, 1975.

Shekhar Borkar. Designing reliable systems from unreliable components: the challenges of transistor variability and degradation. *Micro, IEEE*, 25(6):10–16, 2005.

- Shekhar Borkar. Thousand core chips: a technology perspective. In *Proceedings of the 44th annual Design Automation Conference*, pages 746–749. ACM, 2007.
- Shekhar Borkar. Design perspectives on 22nm cmos and beyond. In *Proceedings of the 46th Annual Design Automation Conference*, pages 93–94. ACM, 2009.
- Shekhar Borkar, Tanay Karnik, Siva Narendra, Jim Tschanz, Ali Keshavarzi, and Vivek De. Parameter variations and impact on circuits and microarchitecture. In *Proceedings of the 40th annual Design Automation Conference*, pages 338–342. ACM, 2003.
- J.C. Boudonot. Radiation space environment. *2nd International School on the Effects of Radiation on Embedded Systems for Space Applications*, 2006.
- Mihai Budiu. Application-specific hardware: Computing without cpus. *Selected Papers from the*, page 1, 2001.
- RG Bushroe, S DasGupta, A Dengi, P Fisher, S Grout, G Ledebach, NS Nagaraj, and R Steele. Chip hierarchical design system (chds): a foundation for timing-driven physical design into the 21st century. In *Proceedings of the 1997 international symposium on Physical design*, pages 212–217. ACM, 1997.
- VICTOR A CARRENO, G Choi, and RK Iyer. Analog-digital simulation of transient-induced logic errors and upset susceptibility of an advanced control system. 1990.
- Michael Andrew Clemens. *ENERGY DEPOSITION MECHANISMS FOR PROTON-AND NEUTRON-INDUCED SINGLE EVENT UPSETS*. PhD thesis, Vanderbilt University, 2012.
- Cristian Constantinescu. Trends and challenges in vlsi circuit reliability. *IEEE micro*, (4):14–19, 2003.
- Daniel J Cummings. *Enhancements in CMOS device simulation for single-event effects*. PhD thesis, University of Florida, 2010.
- C Detcheverry, C Dachs, E Lorfevre, C Sudre, G Bruguier, JM Palau, J Gasiot, and R Ecoffet. Seu critical charge and sensitive area in a submicron cmos technology. 1997.
- Paul E Dodd. Device simulation of charge collection and single-event upset. *Nuclear Science, IEEE Transactions on*, 43(2):561–575, 1996.
- Paul E Dodd and Lloyd W Massengill. Basic mechanisms and modeling of single-event upset in digital microelectronics. *Nuclear Science, IEEE Transactions on*, 50(3):583–602, 2003.
- Denis Teixeira Franco. *Fiabilité du signal des circuits logiques combinatoires sous fautes simultanées multiples*. PhD thesis, Télécom ParisTech, 2008.
- Iuri Albandes Cunha Gomes. Uso de redundância modular tripla aproximada para tolerância a falhas em circuitos digitais. Master’s thesis, Universidade Federal do Rio Grande do Sul UFRGS, 2014.
- CS Guenzer, EA Wolicki, and RG Allas. Single event upset of dynamic rams by neutrons and protons. *Nuclear Science, IEEE Transactions on*, 26(6):5048–5052, 1979.

- EC Henes Neto, FL Kastensmidt, and G Wirth. The use of bulk built-in current sensors for soft error dependability in cmos integrated circuits. *IEEE Potentials*, 2008.
- T. Holman. Radiation hardening techniques for analog and mixed-signal integrated circuits. Technical report, 2008.
- Allan H Johnston. Scaling and technology issues for soft error rates. In *Proc. of the 4th Annual Conf. on Reliability*, 2000.
- Nam Sung Kim, Todd Austin, David Baauw, Trevor Mudge, Krisztián Flautner, Jie S Hu, Mary Jane Irwin, Mahmut Kandemir, and Vijaykrishnan Narayanan. Leakage current: Moore's law meets static power. *computer*, 36(12):68–75, 2003.
- Franco Ripoll Leite. Estudo e implementação de um microcontrolador tolerante à radiação. Master's thesis, Universidade Federal do Rio Grande do Sul, UFRGS, 2009.
- Jean Luc Leray. Earth and space single-events in present and future electronics. RADECS, 2001.
- Kuo-Nan Liou. *An introduction to atmospheric radiation*, volume 84. Academic press, 2002.
- Nícolas Marroni. Desenvolvimento de uma metodologia de injeção de falhas de atraso baseada em fpga. Master's thesis, Pontifícia Universidade Católica do Rio Grande do Sul, 2013.
- TC May, GL Scott, ES Meieran, P Winer, and VR Rao. Dynamic fault imaging of vlsi random logic devices. In *Reliability Physics Symposium, 1984. 22nd Annual*, pages 95–108. IEEE, 1984.
- Timothy C May and Murray H Woods. A new physical mechanism for soft errors in dynamic memories. In *Reliability Physics Symposium, 1978. 16th Annual*, pages 33–40. IEEE, 1978.
- Frank B McDonald. Cosmic-ray modulation in the heliosphere a phenomenological study. *Space Science Reviews*, 83(1-2):33–50, 1998.
- GC Messenger. Collection of charge on junction nodes from ion tracks. *Nuclear Science, IEEE Transactions on*, 29(6):2024–2031, 1982.
- Cecilia Metra, Michele Favalli, and Bruno Ricco. Compact and low power on-line self-testing voting scheme. In *Defect and Fault Tolerance in VLSI Systems, 1997. Proceedings., 1997 IEEE International Symposium on*, pages 137–145. IEEE, 1997.
- Kartik Mohanram. Simulation of transients caused by single-event upsets in combinational logic. In *Test Conference, 2005. Proceedings. ITC 2005. IEEE International*, pages 9–pp. IEEE, 2005.
- Peter Mészáros, Soebur Razzaque, and Xiang Yu Wang. Cosmic ray physics, 2015. URL [⟨http://www2.astro.psu.edu/users/nnp/cr.html⟩](http://www2.astro.psu.edu/users/nnp/cr.html).
- NASA. National aeronautics and space administration, 2015. URL [⟨http://www.nasa.gov/mission_pages/sunearth/news/News041612-M1.7flare.html⟩](http://www.nasa.gov/mission_pages/sunearth/news/News041612-M1.7flare.html).

- NOAA. National geophysical data center ngdc, 2015. URL <<http://www.ngdc.noaa.gov/ngdcinfo/onlineaccess.html>>.
- Ricardo Augusto da Luz Reis. *Concepção de Circuitos Integrados*. Bookman, 2008.
- Thara Rejimon. *Reliability-centric probabilistic analysis of VLSI circuits*. PhD thesis, University of South Florida, 2006.
- Ana Carla dos Oliveira Santos. Tolerância a falhas para sistemas embarcados, 2000.
- Sachin S Sapatnekar, Vasant B Rao, Pravin M Vaidya, and Sung-Mo Kang. An exact solution to the transistor sizing problem for cmos circuits using convex optimization. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, 12(11):1621–1634, 1993.
- RD Schrimpf, KM Warren, RA Weller, RA Reed, LW Massengill, ML Alles, DM Fleetwood, XJ Zhou, L Tsetseris, and ST Pantelides. Reliability and radiation effects in ic technologies. In *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International*, pages 97–106. IEEE, 2008.
- JR Schwank, MR Shaneyfelt, J Baggio, PE Dodd, JA Felix, V Ferlet-Cavrois, P Paillet, D Lambert, FW Sexton, GL Hash, et al. Effects of particle energy on proton-induced single-event latchup. *Nuclear Science, IEEE Transactions on*, 52(6):2622–2629, 2005.
- Fred W Sexton et al. Destructive single-event effects in semiconductor devices and ics. *IEEE Transactions on Nuclear Science*, 50(3):603–621, 2003.
- Alexandre Simionovski. Sensor de corrente transiente para detecção do set com célula de memória dinâmica. Master’s thesis, Universidade Federal do Rio Grande do Sul, UFRGS, 2012.
- EG Stassinopoulos and James P Raymond. The space radiation environment for electronics. *Proceedings of the IEEE*, 76(11):1423–1442, 1988.
- Scott E Thompson, Robert S Chau, Tahir Ghani, Kaizad Mistry, Sunit Tyagi, and Mark T Bohr. In search of “forever,” continued transistor scaling one new material at a time. *Semiconductor Manufacturing, IEEE Transactions on*, 18(1):26–36, 2005.
- James Alfred Van Allen and Louis A Frank. Radiation around the earth to a radial distance of 107,400 km. *Nature*, 183, 1959.
- JT Wallmark and SM Marcus. Minimum size and maximum packing density of nonredundant semiconductor devices. *Proceedings of the IRE*, 50(3):286–298, 1962.
- Martin Walt. *Introduction to geomagnetically trapped radiation*. Cambridge University Press, 2005.
- Fan Wang and Vishwani D Agrawal. Single event upset: An embedded tutorial. In *VLSI Design, 2008. VLSID 2008. 21st International Conference on*, pages 429–434. IEEE, 2008.
- Colin Warwick. Everything you always wanted to know about spice*(*) but were afraid to ask). *EMC Journal (Nutwood UK Limited)*(82), pages 27–29, 2009.

T Weatherford. From carriers to contacts: A review of see charge collection processes. In *IEEE Nuclear and Space Radiation Effects Conference Short Course, Phoenix, AZ*, 2002.

N Weste and D Harris. Cmos vlsi design, 4^a edição, 2011.

James F Ziegler. Terrestrial cosmic rays. *IBM journal of research and development*, 40(1):19–39, 1996.

Alexandra Lackmann Zimpeck. Falhas stuck-open e stuck-on: Análise do comportamento em nanotecnologias e desenvolvimento de uma ferramenta de simulação de falhas em portas lógicas cmos, 2013.

ANEXO A SIMULADOR ELÉTRICO SPICE

O SPICE (*Simulation Program with Integrated Circuit Emphasis*) é um simulador elétrico de acesso livre mundialmente aceito e utilizado para simular as características e o comportamento elétrico de circuitos eletrônicos. Foi desenvolvido por Laurence Nagel e sua equipe do *Electronics Research Laboratory* (ERL) do departamento de Engenharia Elétrica e Ciência da Computação (EECS) da Universidade da Califórnia, em Berkeley. O *software* foi primeiramente anunciado num simpósio em teoria de circuitos em Waterloo, Canadá, no *Sixteenth Midwest Symposium on Circuit Theory* em 12 de abril de 1973. Após alguns anos, o simulador SPICE foi mundialmente aceito pelas escolas de engenharia elétrica e na indústria de semicondutores. Muitos programas de acesso livre ou não passaram a integrar o pacote de simulação SPICE nos seus projetos.

O simulador é baseado num algoritmo de análise nodal, ou seja, a descrição do circuito é convertido em uma matriz onde uma equação linear é obtida a partir da Lei de Correntes de Kirchhoff, a soma das correntes de um nodo é igual a zero [Warwick, 2009]. Existem outros métodos que o SPICE utiliza para analisar e modelar o comportamento dos circuitos, como a Análise Nodal Modificada (MNA) para lidar com elementos com condutância infinita (fontes de tensão), e também utiliza métodos para solução de equações diferenciais ordinárias em simulações transientes onde os componentes são definidos por integrais e derivadas [Warwick, 2009].

Neste trabalho, foi utilizado o simulador elétrico NGSPICE de acesso livre que se baseia no padrão do pacote SPICE, além de utilizar outros pacotes como o CIDER e o XSPICE. O arquivo de entrada para simulação é composto pela descrição do circuito em netlist, incluindo as descrições das fontes de tensão, da especificação do modelo da tecnologia empregada e o tipo de simulação, se transiente, DC, AC dentre outras. Para as simulações nesse trabalho foi utilizado o modelo de tecnologia preditivo de alto desempenho desenvolvido e disponibilizado pela Nanoscale Integration and Modeling (NIMO) Group da Universidade do Estado de Arizona nos Estados Unidos, (<http://ptm.asu.edu/>).

ANEXO B RESULTADOS DOS EXPERIMENTOS

Este anexo apresenta as tabelas e gráficos resultantes das análises dos experimentos realizados neste trabalho que não foram apresentados no Capítulo 5.

B.1 Análise da Célula HA_X1

Tabela de resultados das simulações de injeção de falhas para a célula HA_X1. Foram inseridas o total de 22 falhas no nodo de saída do circuito.

Tabela 4: Análise da Célula HA_X1 para LET 1

(a) 45nm_hp

Frequência	HA_X1 (45nm_hp)					
	Saída S			Saída CO		
	2GHz	1GHz	500MHz	2GHz	1GHz	500MHz
Falhas injetadas	22	22	22	12	12	12
Falhas detectadas	12	10	3	0	1	1
Taxa de Falhas	54,55%	45,45%	13,64%	0,00%	8,33%	8,33%

(b) 16nm_hp

Frequência	HA_X1 (16nm_hp)					
	Saída S			Saída CO		
	2GHz	1GHz	500MHz	2GHz	1GHz	500MHz
Falhas injetadas	22	22	22	12	12	24
Falhas detectadas	16	11	10	0	2	0
Taxa de Falhas	72,73%	50,00%	45,45%	0,00%	16,67%	0,00%

Tabela 5: Análise da Célula HA_X1 para LET 3

	(a) 45nm_hp					
	HA_X1 (45nm_hp)			Saída CO		
Frequência	2GHz	1GHz	500MHz	2GHz	1GHz	500MHz
Falhas injetadas	22	22	22	12	12	12
Falhas detectadas	18	16	13	8	11	9
Taxa de Falhas	81,82%	72,73%	59,09%	66,67%	91,67%	75,00%

	(b) 16nm_hp					
	HA_X1 (16nm_hp)			Saída CO		
Frequência	2GHz	1GHz	500MHz	2GHz	1GHz	500MHz
Falhas injetadas	22	22	22	12	12	12
Falhas detectadas	18	18	14	7	10	10
Taxa de Falhas	81,82%	81,82%	63,64%	58,33%	83,33%	83,33%

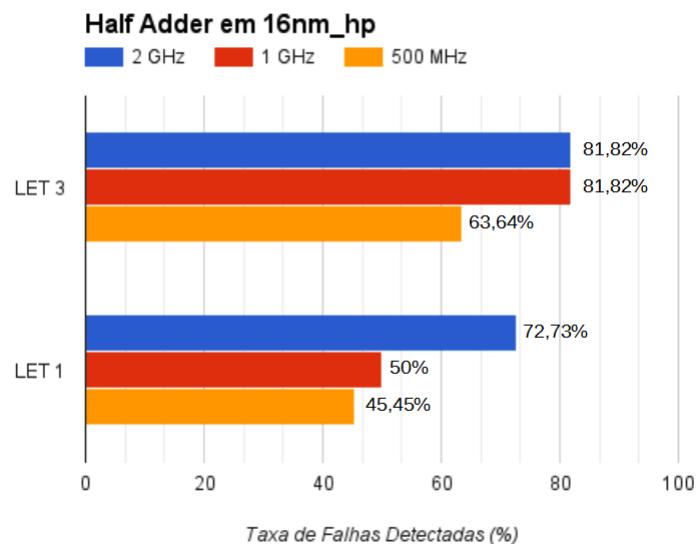


Figura 62: Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 16nm HP

B.2 Análise da Célula AOI21_X1

Tabela de resultados das simulações de injeção de falhas para a célula AOI21_X1. Foram inseridas o total de 26 falhas no nodo de saída do circuito.

Tabela 6: Análise da Célula AOI21_X1 para LET 1

(a) 45nm_hp			
AOI21_X1 (45nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	26	26	26
Falhas detectadas	9	5	4
Taxa de Falhas	34,62%	19,23%	15,38%

(b) 16nm_hp			
AOI21_X1 (16nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	26	26	26
Falhas detectadas	9	6	6
Taxa de Falhas	34,62%	23,08%	23,08%

Tabela 7: Análise da Célula AOI21_X1 para LET 3

(a) 45nm_hp			
AOI21_X1 (45nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	26	26	26
Falhas detectadas	18	16	17
Taxa de Falhas	69,23%	61,54%	65,38%

(b) 16nm_hp			
AOI21_X1 (16nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	26	26	26
Falhas detectadas	19	17	17
Taxa de Falhas	73,08%	65,38%	65,38%

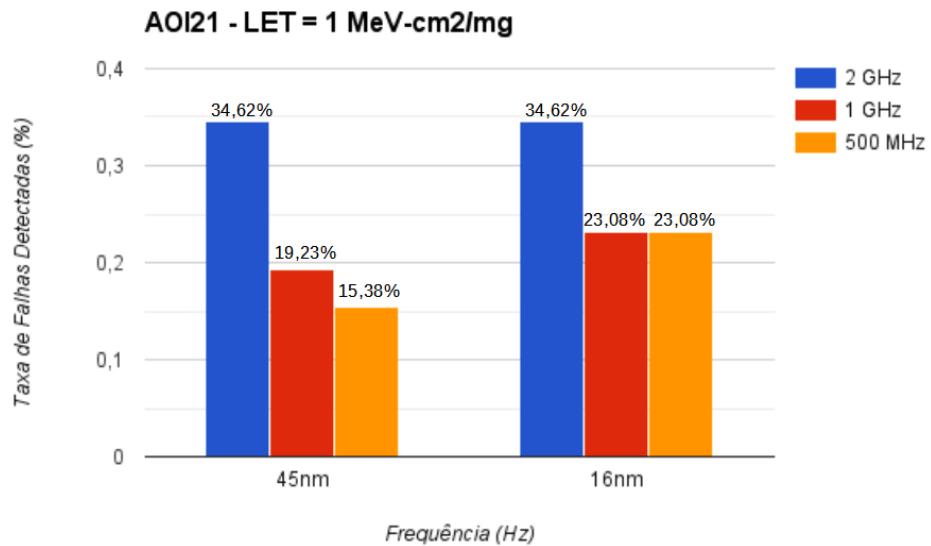


Figura 63: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET = 1 MeV \cdot cm^2/mg$

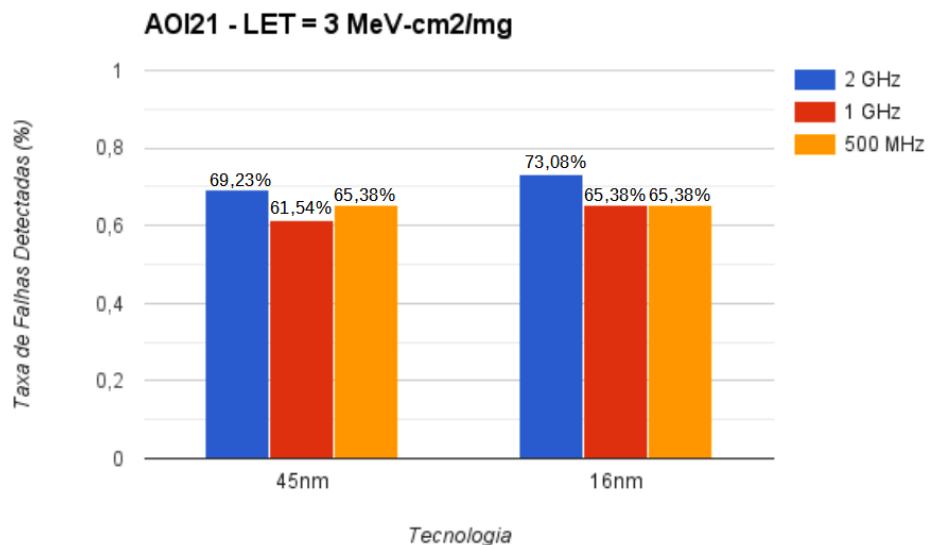


Figura 64: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET = 3 MeV \cdot cm^2/mg$

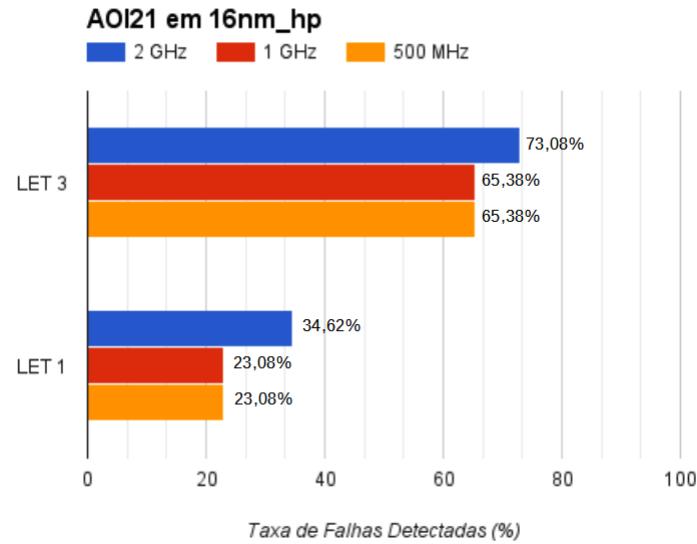


Figura 65: Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 16nm HP

B.3 Análise da Célula NAND2_X1

Tabela de resultados das simulações de injeção de falhas para a célula NAND2_X1. Foram inseridas o total de 12 falhas no nodo de saída do circuito.

Tabela 8: Análise da Célula NAND2_X1 para LET 1

(a) 45nm_hp

NAND2_X1 (45nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	12	12	12
Falhas detectadas	1	2	0
Taxa de Falhas	8,33%	16,67%	0,00%

(b) 16nm_hp

NAND2_X1 (16nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	12	12	12
Falhas detectadas	5	6	5
Taxa de Falhas	41,67%	50,00%	41,67%

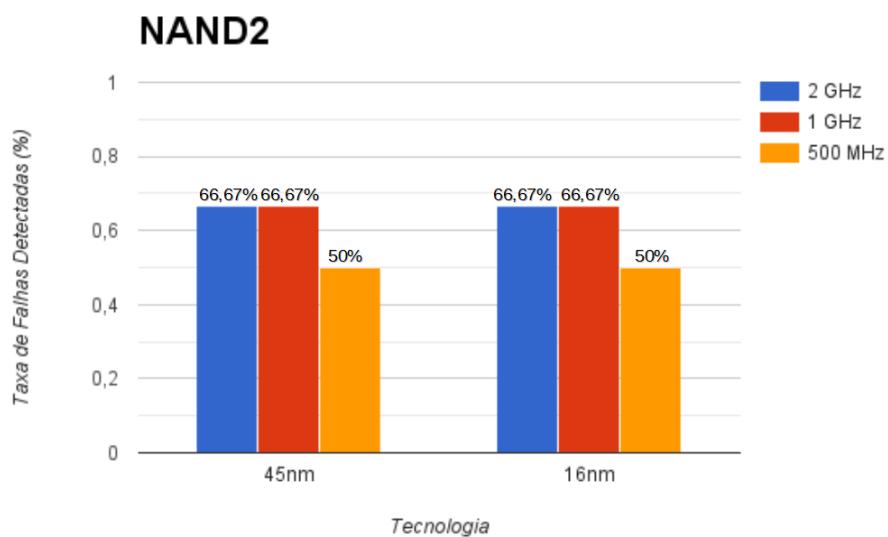
Tabela 9: Análise da Célula NAND2_X1 para LET 3

(a) 45nm_hp

NAND2_X1 (45nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	12	12	12
Falhas detectadas	8	8	6
Taxa de Falhas	66,67%	66,67%	50,00%

(b) 16nm_hp

NAND2_X1 (16nm_hp) - Saída ZN			
Frequência	2GHz	1GHz	500MHz
Falhas injetadas	12	12	12
Falhas detectadas	8	8	6
Taxa de Falhas	66,67%	66,67%	50,00%

Figura 66: Comparação da taxa de falhas detectadas levando em consideração a tecnologia empregada e a frequência de operação para $LET = 3MeV \cdot cm^2/mg$

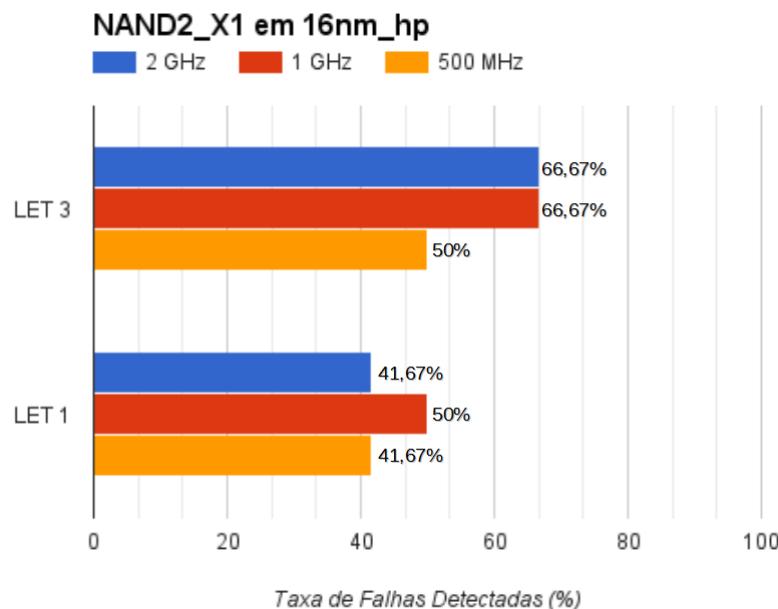


Figura 67: Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 16nm HP

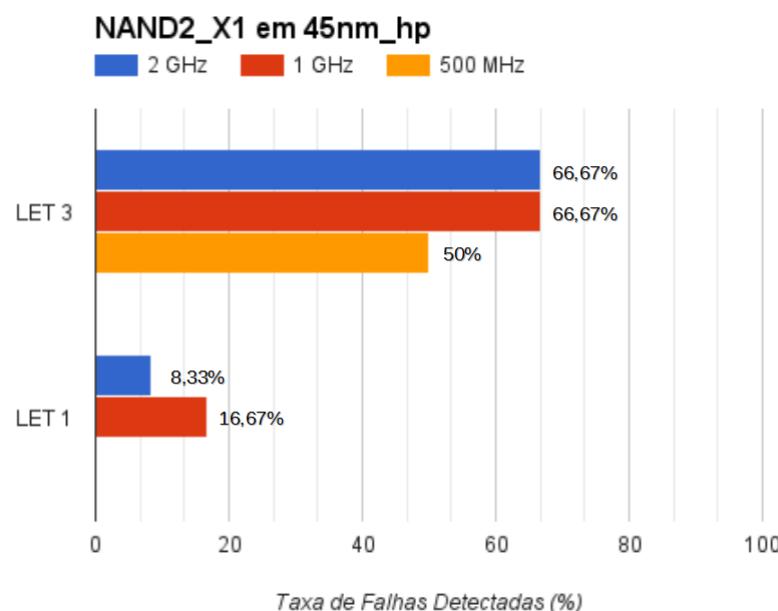


Figura 68: Comparação da taxa de falhas detectadas levando em consideração a frequência de operação e o LET para tecnologia de 45nm HP