

Experiência 06

Descrição de um Cronômetro em VHDL

1) Objetivo:

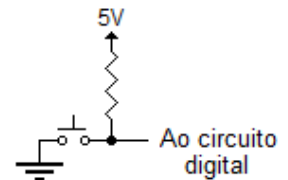
Aprofundar o conhecimento em VHDL e entender os conceitos de multiplexação e “debounce” das chaves.

2) Aspectos teóricos:

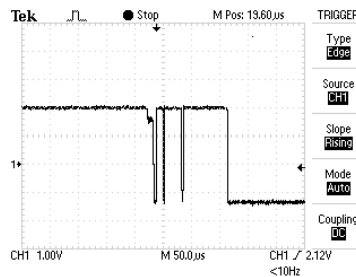
Conforme visto, a multiplexação, embora torne a lógica interna do dispositivo um pouco mais complexa, é utilizada para economizar recursos, principalmente portas de E/S. No cronômetro a ser descrito, se fosse utilizado um decodificador de BCD para 7 segmentos para cada display, seriam necessários 28 pinos de saída só para essa finalidade. Com a multiplexação a ser utilizada, essa quantidade cai para 11 sinais apenas.

As chaves mecânicas do tipo PUSH BUTTON NA (chave de pressão do tipo Normalmente Aberta) são um dos modos mais simples de se adquirir informações do mundo externo em circuitos digitais. Devido sua robustez e baixo custo são amplamente utilizadas nesse tipo de sistema.

Para realizar a leitura de uma chave mecânica é necessário criar um pequeno circuito que transforme o estado da chave, aberta ou fechada, em um sinal elétrico para cada estado. Uma maneira simples de se obter este funcionamento é com o uso de uma chave ligada ao terra (GND) e um resistor ligado ao Vcc (chamado de pull-up). O esquema dessa ligação pode ser visto na figura ao lado. Quando a chave está solta, o nível lógico é ALTO, e quando a chave é pressionada, o nível lógico é BAIXO.

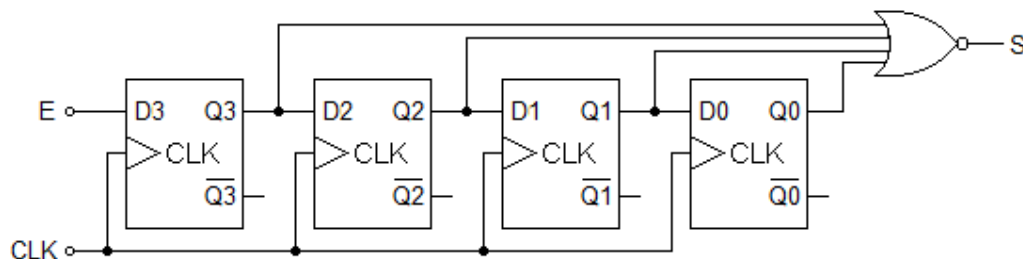


Apesar do funcionamento aparentemente simples, este tipo de circuito apresenta um problema de oscilação do sinal no momento em que a tecla é pressionada, e também quando ela é solta. Esta oscilação é conhecida como *bouncing* (trepidação). A figura abaixo apresenta esse efeito na tela de um osciloscópio.



Estas oscilações indevidas podem gerar acionamentos não desejados (o circuito “acha” que a chave foi pressionada mais de uma vez), causando um comprometimento no comportamento do sistema. Para evitar isso, quando necessário, deve-se utilizar técnicas de *debounce*, por *hardware* ou *software*.

Uma possível técnica de *debounce* é utilizar um registrador de deslocamento e uma porta lógica. A cada pulso de *clock*, o estado da chave é lido e só quando esse estado estabilizar é que a saída do circuito de *debounce* mudará de estado. A figura abaixo mostra o esquema desse circuito. A saída só mudará para 1 (nível alto) quando as saídas Q de todos os flip-flops forem iguais a 0 (nível baixo).

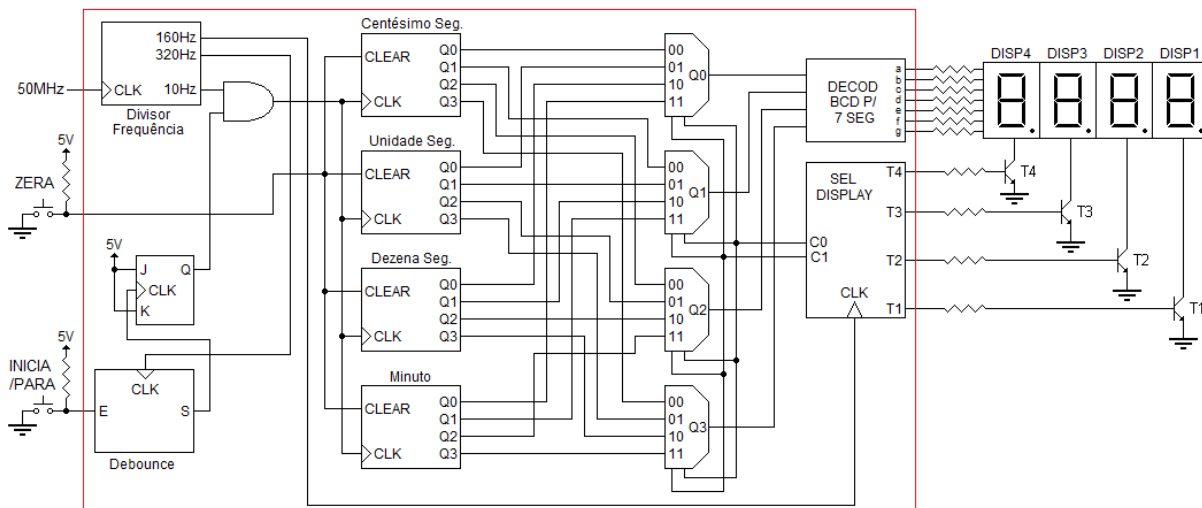


3) Aspectos práticos:

3.1. (3 pontos) Descreva, em VHDL, um cronômetro, com a saída multiplexada, com as seguintes características:

- Entradas:
 - ✓ Frequência de 50MHz, existente no kit do FPGA;
 - ✓ Chave para ZERAR o cronômetro;
 - ✓ Chave para INICIAR/PARAR a contagem do cronômetro;
- Saídas:
 - ✓ Sinais “a”, “b”, “c”, “d”, “e”, “f” e “g” para o display de 7 segmentos;
 - ✓ Sinais de ativação para cada um dos 4 transistores de cada display.

A figura abaixo mostra (dentro do retângulo vermelho) o esquema interno do cronômetro a ser descrito. Embora tenham sido representados em separado, os contadores internos de Centésimo de segundo, Unidade de segundo, Dezena de segundo e Minuto devem ser descritos dentro de um único processo, que será controlado por um *clock* único e um sinal único de *reset* (ativo em nível baixo). O componente SEL DISPLAY deverá, a cada pulso de *clock*, gerar os sinais C1 e C0, que atuam nos multiplexadores 4:1 e selecionam as saídas de um dos contadores internos para o decodificador de BCD para 7 segmentos. Além disso, deve também gerar os sinais de ativação dos transistores, de acordo com o contador interno selecionado. Esse componente é uma máquina de estados, com 4 estados, e pode ser descrito por um único processo. Pode ser descrito também por intermédio de um contador binário de 2 bits, cujas saídas irão direto para os sinais C1 e C0, e as saídas T1, T2, T3 e T4 sendo funções lógicas dessas saídas, por exemplo, $T1 = \text{NOT}(C1) \text{ AND } \text{NOT}(C0)$.



Em relação ao Divisor de Frequência, uma vez gerado o sinal de 320Hz, basta ir dividindo essa frequência por 2 para se obter os demais sinais de saída.

Por que não é necessário um circuito de *debounce* para a chave de ZERAR o cronômetro?

4) Prazos e outras considerações:

- ✓ Este trabalho deverá ser feito individualmente;
- ✓ O prazo de entrega é até o dia 01/06/2020. Basta que o código VHDL desenvolvido seja enviado para o professor;
- ✓ Esse experimento não valerá nota. Entretanto, para os alunos que entregarem o código solicitado, uma pontuação de bônus de 3,0 pontos lhes será concedida nos outros experimentos, com livre escolha para qual experimento a nota deverá ser direcionada.