

**System prototypowania
układów sprzętowo-programowych M128**

1. WPROWADZENIE.....	3
2. OPIS ARCHITEKTURY MODUŁU PROTOTYPOWANIA.....	5
2.1. ZASILANIE	5
2.2. MIKROKONTROLER ATMEGA128.....	6
2.3. UKŁAD FPGA	8
3. UKŁADY PERYFERYJNE.....	13
3.1. WSKAŹNIKI LED, PRZYCISKI I PRZETWORNIK OBROTOWO IMPULSOWY.....	13
3.2. WZMACNIACZ MOCY.....	15
3.3. ZESPÓŁ WYŚWIETLACZY 7 SEGMENTOWYCH LED.	16
3.4. INTERFEJS RS-232.....	17
3.5. ODBIORNIK PODCZERWIENI ORAZ ANALOGOWY CZUJNIK TEMPERATURY	18
3.6. WYŚWIETLACZ ZNAKOWY LCD	19
3.7. UKŁADY MAGISTRALI I ² C	20
3.8. UKŁADY MAGISTRALI 1-WIRE™.....	22
4. DODATKOWE URZĄDZENIA I UKŁADY PERYFERYJNE.	23
4.1. KŁAWIATURA MATRYCOWA 16 PRZYCISKOWA.....	23
4.2. WYŚWIETLACZ CIEKŁOKRYSTALICZNY ZE STEROWNIKIEM NEC UPD7225.....	24
4.3. GNIAZDO KART Z PAMIĘCIĄ PÓŁPRZEWODNIKOWĄ	25
4.4. MODUŁ WYŚWIETLACZA GRAFICZNEGO 240X64 (DMF-633).....	26
4.5. MODUŁ WYŚWIETLACZA GRAFICZNEGO ZE STEROWNIKIEM NJU6450A.....	29
4.6. MODUŁ ULTRADŹWIĘKOWEGO CZUJNIKA ODLEGŁOŚCI	29
5. POŁĄCZENIA.....	31
6. PROGRAMOWANIE I DIAGNOSTYKA OPROGRAMOWANIA MIKROKONTROLERA ATMEGA128.....	33
6.1. PROGRAMOWANIE ZA POMOCĄ AVR STUDIO	33
6.2. DIAGNOSTYKA OPROGRAMOWANIA W AVR STUDIO.....	35
6.3. PROGRAMOWANIE I DIAGNOSTYKA OPROGRAMOWANIA W ŚRODOWISKU IAR EMBEDDED WORKBENCH	38
7. KONFIGURACJA UKŁADU FPGA.....	43
8. RDZEŃ MIKROKONTROLERA RODZINY MCS-51	47
8.1. BUDOWA SYSTEMU PROGRAMOWALNEGO 8051.....	47
8.2. DIAGNOSTYKA OPROGRAMOWANIA.....	48

1. Wprowadzenie

Moduł szybkiego prototypowania układów sprzętowo programowych jest przeznaczony do łatwego konstruowania układów wbudowanych w oparciu o mikrokontroler 8-mio bitowy oraz układ FPGA. Układ został wyposażony w mikrokontroler ATmega128 należący do rodziny mikrokontrolerów 8 bitowych AVR.

Obok mikrokontrolera moduł został wyposażony w programowalny układ FPGA o pojemności logicznej sięgającej około 200 tys. bramek przeliczeniowych. Jest to układ FPGA firmy Xilinx należący do rodziny Spartan 2 typu XC2S200-PQ208C5. Obrazowo pojemność logiczna układu pozwala pomieścić 3 rdzenie (ang. core) mikroprocesora o liście instrukcji zgodnej z układem Z80 lub dwa rdzenie mikrokontrolera o liście instrukcji zgodnej z układami rodziny MCS-51.

Najistotniejszą i zarazem unikalną cechą modułu jest możliwość łączenia układów mikroprocesorowych i dedykowanych układów sprzętowych. Możliwe jest również budowanie układów wieloprocessorowych

Na rysunku przedstawiono ogólny widok płytki obwodu drukowanego wraz z rozmieszczeniem ważniejszych elementów układu. Pomiedzy elementami znajdującymi się na płytce wykonano niezbędne połączenia zapewniające podstawową funkcjonalność oraz zasilanie. Połączenia pomiędzy wyprowadzeniami układów użytkownik może dokonywać we własnym zakresie tak aby uzyskać zamierzoną konfigurację elementów konieczną do realizacji założonego projektu. Szczegółowy opis techniczny rozmieszczenia elementów łączeniowych jest zamieszczony w rozdziale 2. Elementy łączeniowe wyprowadzono za pomocą pozłacanych złącz typu golden pin o rozstawie 2.54mm (0.1"). Połączenia wykonuje się za pomocą kabli oraz zestawów kablowych zakończonych izolowanymi wtyczkami konektorami umożliwiającymi dołączenie do poszczególnych wyprowadzeń lub grup sygnałowych. Szczegółowe informacje na temat przewodów łączeniowych zamieszczone są w rozdziale 3.

Ze względu na wyposażenie układu w bardzo popularny zestaw łącz stanowiący standard przemysłowy możliwe jest dołączanie innych układów do płyty prototypowej pod warunkiem zastosowania identycznych złącz.

2. Opis architektury modułu prototypowania

W skład modułu wchodzi następujące elementy, których połączenia zostaną szczegółowo opisane w dalszej części niniejszego rozdziału:

1. Zasilanie modułu
2. Mikrokontroler ATmega128-8L
3. Układ FPGA XC2S200-PQ208-5C
4. moduł statycznej pamięci RAM o pojemności 128kB
5. Wskaźniki LED i przyciski
6. 6-cio pozycyjny multipleksowany wyświetlacz siedmiosegmentowy LED
7. Wzmacniacze mocy do sterowania elementów wykonawczych
8. Układy interfejsu I²C
9. Układy pracujące na magistrali 1-Wire™
10. Złącze do przyłączenia znakowego wyświetlacz LCD
11. Gniazdo interfejsu RS232 wraz z układem buforującym

2.1. Zasilanie

Układ jest zasilany ze stabilizowanego zasilacza sieciowego o znamionowym napięciu 5V. Układ został zrealizowany w technologiach niskonapięciowych. Do poprawnej pracy wymaga wytworzenia napięć zasilających 3.3V oraz 2.5V. Napięcia te są wytwarzane przez stabilizatory ciągłe umieszczone w układzie.

W układzie przewidziano możliwość współpracy z szeroką grupą wyświetlaczy ciekłokrystalicznych w różnych odmianach. Do poprawnej pracy układy wyświetlaczy LCD wymagają dostarczenia ujemnego napięcia polaryzującego. W zależności od rodzaju użytego modułu LCD napięcie polaryzujące podawane jako różnica pomiędzy napięciem zasilania V_{DD} (3.3V) a napięciem V_{LCD} ($V_{DD} - V_{LCD}$) wynosi od około 5V do 18V. W celu uzyskania ujemnego napięcia zasilania V_{LCD} zastosowano w układzie przetwornicę impulsową odwracającą o niewielkiej wydajności prądowej pozwalającą uzyskać napięcia wyjściowe do około -15V

2.2. Mikrokontroler ATmega128

Układ wyposażono w mikrokontroler ATmega128. Jest to bogato wyposażony w układy peryferyjne przedstawiciel mikrokontrolerów 8-bitowych rodziny AVRmega.

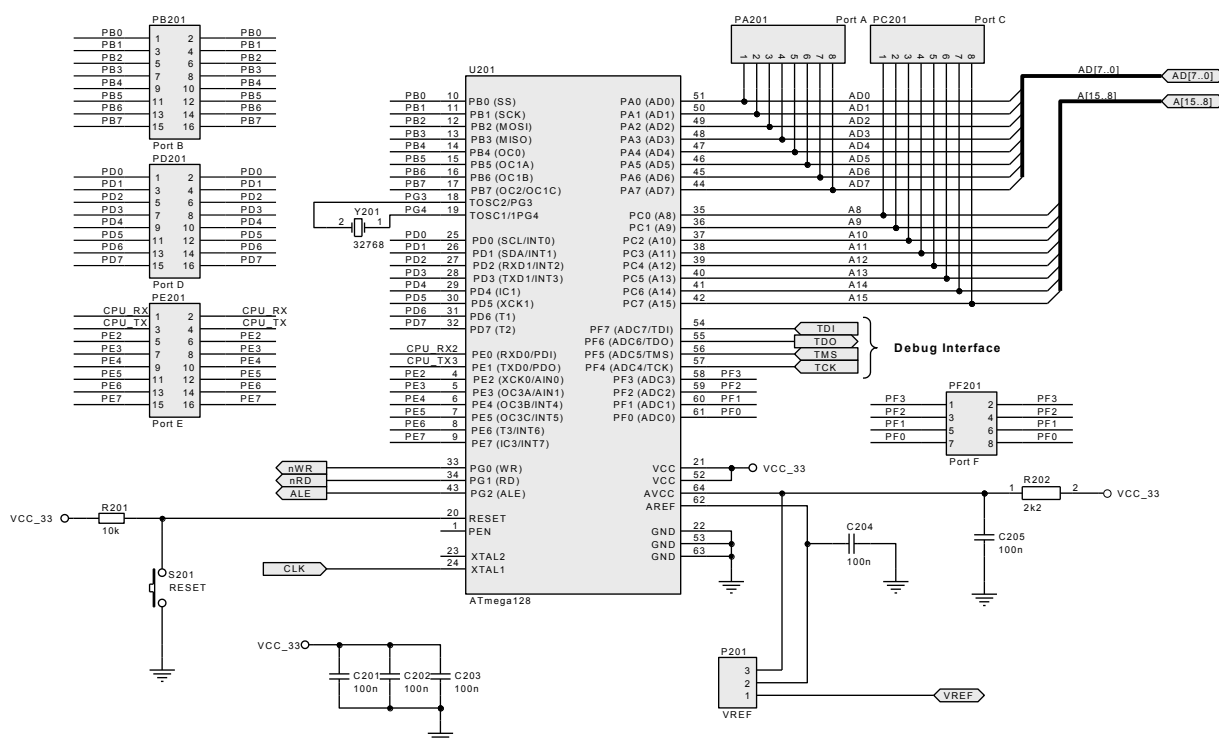
Do programowania oraz prowadzenia diagnostyki oprogramowania wykorzystuje się ścieżkę brzegową (ang. JTAG) wbudowaną do układu. Umożliwia to łatwe pisanie oraz uruchamianie oprogramowania bezpośrednio w układzie docelowym. Schemat połączeń mikrokontrolera w układzie przedstawiono na schemacie (Rys. 2.1).

Układ może być taktowany za pomocą wewnętrznego generatora lub zewnętrznego oscylatora kwarcowego o częstotliwości 7.3728 MHz.

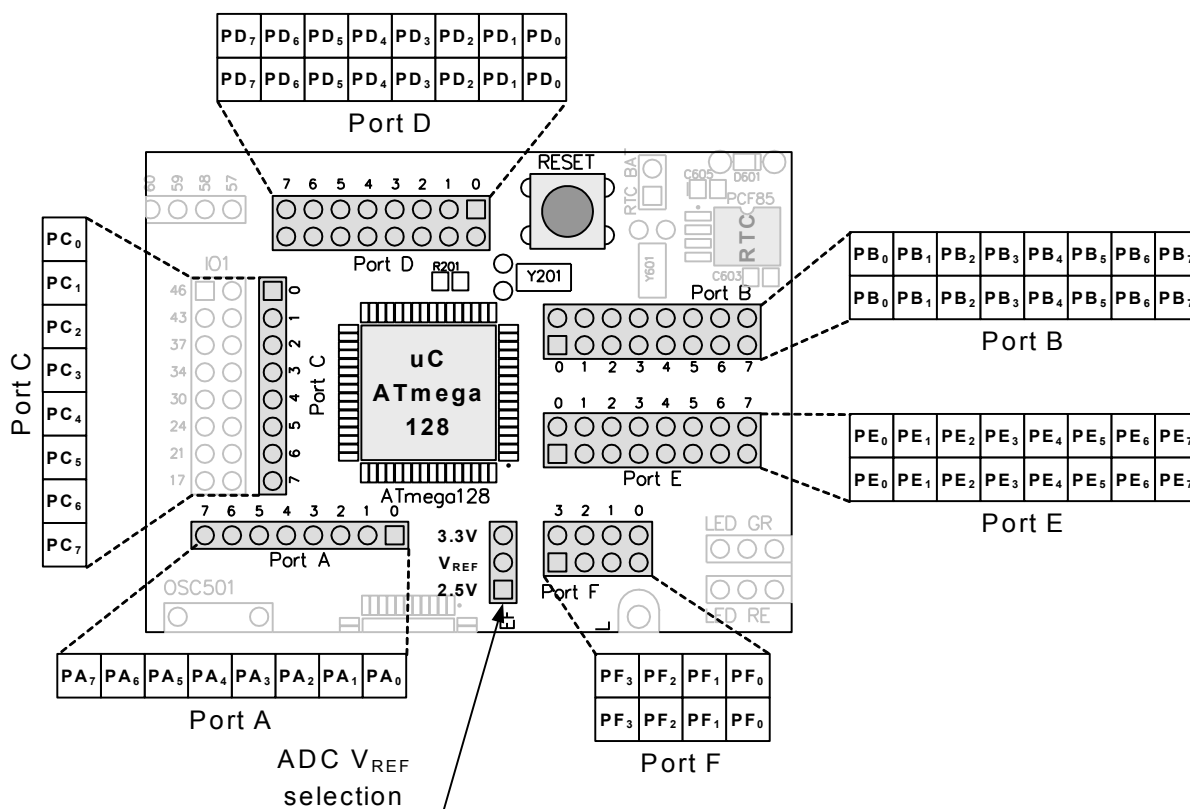
W celu swobodnego prowadzenia połączeń pomiędzy mikrokontrolerem a urządzeniami peryferyjnymi zostały wykorzystane złącza szpilkowe. Układ FPGA został dołączony za pomocą portów PA, PC i sygnałów WR, RD, ALE (Trzy sygnały portu PG). Tworzą one odpowiednio multipleksowaną magistralę danych i adresu (PA), bardziej znaczący bajt adresu (PC) oraz sygnały sterujące zatraskiwaniem adresu (ALE) jak i cyklem dostępu do pamięci (RD i WR).

Wewnętrzny przetwornik analogowo-cyfrowy może wykorzystywać napięcie odniesienia stabilizowane za pomocą precyzyjnego termicznie skompensowanego źródła napięcia LM336. Wybór napięcia odniesienia (V_{REF}) dokonywany jest przez umieszczenie zworki pomiędzy odpowiednimi kontaktami podającymi napięcie odniesienia do układu przetwornika analogowo-cyfrowego.

Do wyprowadzeń PG₃ i PG₄ (pełniących funkcję również wejścia i wyjścia



Rys. 2.1. Schemat ideowy bloku mikrokontrolera



Rys. 2.2. Rozkład wyprowadzeń bloku mikrokontrolera dostępnych dla użytkownika

wzmacniacza oscylatora) został dołączony rezonator kwarcowy o częstotliwości podstawowej 32768 Hz (2^{15}). Pozwala on taktować liczniki czasomierz wewnątrz mikrokontrolera.

Zestaw dostępnych sygnałów do dołączenia zewnętrznych układów zewnętrznych oraz ich rozmieszczenie zostały przedstawione na rysunku (Rys. 2.3). Przycisk RESET pozwala na inicjalizację mikrokontrolera i ponowne rozpoczęcie wykonywania programu od adresu 0. W przypadku prowadzenia diagnostyki oprogramowania za pomocą interfejsu JTAG nie zaleca się kasowania układu mikrokontrolera. Spowoduje to zerwanie procesu diagnostycznego.

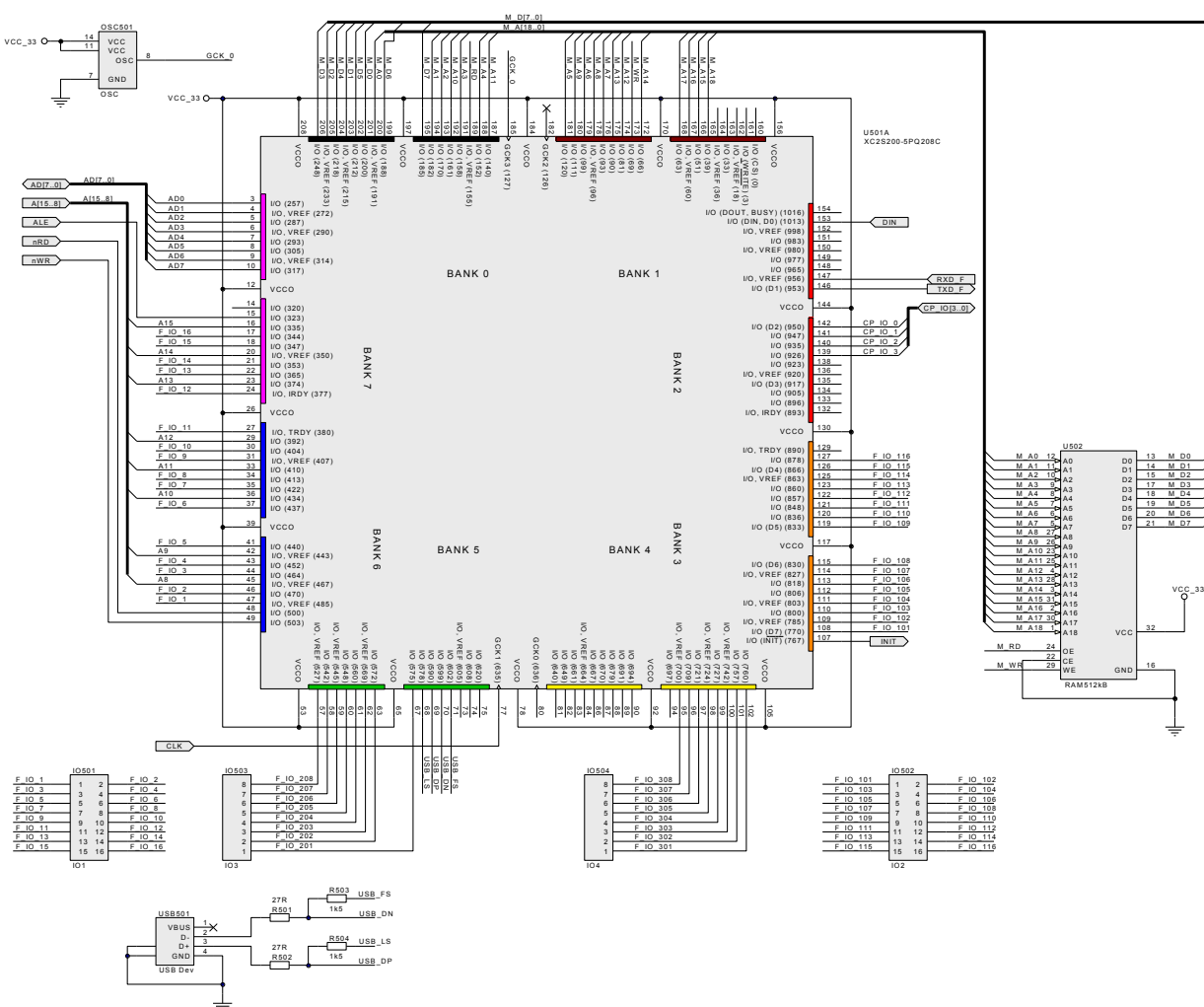
2.3. Układ FPGA

W module zastosowano układ FPGA XC2S200 firmy Xilinx rodziny Spartan II. Układ FPGA daje ogromne możliwości swobodnego konstruowania złożonych układów cyfrowych. Szacunkowa pojemność logiczna układu FPGA sięga 200 tys. bramek przeliczeniowych. Układ taki pozwala pomieścić niemalże 3 rdzenie mikroprocesora Z80 lub blisko dwa rdzenie mikrokontrolera 8052.

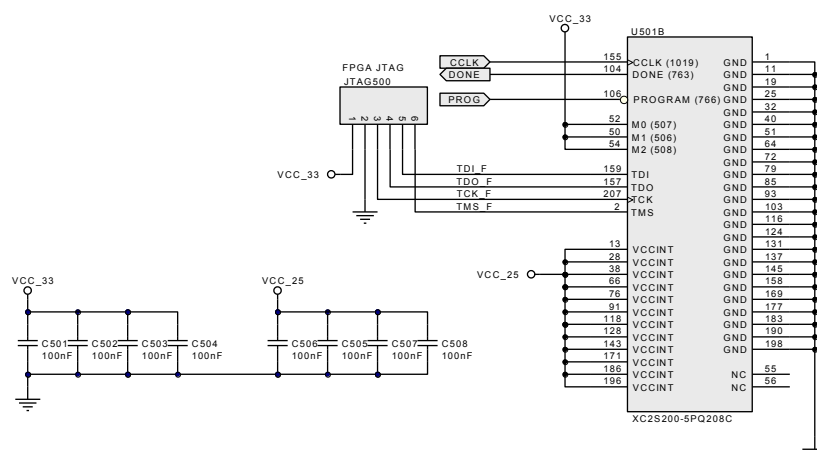
Struktura sprzętowa układu jest modyfikowana na drodze programowej i wprowadzana w postaci ciągu informacji konfiguracyjnej zapisywanej w wewnętrznej pamięci RAM, użytkownik może modyfikować funkcjonalność układu bez konieczności ingerencji w jego strukturę fizyczną.

W celu zapewnienia możliwie najwyższej elastyczności konstrukcyjno-projektowej układu szybkiego prototypowania wprowadzono 48 linii dostępnych dla użytkownika w układzie FPGA tak aby można było w łatwy sposób dołączyć do nich inne elementy układu.

Układ FPGA stanowi połączenie pomiędzy mikrokontrolerem a pamięcią statyczną RAM znajdującą się na płycie. W celu ułatwienia połączenia układu



Rys. 2.3. Schemat ideowy bloku układu FPGA – część logiczna



Rys. 2.4. Schemat ideowy bloku FPGA - zasilanie i konfiguracja

z mikrokontrolerem oraz pamięcią danych niektóre z połączeń zostały wykonane na płycie obwodu drukowanego. Wyprowadzenia mikrokontrolera na stałe przyłączone do układu FPGA to:

Multipleksowana magistrala adresowa i danych (porty A i C) oraz sygnały sterujące RD, WR, ALE (3 linie portu G)

Linie łączące z pamięcią danych o pojemności 128kB

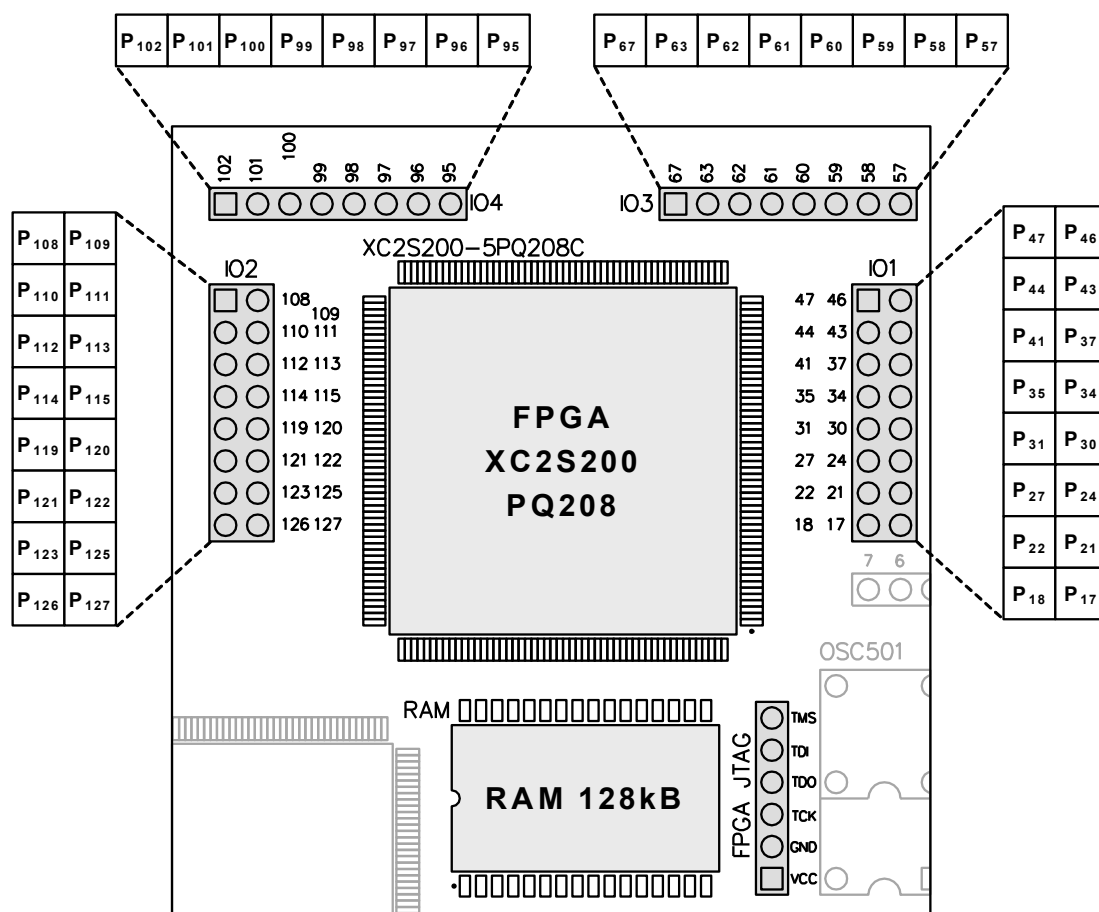
8 bitowa magistrala danych, 17 bitowa magistrala adresowa, sygnały wyboru CS oraz sterujące cyklem odczytu OE i zapisu WE.

Układ FPGA może również zostać dołączony do gniazda DB-9 przeznaczonego do komunikacji szeregowej. Dzięki zastosowaniu układów buforowych uzyskuje się dopasowanie do standardu sygnalizacji RS232 (patrz rozdział 2.10).

Układ FPGA przechowuje konfigurację w statycznej pamięci RAM. Po włączeniu zasilania znajduje się w stanie gotowości do przyjęcia informacji konfiguracyjnej. Układ zarządzania konfiguracją dokona konfiguracji układu zawartością pamięci EEPROM przechowujących konfigurację. Rozmiar strumienia konfiguracji dla układu wynosi 166980 bajtów. Do przechowywania konfiguracji wykorzystuje się 3 z pośród 4 sektorów pamięci EEPROM o łącznej pojemności 192kB (64kB/sektor) .

Należy pamiętać, że jedną z możliwych przyczyn odrzucenia danych konfiguracyjnych jest podanie niewłaściwego typu układu do narzędzi syntezy i implementacji. Należy zwrócić na to szczególną uwagę podczas prowadzenia procesu implementacji. Pliki konfiguracyjne mimo podobieństwa nie są równoważne.

Krótkotrwałe naciśnięcie przycisku PROG powoduje skasowanie bieżącej konfiguracji i wpisanie konfiguracji z układu pamięci EEPROM. Jeżeli pamięć EEPROM została skasowana lub zawierała niepoprawne dane konfiguracyjne (nie przeznaczone dla tego układu lub z uszkodzoną strukturą informacyjną) nie zostaną one przyjęte i układ pozostanie w stanie nieskonfigurowanym. Do zarządzania konfiguracją układu służy specjalna aplikacja opisana w dalszej części.



Rys. 2.5. Rozmieszczenie połączeń układu FPGA

W procesie projektowym dla układów FPGA niezbędnym jest:

1. Podanie właściwej nazwy układu FPGA obejmującej również rodzaj obudowy oraz kategorię opisującą prędkość propagacji sygnału – XC2S200 PQ208-5C
2. Znajomość przyłączenia sygnałów do fizycznych wyprowadzeń układu. Sposób lokalizacji wyprowadzenia zależy od obudowy. W przypadku obudów o wyprowadzeniach rozmieszczonych na obwodzie obudowy (obudowy typu PLCC, PQ, HQ) wykorzystuje się opis lokalizacyjny w postaci numeru wyprowadzenia. W przypadku obudów o wyprowadzeniach rozmieszczonych w sposób tablicowy (PGA, BGA, FBGA) numer wyprowadzenia podawany jest za pomocą współrzędnych literowo cyfrowych. Cyfry podają położenie wyprowadzenia względem umownej osi X natomiast litery względem umownej osi Y.

Wyprowadzenia oraz ich rozmieszczenie, które są dostępne dla użytkownika do dołączenia zewnętrznych układów pokazano na rysunku (Rys. 2.5).

Wyprowadzenia dołączone do generatora sygnału zegarowego, pamięci statycznej RAM oraz do mikrokontrolera zostały zebrane w tabeli (Tab. 2.1)

Tab. 2.1. Tabela przypisań wyprowadzeń układu FPGA

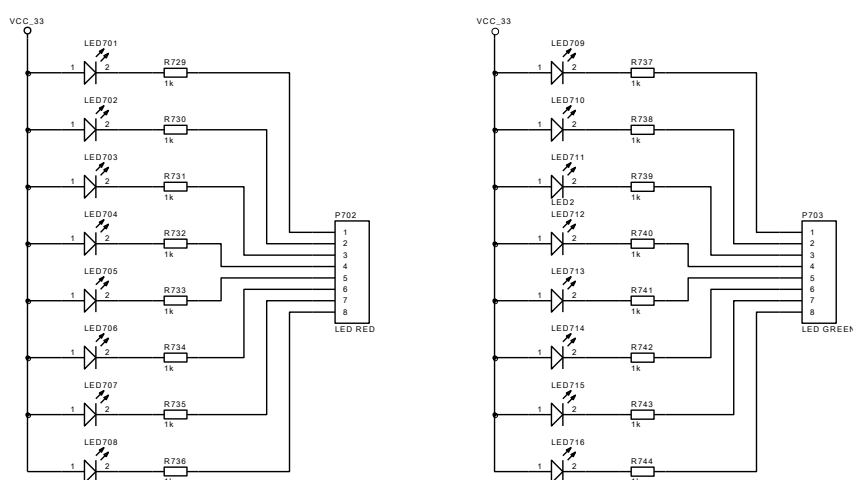
Funkcja	Nazwa	FPGA	Funkcja	Nazwa	FPGA
Sygnał zegarowy	GCLK	P77	Magistrala adresowa pamięci RAM 128kB	A ₁₆	P166
	SCLK	P185		A ₁₅	P167
UART USB	RXD	P147		A ₁₄	P172
	TXD	P146		A ₁₃	P174
EEPROM AT25C2048	SCK	P139		A ₁₂	P175
	SDI	P140		A ₁₁	P176
	SDO	P141		A ₁₀	P178
	EN	P142		A ₉	P179
Port A Multipleksowana magistrala adresowa i danych	PA ₇	P10		A ₈	P180
	PA ₆	P9		A ₇	P181
	PA ₅	P8		A ₆	P187
	PA ₄	P7		A ₅	P188
	PA ₃	P6		A ₄	P191
	PA ₂	P5		A ₃	P192
	PA ₁	P4		A ₂	P193
	PA ₀	P3		A ₁	P194
Port C Bardziej znaczący bajt magistrali adresowej	PC ₇	P16		A ₀	P199
	PC ₆	P20	Magistrala danych pamięci RAM	D ₇	P195
	PC ₅	P23		D ₆	P200
	PC ₄	P29		D ₅	P201
	PC ₃	P33		D ₄	P202
	PC ₂	P36		D ₃	P203
	PC ₁	P42		D ₂	P204
	PC ₀	P45		D ₁	P205
				D ₀	P206
Magistrala sterująca mikrokontrolera	ALE	P15	Magistrala sterująca pamięci RAM	nOE	P189
	nRD	P48		nWE	P173
	nWR	P49		nCS	P168

3. Układy peryferyjne

Moduł został wyposażony w szereg układów peryferyjnych przeznaczonych do współpracy z mikrokontrolerem oraz układem FPGA.

3.1. Wskaźniki LED, przyciski i przetwornik obrotowo impulsowy.

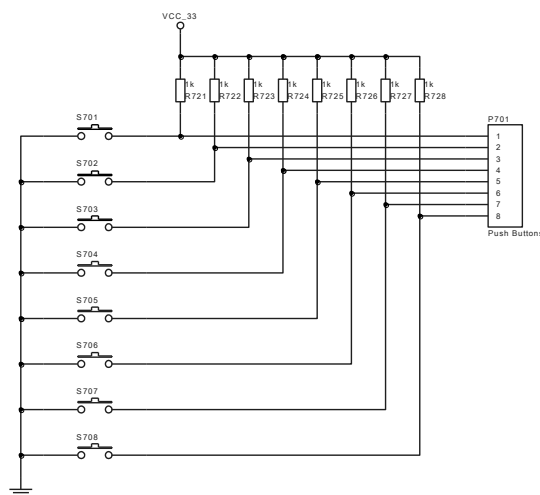
Podstawowymi układami do obserwacji stanu logicznego wyjść są wskaźniki zbudowane na diodach LED. Układ posiada 16 wskaźników zgrupowanych w dwóch liniach po 8 w kolorze czerwonym i zielonym odpowiednio. Wskaźniki LED (Rys. 3.1) zapalane są niskim poziomem logicznym co gwarantuje wystereowanie tych układów zarówno z układu logicznego o wyjściu typu totem pole lub układu typu



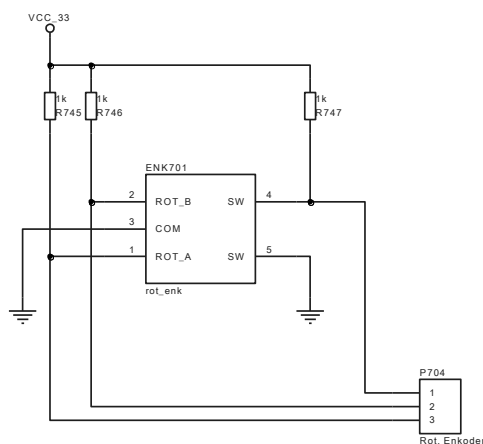
Rys. 3.1. Schemat elektryczny wskaźników LED.

OC (otwarty kolektor).

Najprostszymi układami wejściowymi są przyciski niestabilne (Rys. 3.2). Naciśnięcie przycisku wymusza stan niski na jego wyjściu. Stan wysoki (po zwolnieniu przycisku) uzyskiwany jest poprzez rezystor polaryzujący. Przyciski niestabilne nie zostały wyposażone w układy tłumiące

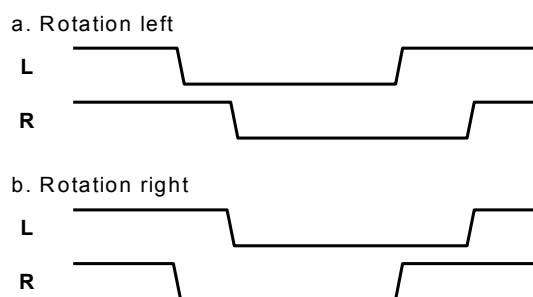


Rys. 3.2. Schemat elektryczny przycisków niestabilnych



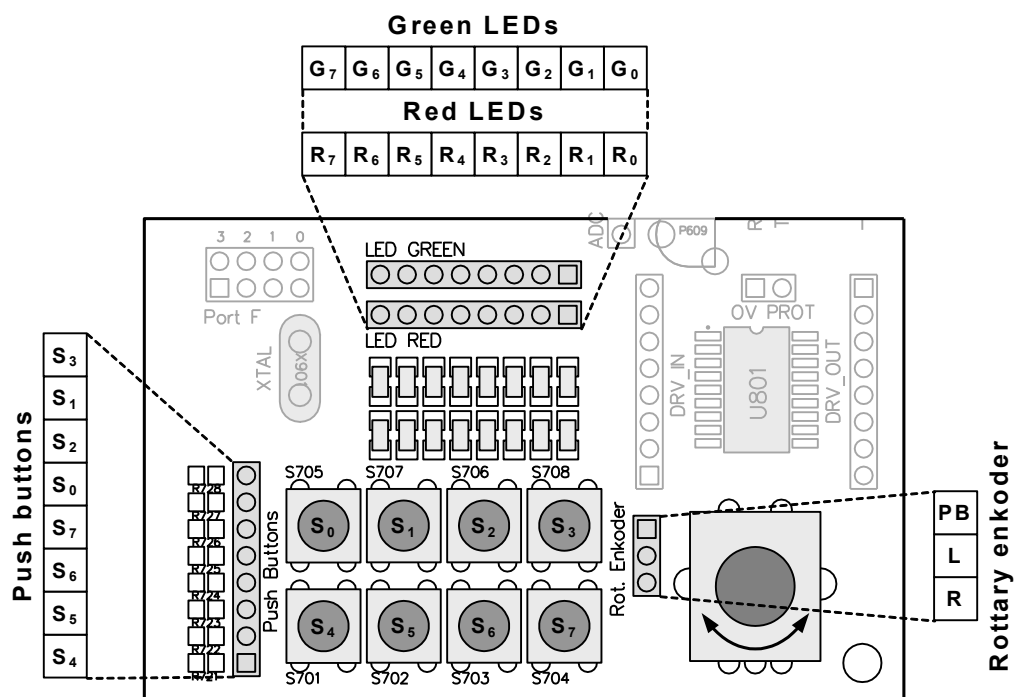
Rys. 3.3. Schemat elektryczny połączenia przetwornika obrotowo-impulsowego

W układzie zastosowano mechaniczny przetwornik obrotowo impulsowy (Rys. 3.3). Przetwornik zamienia ruch obrotowy pokrętki na ciąg impulsów kwadraturowych (dwa sygnały o przesunięciu 90 stopni). Pokrętło pełni również rolę przycisku niestabilnego.



Rys. 3.4. Przebiegi sygnałów wyjściowych przetwornika obrotowo-impulsowego podczas obracania pokrętki w stronę lewą (a) i prawą (b).

Przebiegi sygnałów podczas obracania pokrętki przedstawiono na rysunku (Rys. 3.4). Należy zwrócić szczególną uwagę podczas dekodowania ze względu na występowanie zjawiska drgania styków podczas procesów przejściowych.

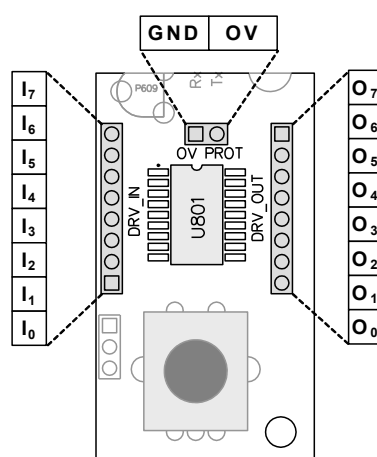


Rys. 3.5. Rozmieszczenie połączeń elementarnych układów wejścia-wyjścia

Rozmieszczenie elementów łączących wskaźników LED, przycisków oraz przetwornika obrotowo-impulsowego pokazano na rysunku (Rys. 3.5).

3.2. Wzmacniacz mocy

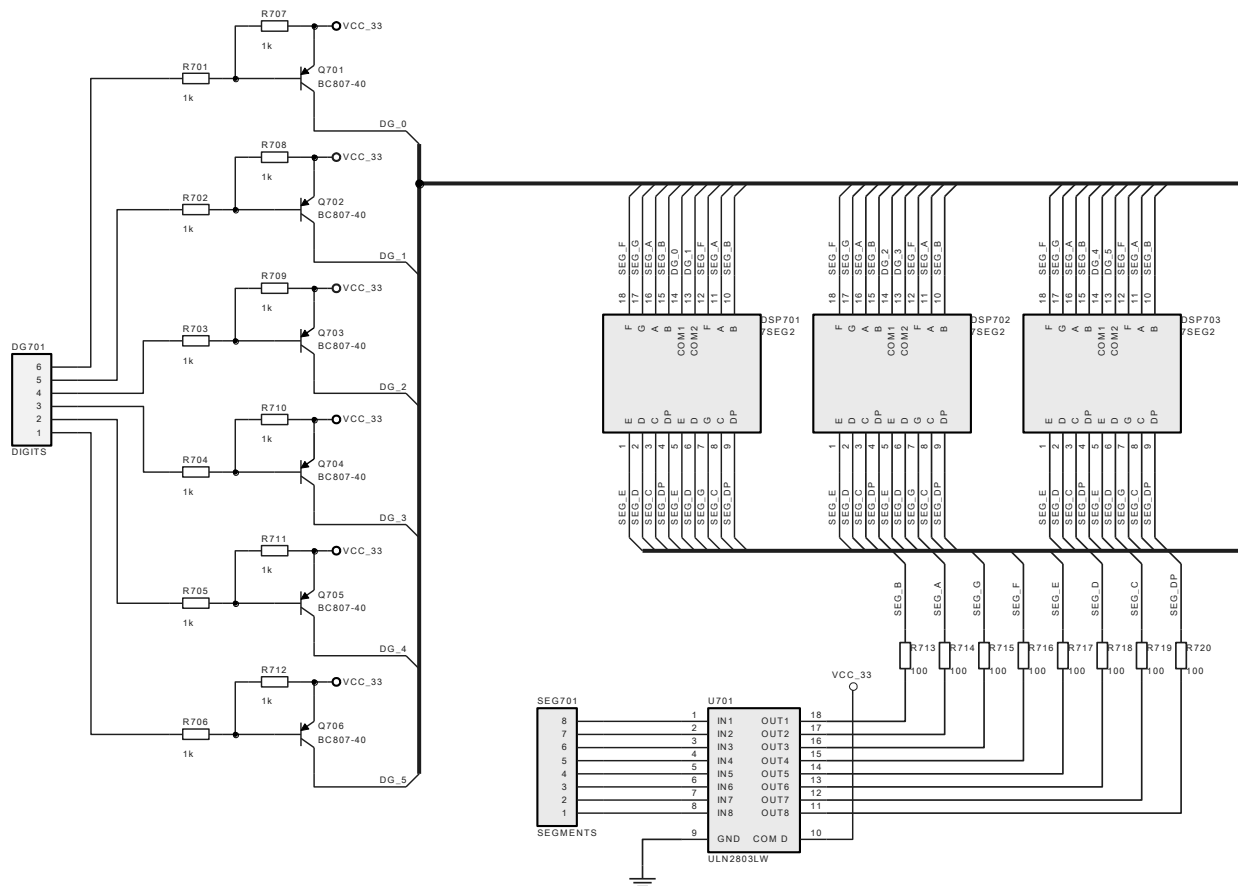
Układ został wyposażony we wzmacniacz mocy umożliwiający wysterowanie układów elektrycznych o większym poborze prądu. Układ składa się z 8 identycznych wzmacniaczy pracujących w układzie Darlington. Rozmieszczenie sygnałów na płycie prototypowej pokazano na rysunku (Rys. 3.6).



Rys. 3.6. Rozmieszczenie elementów łączących wzmacniacza mocy

3.3. Zespół wyświetlaczy 7 segmentowych LED.

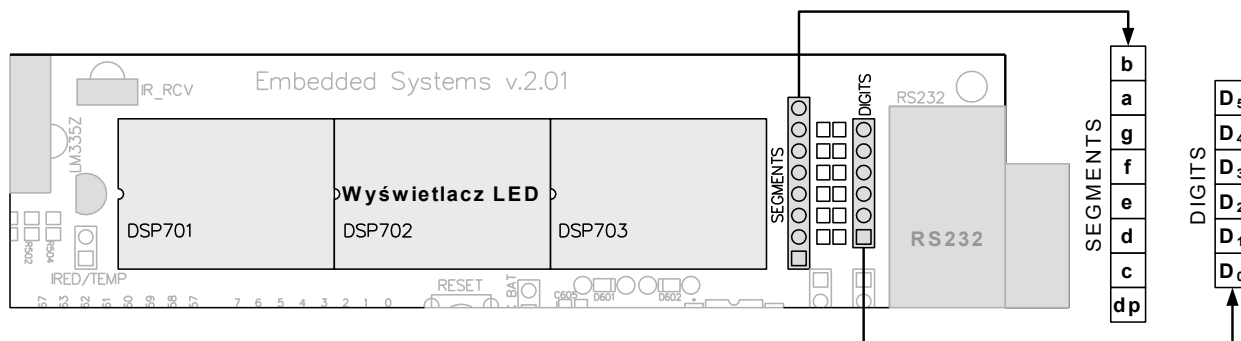
Moduł posiada 6-cio pozycyjny wyświetlacz LED 7-mio segmentowy o wspólnej anodzie. Moduły wyświetlacza zostały połączone do pracy w systemie wyświetlania multipleksowanego. Wybór wyświetlania multipleksowanego znacząco ogranicza liczbę sygnałów jakie należy doprowadzić do wyświetlacza w celu jego



Rys. 3.7. Schemat ideowy zespołu wyświetlacza 7-mio segmentowego LED

prawidłowegoysterowania.

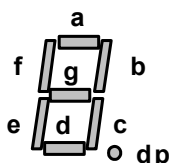
Układ wyświetlacza (Rys. 3.7) został wyposażony we wzmacniacze prądu segmentów (ULN2803) oraz we wzmacniacze prądu cyfr (BC807). Dzięki zastosowanym układom wzmacniającym możliwe jest sterowanie modułu



Rys. 3.8. Rozmieszczenie połączeń zespołu wyświetlacza siedmiosegmentowego.

bezpośrednio za pomocą sygnałów cyfrowych pochodzących z układów logicznych.

UWAGA: Ze względu na zwiększony prąd segmentu w wyświetlaczu przeznaczonym do wyświetlania dynamicznego nie należy wykorzystywać zespołu wyświetlaczy do wyświetlania statycznego.



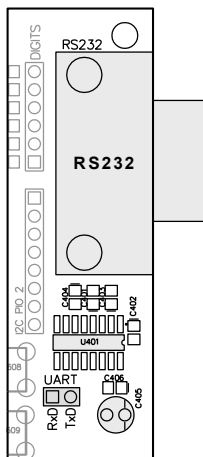
Rys. 3.9. Konwencja nazewnictwa segmentów wyświetlacza.

Rozmieszczenie połączeń wyświetlacza LED zostało przedstawione na (Rys. 3.8). Należy zwrócić uwagę na aktywne poziomy logiczne sterujące segmentami (stan wysoki – 1) i cyframi (stan niski – 0).

Przy oznaczeniu segmentów wyświetlacza wykorzystano standardowo przyjęte nazewnictwo literowe. Powiązanie pomiędzy nazwami literowymi segmentów a wyświetlaczem zostały pokazane na rysunku (Rys. 3.9).

3.4. Interfejs RS-232

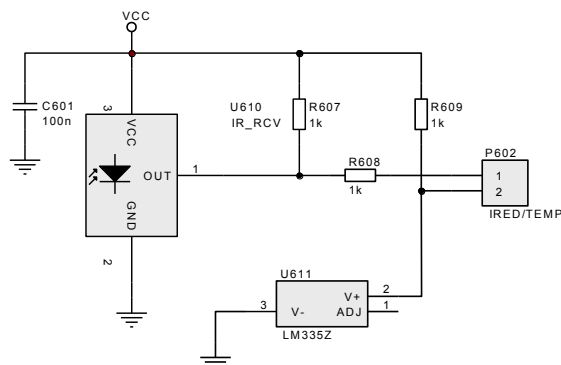
Układ wyposażono w gniazdo DB-9 oraz układ konwertera poziomów logicznych pozwalające na dołączenie urządzeń pracujących w standardzie RS-232.



Rys. 3.10. Rozmieszczenie elementów łączących interfejsu RS-232

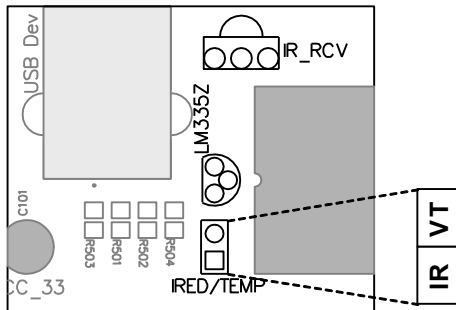
3.5. Odbiornik podczerwieni oraz analogowy czujnik temperatury

Układ wyposażono w zintegrowany odbiornik podczerwieni SFH5110 – 36 (lub 38). Zintegrowany układ odbiornika posiada wbudowany filtr pasmowo przepustowy (7-go rzędu) dla sygnału modulującego o częstotliwości nośnej 36kHz (38kHz).



Rys. 3.11. Schemat elektryczny odbiornika podczerwieni i termometru analogowego.

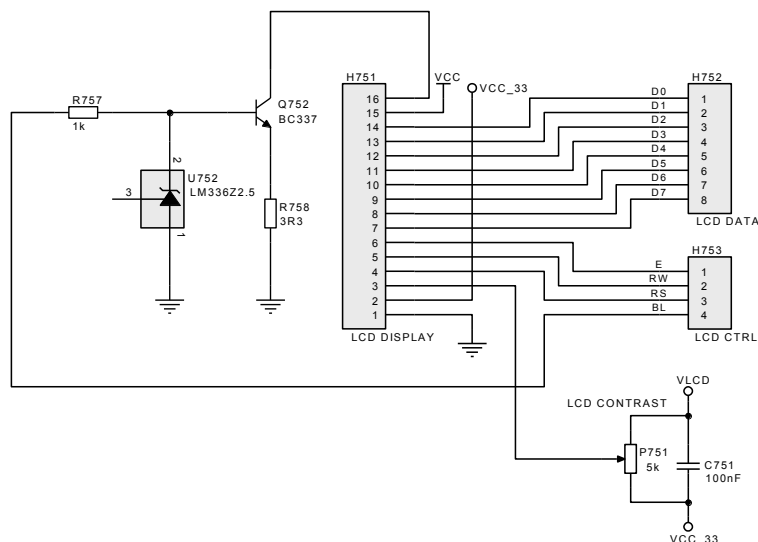
Obok odbiornika podczerwieni umieszczono analogowy czujnik temperatury LM335 którego napięcie wyjściowe jest proporcjonalne do temperatury wyrażonej w Kelwinach. Napięciowy współczynnik temperaturowy układu wynosi 10 mV/°K (°C) ($20^{\circ}\text{C} = 293^{\circ}\text{K} \Rightarrow 2.93\text{V}$).



Rys. 3.12. Rozmieszczenie elementów łączących odbiornik podczerwienie oraz termometr analogowy.

3.6. Wyświetlacz znakowy LCD

Układ prototypowy umożliwia dołączenie wyświetlacza LCD mozaikowego z wbudowanym dekoderny znakowy oraz układem sterowania. Dla dołączenia wyświetlacza zostało zaprojektowane specjalne gniazdo przeznaczone do dołączenia 16 przewodowej taśmy łączącej wyświetlacz z płytą. Zestaw połączeń umożliwia sterowanie wyświetlaczem (14 linii) oraz zespołem podświetlenia (2 linie). Układ podświetlenia jest sterowany za pomocą źródła prądowego o wydajności około 115mA (przy napięciu nie większym niż 3.4V) .

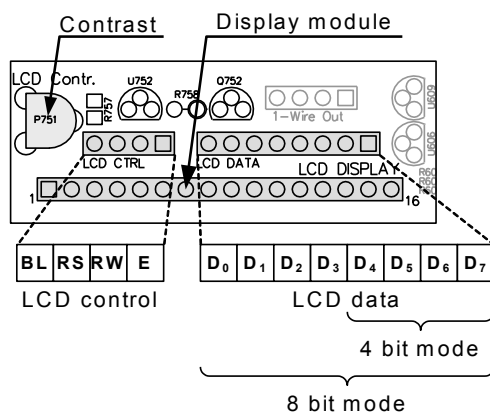


Rys. 3.13. Schemat połączenia wyświetlacza znakowego LCD

UWAGA: Dołączenie i odłączenie wyświetlacza można dokonać tylko przy wyłączonym napięciu zasilania.

Podczas montażu wyświetlacza należy zwrócić szczególną uwagę. Wyświetlacz posiada 16 wyprowadzeń, które należy przyłączyć do 16 stykowego złącza specjalnie dla niego przeznaczonym przewodem.

Sterownik wyświetlacza jest kompatybilny z układem HITACHI HD44780. Jest on przyjęty jako standardowe rozwiązanie w układach sterowania wyświetlaczami



Rys. 3.14. Rozmieszczenie elementów łączących wyświetlacz znakowy LCD

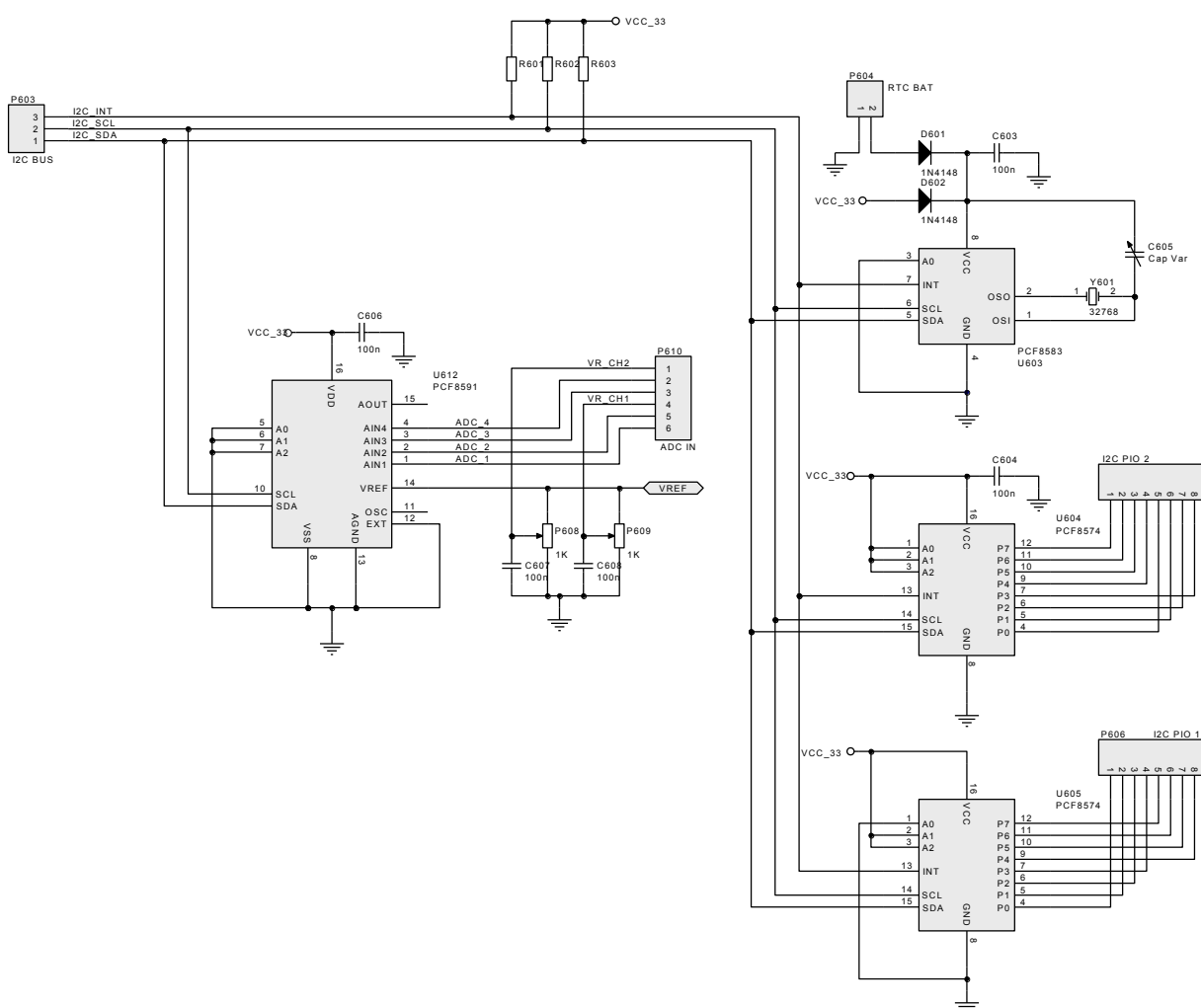
mozaikowymi LCD.

3.7. Układy magistrali I²C

Układ został wyposażony w kilka układów peryferyjnych i interfejsowych połączonych przy pomocy szeregowej magistrali I²C. Do grupy układów należą:

- Zegar czasu rzeczywistego (RTC) oraz pamięć RAM (PCF8583) wraz z możliwością przyłączenia podtrzymania baterijnego
- 8-bitowe porty wejścia-wyjścia (PCF8574) – 2 układy
- 8-bitowy 4-kanalowy przetwornik analogowo-cyfrowy wykorzystujący metodę sukcesywnej aproksymacji (PCF8591)

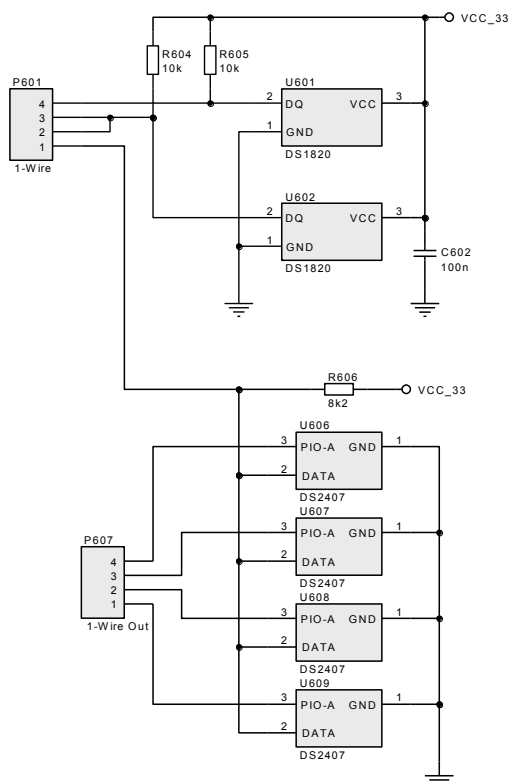
Na rysunku (Rys. 3.15) pokazano schemat ideowy układów połączonych za pomocą magistrali I²C. Obok standardowych sygnałów SDA oraz SCL wyprowadzono sygnał przerywający INT generowany przez układy wejścia-wyjścia i układ zegara czasu rzeczywistego.



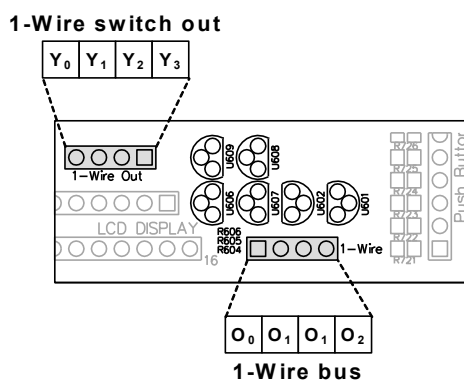
Rys. 3.15 Układy połączone za pomocą magistrali I²C

3.8. Układy magistrali 1-Wire™

Układ wyposażono w termometr cyfrowy DS18B20 (2 szt.) oraz układy przełączników cyfrowych DS2407 (4 szt.). Połączenia układów można konfigurować w celu budowy sieci z różną ilością stacji. Układy termometrów można przyłączać pojedynczo, natomiast przekaźniki DS2407 pracują w połączeniu sieciowym 4 równoległych jednostek z zasilaniem pasożytniczym (ang. parasitic power).



Rys. 3.18. Układy magistrali 1-Wire™.



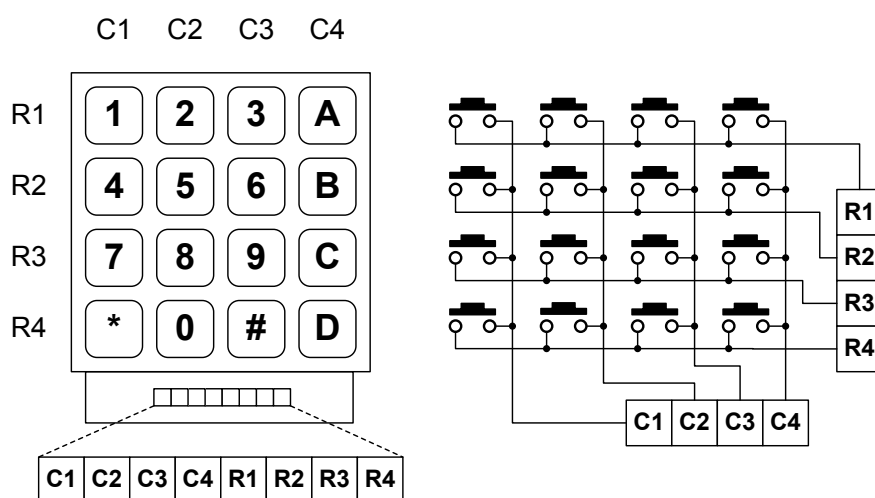
Rys. 3.17. Rozmieszczenie elementów łączących układów magistrali 1-Wire™.

4. Dodatkowe urządzenia i układy peryferyjne.

Do układu uruchomieniowego obok obecnych elementów peryferyjnych można dołączyć inne zewnętrzne moduły możliwe do przyłączenia za pomocą przewodów łączących.

4.1. Klawiatura matrycowa 16 przyciskowa

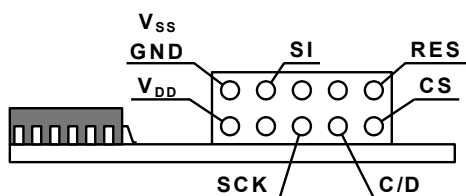
Jest typowym przykładem moduły klawiatur złożonej z 16 przycisków. Przyciski zorganizowane są w sposób tablicowy. Naciśnięcie przycisku dokonuje połączenia między odpowiednimi liniami reprezentującymi wiersze i kolumny klawiatury matrycowej. Układ wyprowadzeń oraz przypisania klawiatury pokazana na rysunku (Rys. 4.1).



Rys. 4.1. Moduł klawiatury matrycowej

4.2. Wyświetlacz ciekłokrystaliczny ze sterownikiem NEC uPD7225.

Moduł wyposażony jest w wyświetlacz LCD złożony z symboli cyfr w formie 7 segmentowej oraz symbol przecinka. Układ steruje wyświetlaczem złożonym z 16 cyfr. Moduł wyposażono w odpowiedni przewód łączący pozwalający na dołączenie zasilania oraz sygnałów sterujących. Wiązka przewodów łączących wykorzystuje kolorowe przewody do rozróżnienia linii zasilania oraz sygnałów sterujących.



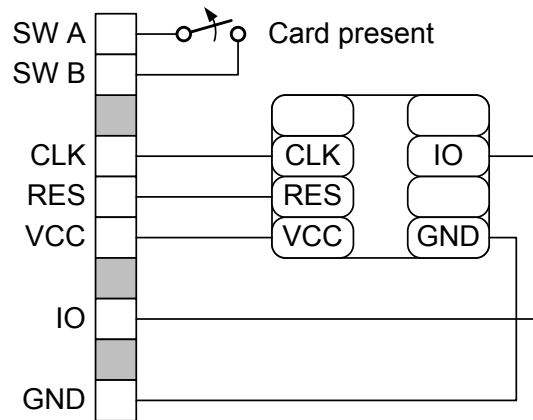
Rys. 4.2. Moduł wyświetlacza segmentowego LCD ze sterownikiem uPD7225

Tab. 4.1. Oznaczenia barwne wiązki łączącej wyświetlacz

Sygnał	Kolor
V_{SS} / GND	niebieski
V_{DD}	czerwony
SCK	biały
SI	zielony
C/D	żółty
CS	brązowy
RES	czarny

4.3. Gniazdo kart z pamięcią półprzewodnikową

Do układu można dołączyć gniazdo pamięciowych kart półprzewodnikowych potocznie zwanych kartami CHIP.



Rys. 4.3. Gniazdo karty CHIP

4.3.1. Własności elektryczne karty i czytnika

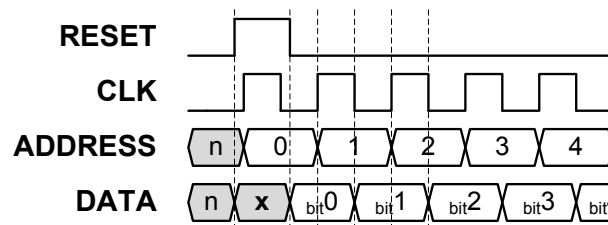
Styki „Card present” nie posiadają rezystora polaryzującego. Wyprowadzenie mikrokontrolera/układu FPGA musi posiadać włączony wewnętrzny rezystor polaryzujący (np. dla AVR $\text{DDRx}_i = 0$, $\text{PORTx}_i = 1$)

Wyprowadzenie danych karty CHIP jest typu otwarty dren. W celu poprawnego odczytu danych należy zapewnić polaryzację stanem wysokim za pomocą rezystora podobnie jak dla styku „Card present” (np. dla AVR $\text{DDRx}_i = 0$, $\text{PORTx}_i = 1$)

4.3.2. Protokół komunikacyjny

These cards are in fact 128 bit memory in NMOS technology, and the map of these cards are the following:

- 64 bit EPROM written protected (manufacturer area).
- 40 bit EEPROM (5x8 bits).
- 24 bits set to "1"



Rys. 4.4. Przebiegi sygnałów podczas inicjalizacji i odczyt karty CHIP

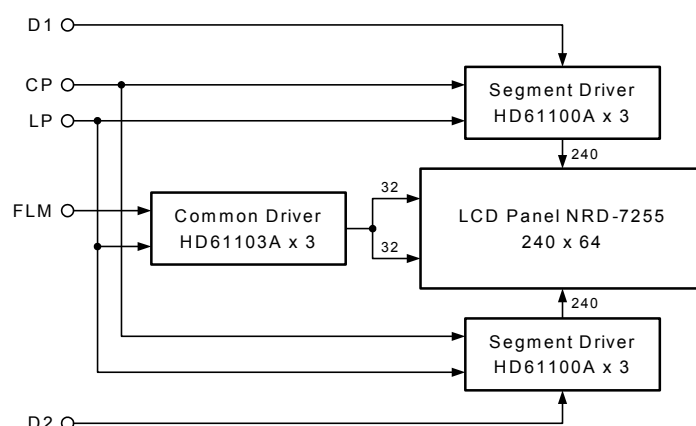
Reset: The address counter is reset to 0 when the clock line CLK is raised while the control line R is high. Note that the address counter cannot be reset when it is in the range 0 to 7.

The address counter is incremented by 1 with each rising edge of the clock signal CLK, for as long as the control line RESET remains low. The data held in each ad-

displayed bit is output to I/O contact each time CLK falls. It is not possible to decrement the address counter, therefore to address an earlier bit, the address counter must be reset then incremented to required value.

4.4. Moduł wyświetlacza graficznego 240x64 (DMF-633).

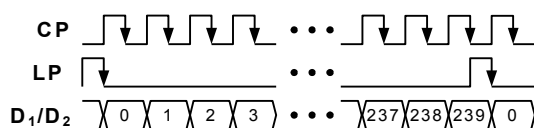
Moduł wyświetlacza został wyposażony w układy zapewniające sterowanie monochromatyczną matrycą LCD (Rys. 4.5).



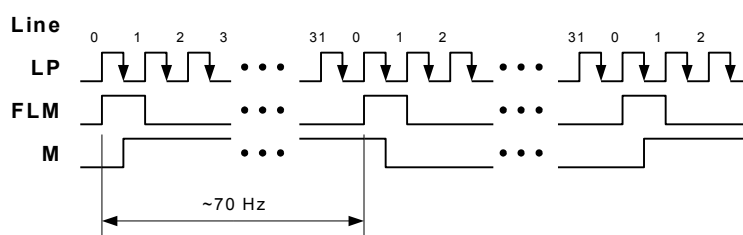
Rys. 4.5. Schemat blokowy wyświetlacza DMF633

Układ wyposażono w sterowniki punktów zbudowane na układzie HD61100A oraz układ sterowania wierszami HD61103A. Wyświetlanie obrazu odbywa się w sposób multipleksowany o 32 cyklach. Wyświetlacz został podzielony poziomo na dwa półobrazy górny i dolny o rozmiarach 32x240, które sterowane są przez niezależne grupy układów HD61100A. Układ HD61103A odpowiada za uaktywnianie wiersza, w którym ma odbyć się wyświetlenie treści punktów. Jest on wspólnym elementem sterującym obie połówki wyświetlacza.

Technika wyświetlania obrazu za pomocą wyświetlacza LCD oparta jest na kreśleniu



Rys. 4.6. Przebiegi sygnałów sterujących zapisem linii.



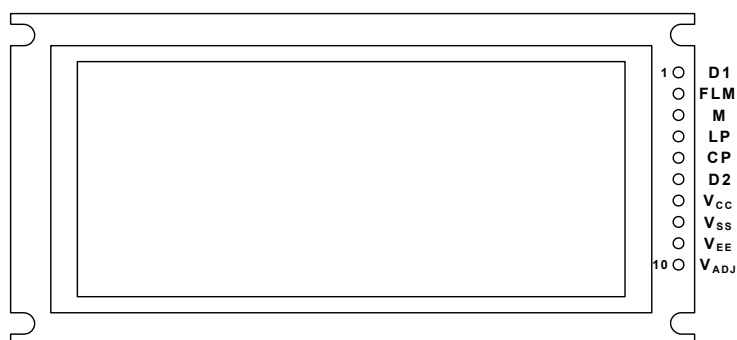
Rys. 4.7. Przebiegi sygnałów synchronizacji pionowej

kolejnych linii. Cykl kreślenia całego obrazu wymaga wykreślenia 32 linii w dwóch półobrazach.

W celu wyświetlenia obrazu należy do wejść danych modułu wyświetlacza D₁ i D₂ doprowadzić treść linii półobrazów w postaci szeregowej (Rys. 4.6). Dane te zostaną wprowadzone do rejestru przesuwającego linii na opadającym zboczu sygnału CL. Po wprowadzeniu 240 bitów danych do rejestru przesuwającego sterownika należy przepisać treść linii obrazu do rejestru buforującego wysyłając impuls na linii LP (tożsame z impulsem synchronizacji poziomej).

Aby właściwie umiejscowić linię na płaszczyźnie wyświetlacza (Rys. 4.7) pierwsza linia jest oznaczona stanem wysokim na linii FLM (tożsame z impulsem synchronizacji pionowej). Wczytanie stanu linii FLM jest sterowane przez opadające zbocze sygnału LP.

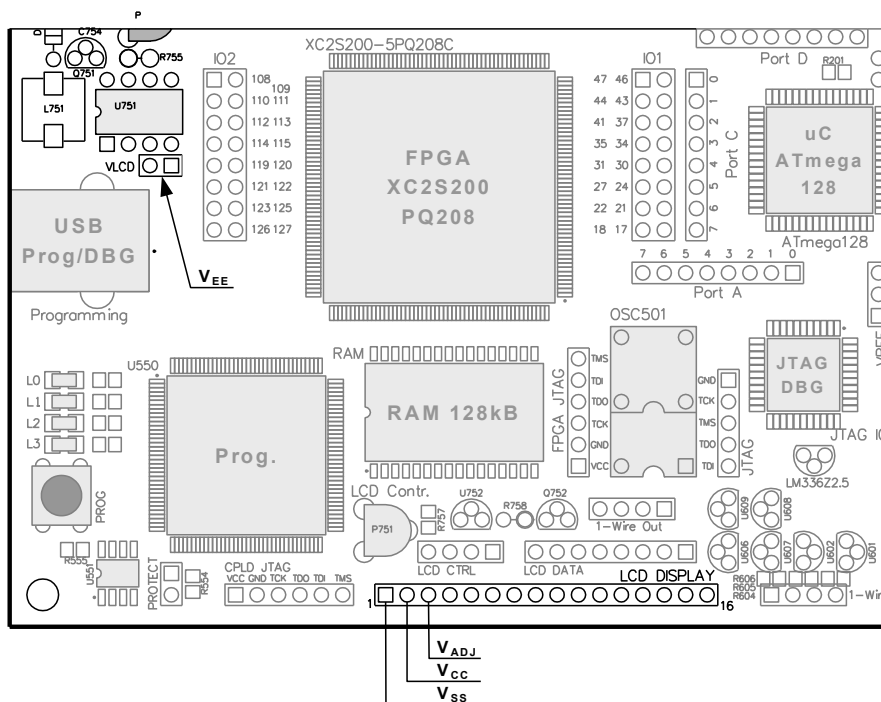
W celu zapobieżenia migotaniu obrazu kreślenie powinno odbywać się z częstotliwością około 70Hz. Wyświetlacze LCD wymagają sterowania napięciem zmiennym (napięcie stałe powoduje degradację własności ciekłego kryształu). Dla poprawnej pracy wyświetlacza należy doprowadzić do niego przebieg prostokątny zapewniający cykliczne odwracanie polaryzacji sygnałów sterujących dla kolejnych obrazów. Do tego celu wykorzystuje się linię M.



Rys. 4.8. Rozmieszczenie sygnałów zasilających i sterujących.

Rozmieszczenie linii zasilających oraz sygnałów sterujących pokazano na rysunku (Rys. 4.8).

Uwaga: Przyłączenie i odłączenie wyświetlacza może odbywać się wyłącznie przy odłączonym zasilaniu modułu



Rys. 4.9. Miejsce przyłączenia zasilania wyświetlacza.

Do przyłączenia wyświetlacza do płytki prototypowej wykorzystuje się specjalną 10 przewodową wiązkę. Została ona zaopatrzona w trójprzewodowe złącze zasilania głównego, kabel napięcia polaryzacji wyświetlacza LCD, sześciu przewodowe złącze sygnałów sterujących i danych. Zasilanie modułu należy przyłączyć do wskazanych na rysunku (Rys. 4.9) miejsc.

W celu ułatwienia umiejscowienia sygnałów w wiązkach przewodów wykorzystano kolorowe przewody. Zestawienie sygnałów z odpowiadającymi im kolorami zebrano w tabeli (Tab. 4.2).

Tab. 4.2. Zestawienie kolorów przewodów wiązki wyświetlacza

Złącze zasilania (trójprzewodowa wtyczka)		
V_{SS}	czarny	masa
V_{CC}	czerwony	Zasilanie +3.3V
V_{ADJ}	biały	Kontrast wyświetlacza
Zasilanie panelu LCD (pojedynczy przewód)		
V_{EE}	niebieski	Zasilanie ujemne -7V
Linie sterujące i danych (sześcioprzewodowa wtyczka)		
D_1	czarny	Linia danych górnego półobrazu
FLM	brązowy	Sygnał początku ramki wyświetlania

M	czerwony	Sygnał przełączania polaryzacji wyświetlacza
LP	żółty	Sygnał zegarowy zatrzaśnięcia danych linii
CP	zielony	Sygnał zegarowy synchronizujący dane linii
D ₂	niebieski	Linia danych dolnego półobrazu

4.5. Moduł wyświetlacza graficznego ze sterownikiem NJU6450A

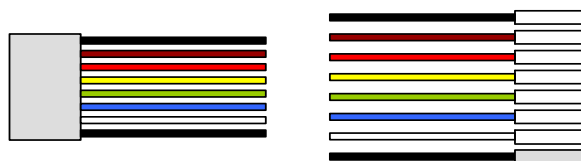
4.6. Moduł ultradźwiękowego czujnika odległości

5. Połączenia

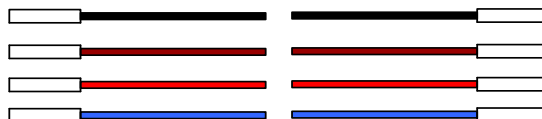
Do wykonywania połączeń pomiędzy wyprowadzeniami modułu stosuje się okablowanie zakończone odpowiednimi wtyczkami. Końcówki jak i gniazdka zostały pokryte cienką warstwą złota technicznego, które zapewnia bardzo dobry kontakt elektryczny a także redukuje podatność na korozję. Specjalna sprężysta konstrukcja mechaniczna wtyczek konektorowych zapewnia uzyskanie pewnego styku w wykonywanych połączeniach.



Rys. 5.1. Kabel magistralowy 8 przewodowy.



Rys. 5.2. Zestaw 8 swobodnych przewodów zakończonych wspólna wtyczką.



Rys. 5.3. Przewody pojedyncze.

W celu ułatwienia prowadzenia połączeń oraz zapewnienia maksymalnej swobody realizacji różnorodnych połączeń zaprojektowano następujące podstawowe rodzaje elementów łączących:

1. Kabel magistralowy 8 przewodowy (Rys. 5.1)
2. Kabel magistralowy 16 na 8/4/4x1 (przeznaczony dla układu FPGA -)
3. Zestaw 8 swobodnych przewodów zakończonych wtyczką (Rys. 5.2)
4. Pojedyncze przewody zakończone odpowiednimi wtyczkami (Rys. 5.3)
5. 16 żyłowy kabel do dołączenia wyświetlaczy LCD ze sterownikami zgodnymi z interfejsem układu HD44780

Obok typowych elementów łączących dla specyficznych elementów peryferyjnych zostały wykonane odpowiednie przewody przyłączeniowe (np. dla wyświetlacza DMF-633)

6. Programowanie i diagnostyka oprogramowania mikrokontrolera ATmega128

Mikrokontroler ATmega128 posiada wbudowany interfejs diagnostyczny IEEE-1149.1 (potocznie zwany ścieżką brzegową). Oprócz zastosowania do diagnostyki układowej wykorzystuje się go również do programowania pamięci programu oraz pamięci danych EEPROM mikrokontrolera.

W układ ścieżki brzegowej zostały włączone również rejestry systemu diagnostyki oprogramowania w układzie (OCDS ang. On Chip Debug System).

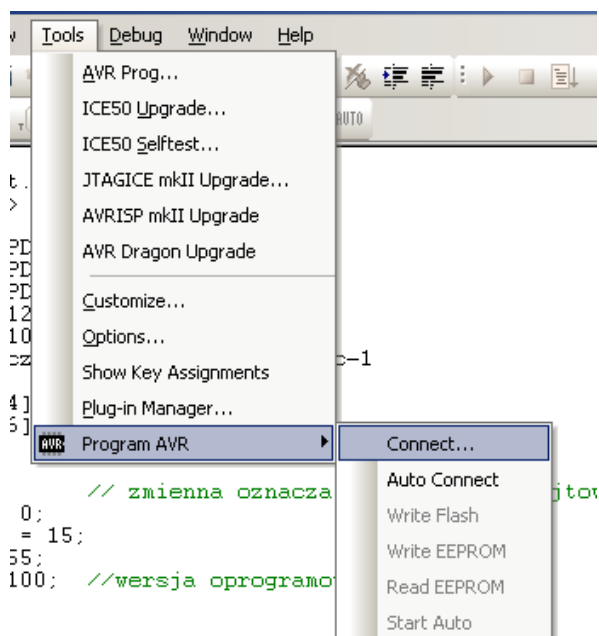
Do nadzorowania pracy systemu diagnostycznego wykorzystuje się dodatkowy mikrokontroler odpowiedzialny za konwersję protokołu komunikacyjnego pomiędzy standardem szeregowej transmisji asynchronicznej (potocznie zwanej RS-232) a standardem synchronicznej transmisji synchronicznej IEEE-1149.1.

Układ można programować oraz prowadzić diagnostykę oprogramowania za pomocą narzędzi AVR Studio oraz IAR Embedded Workbench for AVR.

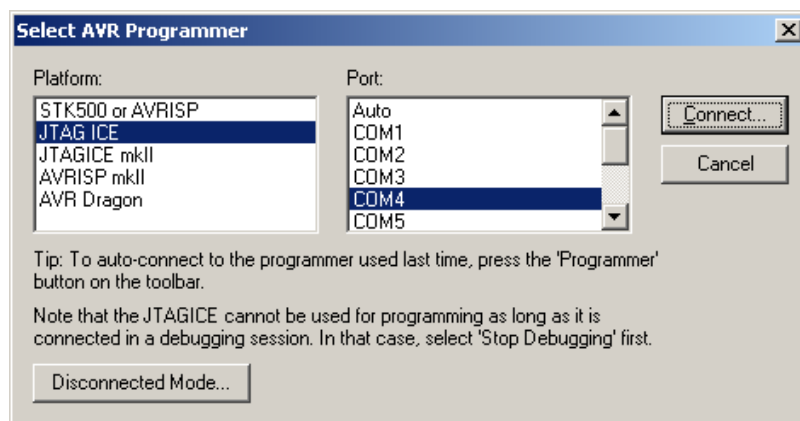
Uwaga! Narzędzia diagnostyki oprogramowania korzysta z tego samego portu komunikacyjnego co program konfigurujący układ FPGA. W czasie diagnostyki oprogramowania nie jest możliwe rekonfigurowanie układu FPGA lub modyfikacja zawartości pamięci EEPROM.

6.1. Programowanie za pomocą AVR Studio

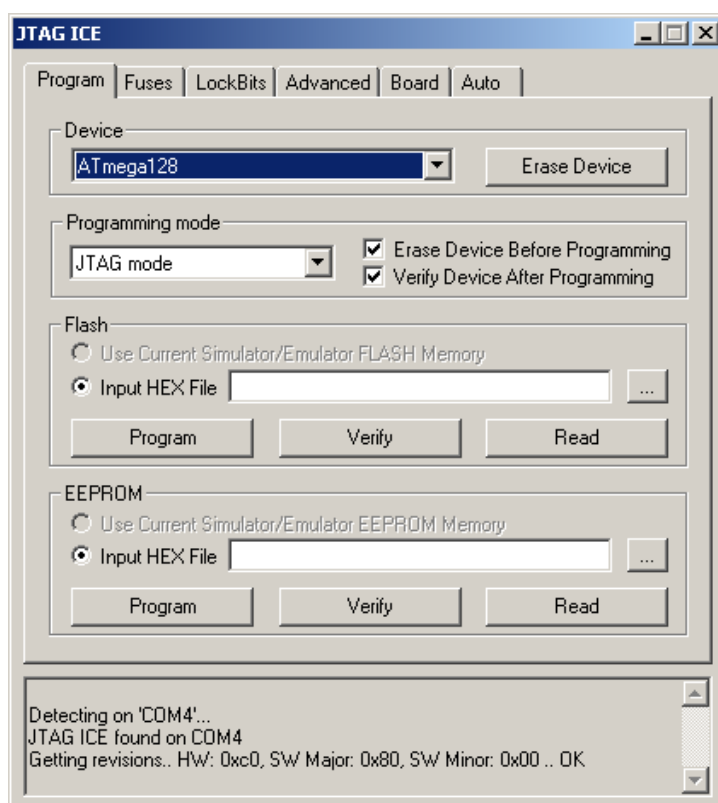
Z menu programu należy wybrać:



Następnie pojawi się dialog w którym należy wybrać typ programatora JTAG ICE oraz port przez który został dołączony do komputera.



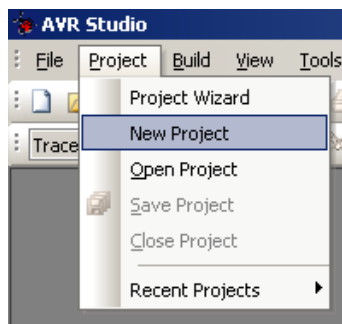
Jeżeli program zdoła nawiązać połączenie z programatorem zostanie wyświetlony dialog programatora



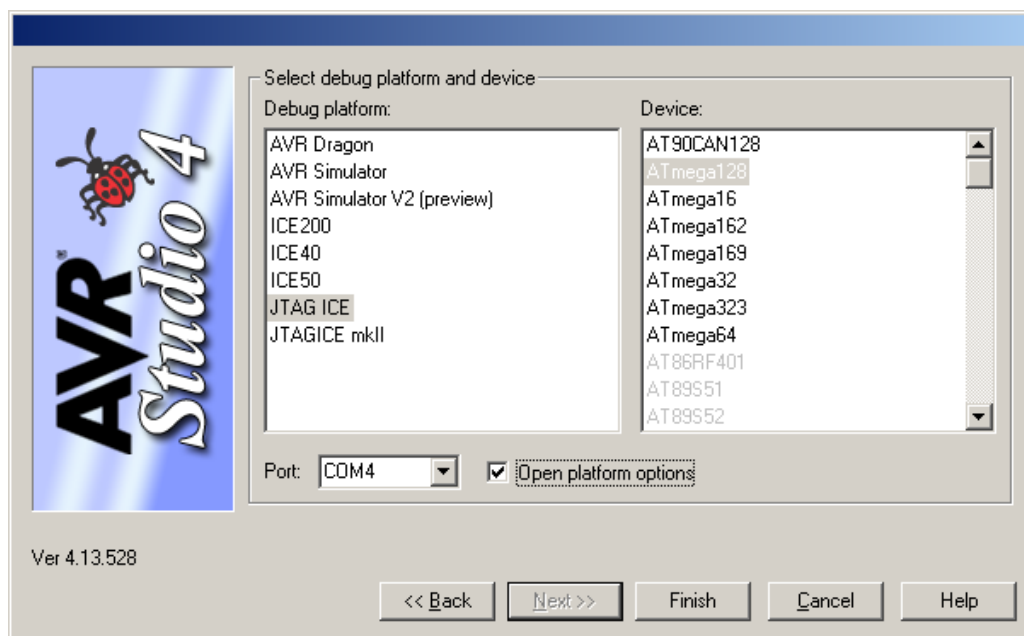
6.2. Diagnostyka oprogramowania w AVR Studio

Program AVR Studio umożliwia prowadzenie symulacji napisanego oprogramowania. Możliwa jest symulacja oprogramowania napisanego w języku assembler oraz w językach wysokiego poziomu pod warunkiem dostarczenia pliku obiektowego w formacie UBROF 8 (IAR – XLINK).

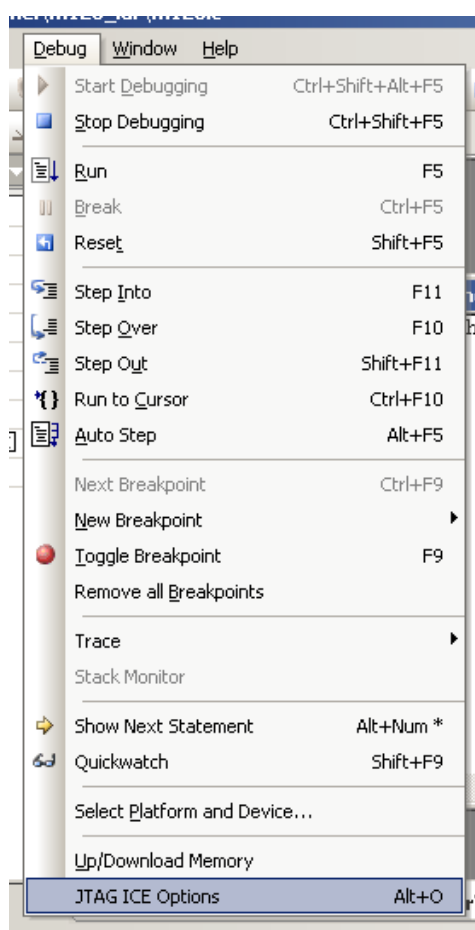
Tworzenie projektu rozpoczyna się od wybrania w menu Project/New Project:



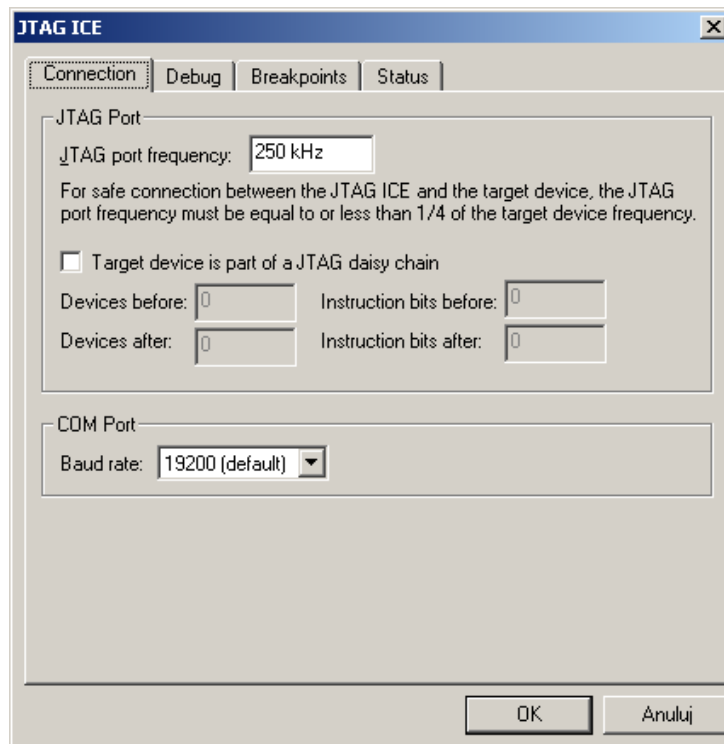
Wywołany zostanie dialog konfiguracji projektu. Po wypełnieniu informacji dotyczącej nazwy i lokalizacji projektu pojawi się dialog konfiguracji platformy docelowej. W dialogu tym należy wybrać platformę (Debug platform) JTAG ICE oraz układ docelowy (Device) ATmega128. Sugeruje się również wybranie portu komunikacyjnego. Zaznaczając opcję „Open platform options” pojawi się dodatkowy dialog.



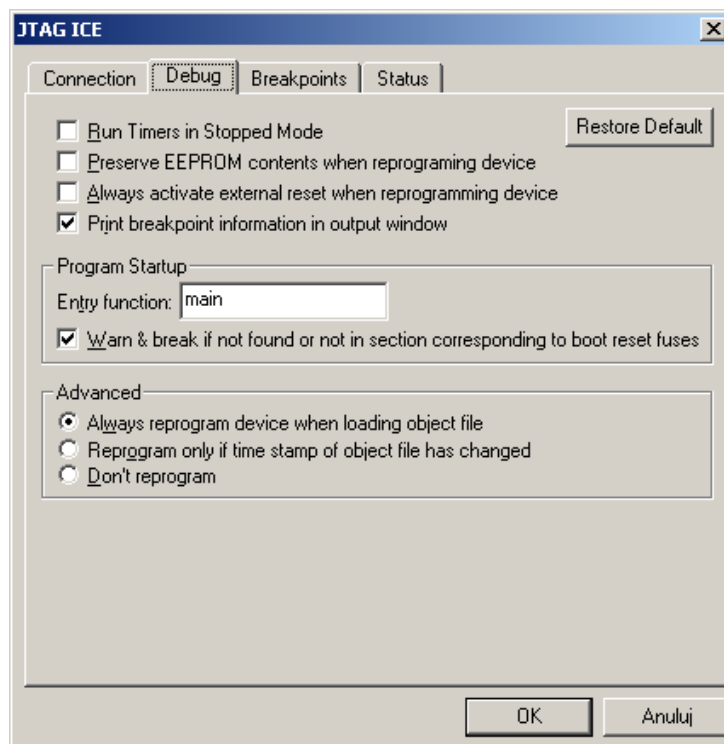
Wywołanie dialogu jest możliwe również poprzez wybranie opcji z menu



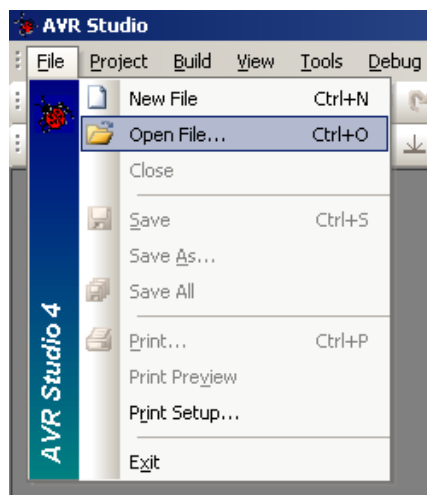
Dialog „Platform options” umożliwia dokonanie dalszych ustawień w systemie diagnostyki. Dialog składa się z czterech zakładek



Pierwsza zakładka grupuje ustawienia związane z połączeniem. W celu przyspieszenia wymiany informacji z systemem diagnostycznym można ustawić prędkość transmisji na maksymalna możliwą i wynoszącą 115200 bps.

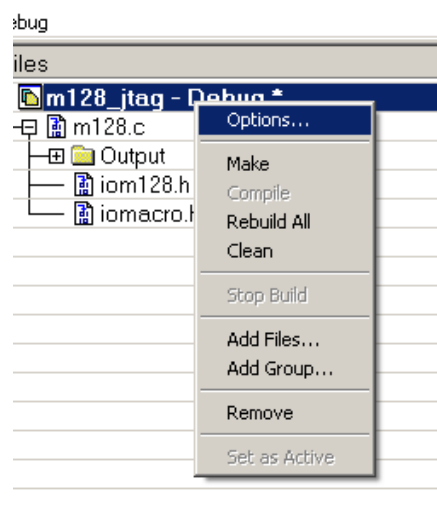
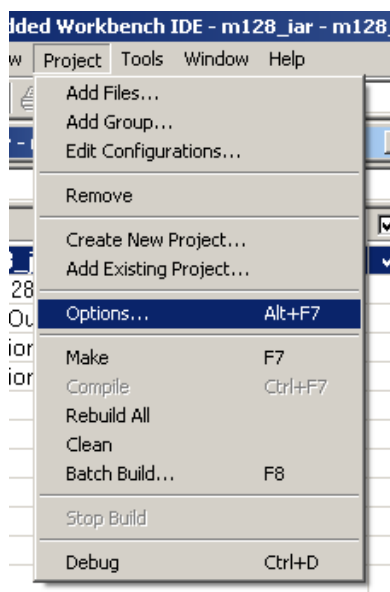


W celu otwarcia pliku obiektowego z informacją diagnostyczną w formacie UBROF 8 wykorzystuje się polecenie otwarcia pliku. W dialogu otwarcia pliku należy wskazać plik obiektowy. Środowisko utworzy projekt który należy skonfigurować w podobny sposób jak przy zakładaniu nowego projektu przeznaczonego do emulacji sprzętowej.

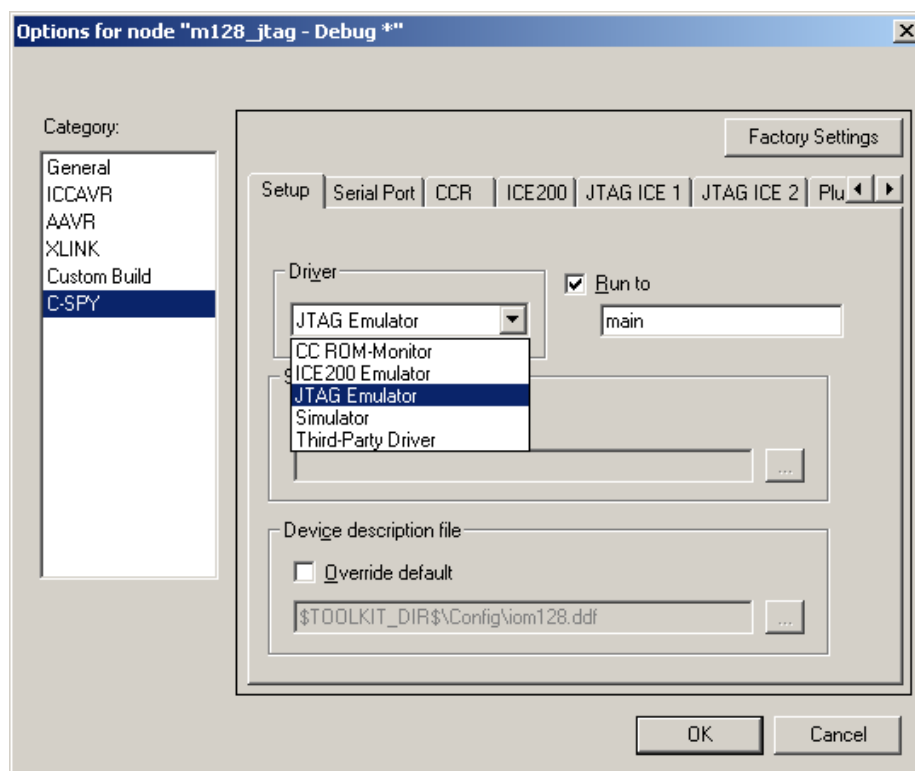


6.3. Programowanie i diagnostyka oprogramowania w środowisku IAR Embedded Workbench

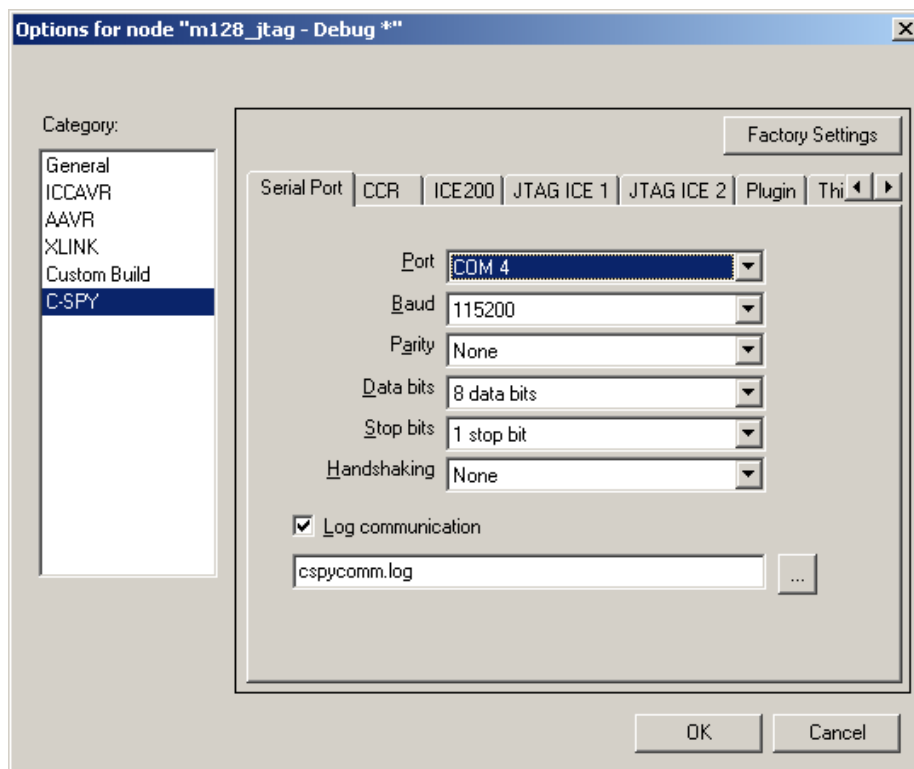
Zintegrowane środowisko do tworzenia i diagnostyki oprogramowania firmy IAR umożliwia również prowadzenie diagnostyki oprogramowania z wykorzystaniem emulacji sprzętowej w programie C-SPY. W celu skonfigurowania środowiska do pracy z emulatorem sprzętowym należy wybrać z menu głównego lub kontekstowego opcje projektu.



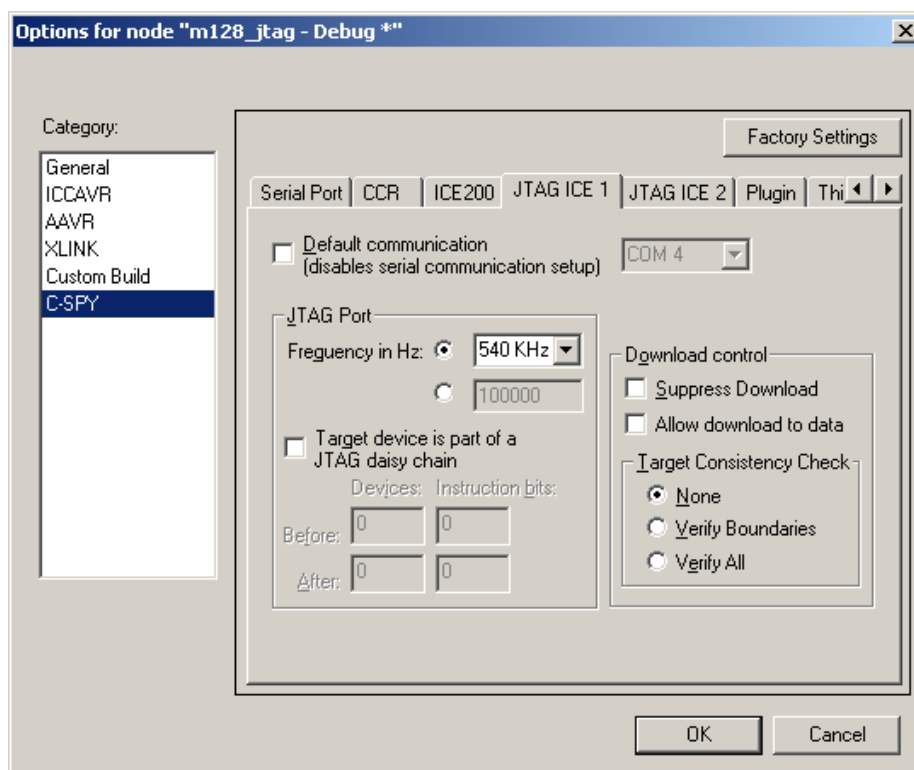
W dialogu wybiera się opcję C-SPY. W liście wyboru sterownika symulatora zostaje wybrany JTAG Emulator.



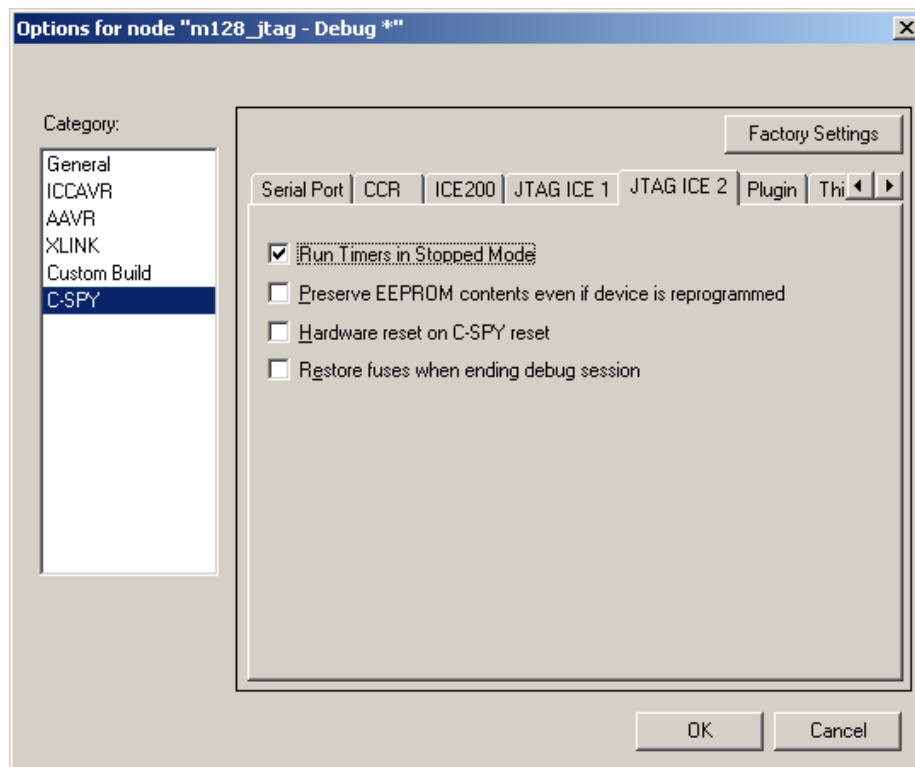
W zakładce dialogu Serial Port należy ustawić parametry konfiguracji. Sugeruje się wybrać prędkość sygnalizacji 115200 bitów na sekundę, znak 8-mio bitowy, bez bitu parzystości i jednym bitem stop. Komunikacja odbywa się bez sterowania przepływem



W zakładce dialogu JTAG ICE1 sugeruje się wybrać możliwie wysoką częstotliwość taktowania magistrali JTAG co pozwoli na szybszą odpowiedź układu w czasie procesu diagnostyki.



Zakładka JTAG ICE2 pozwala na określenie dodatkowych własności emulatora oraz sposobu zachowania się układów sprzętowych mikrokontrolera w czasie prowadzenia procesu diagnostycznego (np. pracy krokowej).



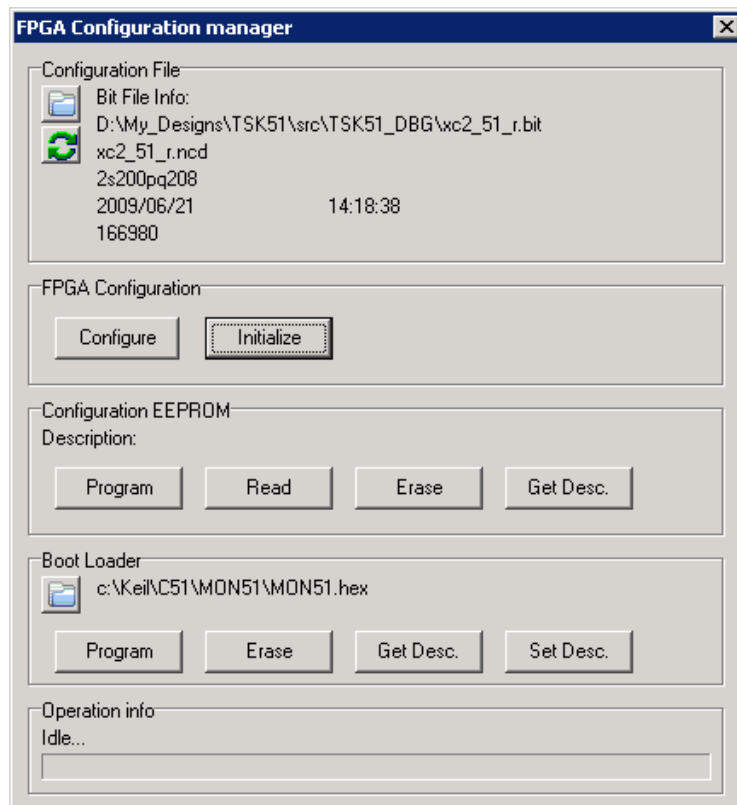
7. Konfiguracja układu FPGA.

Układ FPGA utrzymuje konfigurację w pamięci RAM umożliwiając jej wielokrotną modyfikację. Po załączeniu zasilania układ i wykonaniu wewnętrznej procedury inicjalizującej oczekuje na podanie informacji konfigurującej. Konfiguracja do układu FPGA może zostać wprowadzona za pomocą układu nadzorującego (XC95XL144) w następujący sposób:



1. Automatycznie po załączeniu zasilania lub naciśnięciu przycisku PROG zostaje przepisana zawartość pamięci EEPROM do układu FPGA. Jeżeli w pamięci znajdował się poprawny ciąg informacji konfigurującej układ FPGA rozpocznie samodzielne działanie
2. Za pomocą aplikacji konfigurującej – procedura zostanie opisana w dalszej części niniejszego rozdziału

Aplikacja nadzorująca konfigurację układu umożliwia:

1. Konfigurowanie układu FPGA
2. Modyfikację zawartości pamięci EEPROM przechowującej strumień konfiguracyjny (3 sektory - 192kB)
3. Modyfikację sektora rozruchowego (Boot Loader), który może przechowywać dodatkowe informacje wczytywane przez układ podczas rozruchu lub w czasie działania. Przykładem może być umieszczenie wraz z konfiguracją rdzenia mikrokontrolera 8051 programu monitora współpracującego ze środowiskiem KEIL



Uwaga: Program konfigurujący układ FPGA korzysta z tego samego portu komunikacyjnego co narzędzia diagnostyki oprogramowania (AVR Studio, IAR Embedded Workbench). W czasie konfiguracji układu FPGA nie jest możliwe prowadzenie procesu diagnostycznego oprogramowania na mikrokontrolerze AVR ATmega128.

Okno programu konfigurującego zostało przedstawione na rysunku. Podstawowym elementem procesu konfiguracji jest plik zawierający strumień bitowy przeznaczony dla układu FPGA. W polu Configuration File można dokonać wyboru pliku za pomocą przycisku  lub dokonać ponownego wczytania tego samego pliku (np. po modyfikacji) za pomocą przycisku .

Sterowanie działaniem układu FPGA pozwala na jego konfigurację wybranym plikiem przez naciśnięcie przycisku Configuration lub usunięcie konfiguracji przez naciśnięcie przycisku Initialize.

Sektory pamięci EEPROM przeznaczone na dane konfigurujące układ FPGA mogą zostać zaprogramowane wybranym strumieniem konfigurującym (Program), skasowane (Erase). Pozostałe opcje nie zostały zaimplementowane.

Programowanie pamięci odbywa się w cyklu automatycznym ze sprawdzeniem stanu pamięci oraz weryfikacją danych po zapisie.

Pozostały 64kB sektor pamięci EEPROM przeznaczony został na sektor rozruchowy. W tym sektorze użytkownik może przechowywać swoje dane. Dane do zapisania w sektorze pobierane są ze wskazanego pliku w formacie IntelHEX przy użyciu

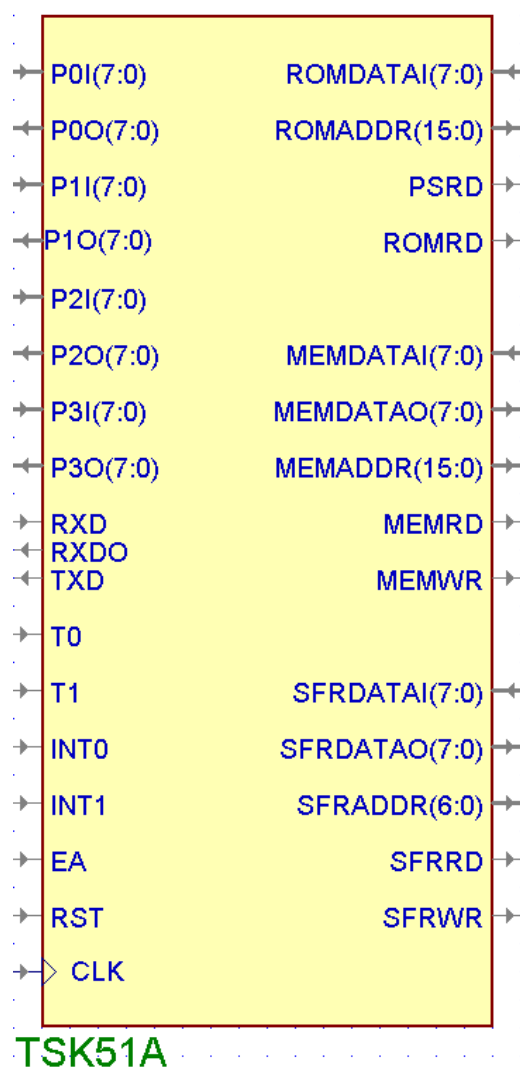
przycisku . Dane mogą zostać zaprogramowane (Program) lub skasowane (Erase). Pozostałe opcje nie zostały zaimplementowane.

8. Rdzeń mikrokontrolera rodziny MCS-51

Znaczna pojemność układu logicznego FPGA oraz dołączona pamięć pozwala implementować w nim rdzenie mikroprocesorów czy też mikrokontrolerów. W rozdziale tym omówiono implementację systemu programowalnego opartego o rdzeń mikrokontrolera rodziny MCS-51 oraz prowadzenie diagnostyki z wykorzystaniem wbudowanego programu monitorującego i środowiska KEIL μ Vision.

8.1. Budowa systemu programowalnego 8051.

Centralnym elementem systemu jest rdzeń (ang. core) procesora. W projekcie wykorzystującym języki opisu sprzętu rdzeń procesora traktowany jest jako element biblioteczny nieznanego pochodzenia (ang. black box). Narzędzia syntezy logicznej posiadają informacje o nazwie modułu, nazwach i typach sygnałów do niego dołączonych. Na etapie implementacji układowej w miejsce nieznanego modułu zostanie wprowadzona lista połączeń elementów w formacie EDIF zawierająca opis strukturalny układu.



Rys. 8.1. Rdzeń mikrokontrolera rodziny MCS-51

8.2. Diagnostyka oprogramowania

Program KEIL μ Vision2 umożliwia diagnostykę oprogramowania z użyciem symulatora programowego lub prowadzenia diagnostyki na platformie docelowej. Należy pamiętać, że prowadzenie diagnostyki na platformie docelowej odbywa się na drodze programowej. Ze względu na brak sprzętowego wsparcia dla diagnostyki oprogramowania w standardowych rdzeniach mikrokontrolera rodziny MCS-51 odbywa się ono z wykorzystaniem techniki programowej. Techniki programowe posiadają ograniczone możliwości nadzorowania układu.