



---

# SOC\_0212\_T3.1\_120522

---

Rediseño del prototipo

---

Versión: 20120522

---

Autor: Rafel Mormeneo Melich

---

Inicio	22/05/2012
Final	22/05/2012
Personas	Rafel Mormeneo Melich

VARIACIONES RESPECTO LA VERSIÓN ANTERIOR:

Versión anterior	Ninguna
Variación	1- Ninguna

1- Autor: Vacio. Descripción: Vacio.



1    **Rediseño del prototipo**

1	Rediseño del prototipo.....	3
1.	Objetivos .....	4
2	Plan de desarrollo de la tarea.....	4
3	Desarrollo de la tarea .....	4
4	Conclusiones de la tarea.....	4



## 1. Objetivos

Durante la ejecución de la tarea SOC\_0212\_T4\_120221 se ha visto que era necesario rediseñar el prototipo. Esta tarea cubre todos los aspectos de este rediseño.

## 2 Plan de desarrollo de la tarea

Esta tarea no estaba prevista en la planificación inicial. Durante la prueba del prototipo se ha detectado la necesidad de rediseñar el prototipo hardware y se ha abierto esta tarea, que no se extenderá más de un día.

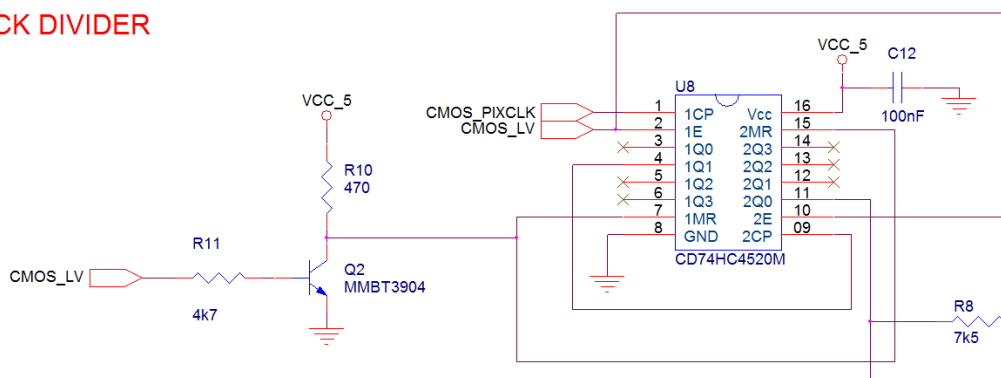
## 3 Desarrollo de la tarea

En esta tarea simplemente añadiremos una señal de reset al circuito divisor del pixel clock. Este reset es necesario para sincronizar el inicio del contador con el inicio de cada línea válida.

Para ello utilizaremos directamente la señal de línea válida invertida. Cuando la señal de línea válida esté inactiva mantendremos el contador en estado de reset. En el momento que esta señal cambie a activa el contador dejará de estar en reset y empezará a contar. De esta forma sincronizamos el clock con los datos válidos.

El circuito se ha realizado con un simple transistor BJT configurado como se muestra en el esquema.

### CLOCK DIVIDER



## 4 Conclusiones de la tarea

Para sincronizar el clock dividido por cuatro con el clock del sensor de imagen se ha tenido que añadir un pequeño circuito de reset para el contador que divide la señal de reloj. Con esta modificación leemos siempre el canal correcto (luma).

Tarea completada: 1 día

