

LAPORAN PRAKTIKUM SISTEM DIGITAL
DALIL ALJABAR BOOLEAN



DISUSUN OLEH

RAFID GHANI MAHADRI

L0125063

ASISTEN :

MUHAMMAD RAFAEL

L0124064

MUHAMMAD IHSANUL HAQ

L0124108

PROGRAM STUDI INFORMATIKA
FAKULTAS TEKNOLOGI INFORMASI DAN SAINS DATA
UNIVERSITAS SEBELAS MARET
2025

BAB I

PENDAHULUAN

2.1 Tujuan

- Mahasiswa dapat:
 1. Merangkai rangkaian digital untuk membuktikan hukum-hukum aljabar boolean.

2.2 Dasar Teori

Aljabar Boolean adalah sistem aljabar yang khusus dipakai buat memanipulasi variabel biner, yaitu variabel yang cuma punya dua nilai: 0 (salah) dan 1 (benar). Aljabar ini penting banget dalam desain dan analisis rangkaian digital, pemrograman komputer, dan pemrosesan sinyal digital. Operasi dasarnya ada AND (perkalian logika), OR (penjumlahan logika), dan NOT (negasi).

1. Dalil Asosiatif

Dalil **Asosiatif** adalah salah satu dari sejumlah prinsip dasar yang membentuk dasar aljabar Boolean. Dalil ini berlaku untuk dua operasi logika utama: AND (Konjungsi) dan OR (Disjungsi). Dalil Asosiatif menyatakan bahwa urutan pengelompokan dalam operasi ini tidak akan mempengaruhi hasil akhir operasi tersebut.

Misalnya, dalam konteks AND, kita memiliki tiga operasi A, B, dan C. Dalil Asosiatif menyatakan bahwa $(A \text{ AND } B) \text{ AND } C$ akan menghasilkan hasil yang sama dengan $A \text{ AND } (B \text{ AND } C)$. tidak peduli bagaimana kita mengelompokkan operand tersebut. Hal yang sama berlaku untuk OR.

$$\text{- Untuk OR : } A + (B + C) = (A + B) + C = A + B + C$$

$$\text{- Untuk AND : } A \cdot (B \cdot C) = (A \cdot B) \cdot C = A \cdot B \cdot C$$

2. Dalil Distributif

Dalil **Distributif** adalah prinsip penting lainnya dalam aljabar Boolean yang menghubungkan operasi AND dan OR. Dalil ini memungkinkan kita untuk menyederhanakan ekspresi logika dengan menggabungkan operasi-operasi ini.

Misalnya, dalam konteks distribusi AND terhadap OR, kita memiliki tiga operasi A, B, dan C. Dalil distributif menyatakan bahwa $A \text{ AND } (B \text{ OR } C)$ akan menghasilkan hasil yang sama dengan $(A \text{ AND } B) \text{ OR } (A \text{ AND } C)$. Hal yang sama berlaku untuk distribusi OR terhadap AND.

- AND mendistribusi ke OR: $A \cdot (B + C) = (A \cdot B) + (A \cdot C)$
- OR mendistribusi ke AND: $A + (B \cdot C) = (A + B) \cdot (A + C)$

3. Dalil Absortif

Dalil **Absortif** adalah salah satu aturan dasar dalam Aljabar Boolean yang menunjukkan bagaimana sebuah variabel dapat “menyerap” ekspresi logika yang melibatkan dirinya sendiri. Secara sederhana, dalil ini menyatakan bahwa jika sebuah variabel digabungkan dengan operasi logika yang sudah mengandung variabel tersebut, maka hasil akhirnya akan tetap sama dengan variabel itu sendiri. Hal ini membuat ekspresi logika menjadi lebih ringkas karena bagian yang redundan bisa dihilangkan tanpa mengubah hasil.

Dalam konteks desain rangkaian digital, dalil Absortif sering dipakai untuk menyederhanakan rangkaian yang tampak lebih kompleks agar lebih efisien, baik dari sisi jumlah gerbang logika yang digunakan maupun kemudahan dalam proses analisis. Dengan kata lain, dalil ini membantu kita memahami bahwa tidak semua kombinasi variabel perlu dihitung ulang, karena ada hubungan logis yang membuat sebagian ekspresi otomatis menjadi berlebih.

$$A \cdot (A + B) = A \qquad \text{dan} \qquad A + (A \cdot B) = A$$

Dalil-dalil ini menjadi dasar penting dalam menyederhanakan ekspresi logika, analisis rangkaian logika, dan perancangan rangkaian digital. Hal ini membantu mengurangi kompleksitas ekspresi logika, sehingga memudahkan pemahaman dan implementasi dalam praktikum atau proyek terkait aljabar Boolean. Dengan menggunakan dalil-dalil ini, kita dapat mempermudah analisis dan manipulasi ekspresi logika yang melibatkan variabel biner.

BAB II

PEMBAHASAN

2.1 Peralatan yang digunakan

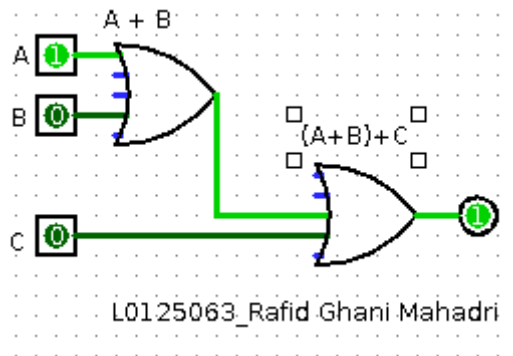
1. Logisim,
2. 7408 (AND).
3. 7432 (OR),

2.2 Prosedur Percobaan

2.2.1 Membuktikan Dalil Asosiatif

2.2.1 Dalil Asosiatif $(A + B) + C$

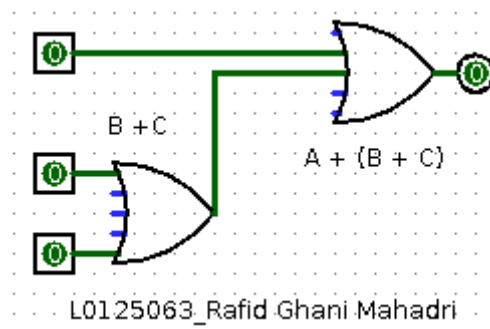
1. Rangkailah pintu logika menurut persamaan berikut ini



- a. Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- b. Amati dan catat output terhadap kombinasi keadaan input.

2.2.2 Dalil Asosiatif $A + (B + C)$

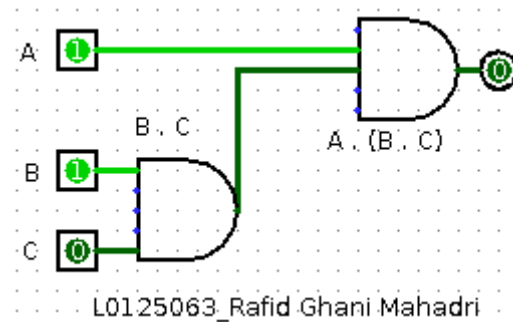
1. Rangkailah pintu logika menurut persamaan berikut ini



- a. Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- b. Amati dan catat output terhadap kombinasi keadaan input.

2.2.3 Dalil Asosiatif $A \cdot (B \cdot C)$

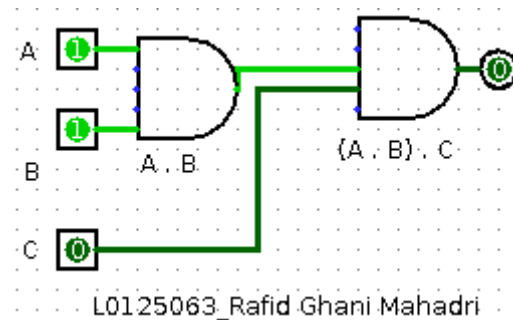
1. Rangkailah pintu logika menurut persamaan berikut ini



- Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- Amati dan catat output terhadap kombinasi keadaan input.

2.2.4 Dalil Asosiatif $(A \cdot B) \cdot C$

1. Rangkailah pintu logika menurut persamaan berikut ini

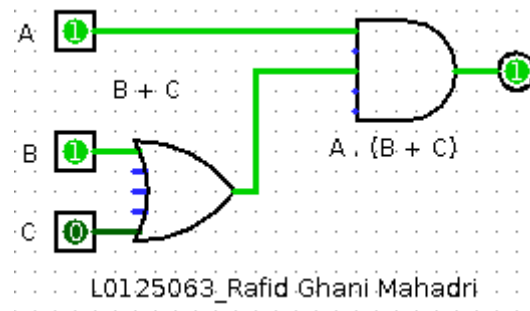


- Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- Amati dan catat output terhadap kombinasi keadaan input.

2.2.2 Membuktikan Dalil Disosiatif

2.2.2 Dalil Disosiatif $A \cdot (B + C)$

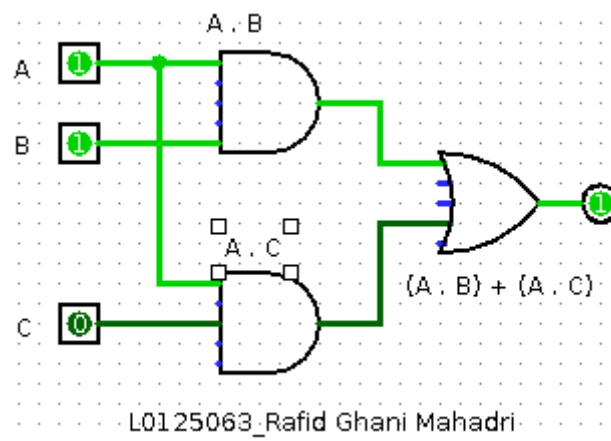
1. Rangkailah pintu logika menurut persamaan berikut ini



- Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- Amati dan catat output terhadap kombinasi keadaan input.

2.2.2 Dalil Disosiatif $(A \cdot B) + (A \cdot C)$

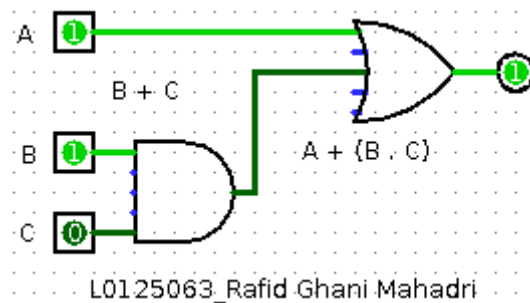
1. Rangkailah pintu logika menurut persamaan berikut ini



- Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- Amati dan catat output terhadap kombinasi keadaan input.

2.2.3 Dalil Disosiatif $A + (B \cdot C)$

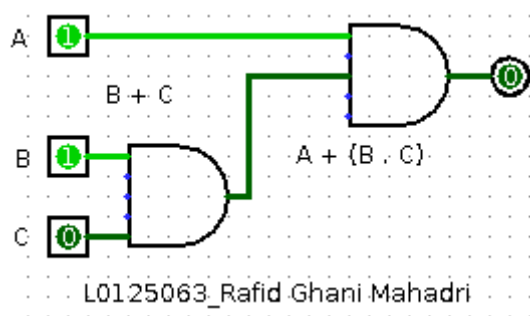
1. Rangkailah pintu logika menurut persamaan berikut ini



- Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- Amati dan catat output terhadap kombinasi keadaan input.

2.2.4 Dalil Disosiatif $(A \cdot B) \cdot C$

1. Rangkailah pintu logika menurut persamaan berikut ini

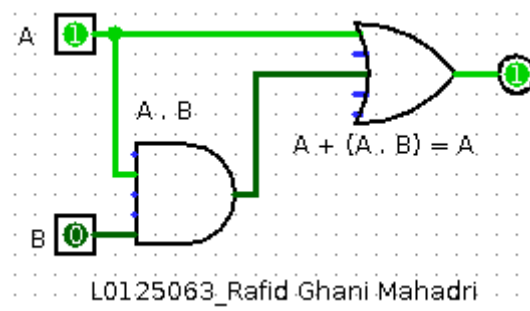
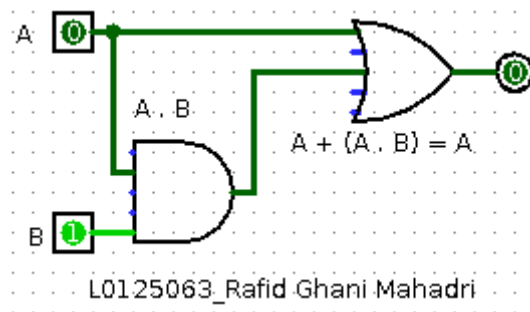


- Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- Amati dan catat output terhadap kombinasi keadaan input.

2.2.3 Membuktikan Dalil Absortif

2.2.2 Dalil Absortif $A + (A \cdot B) = A$

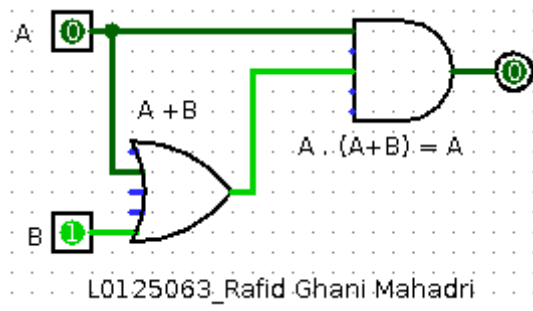
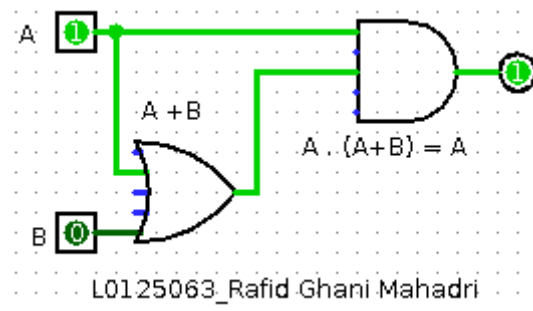
1. Rangkailah pintu logika menurut persamaan berikut ini



- c. Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- d. Amati dan catat output terhadap kombinasi keadaan input.

2.2.2 Dalil Absortif $A \cdot (A + B) = A$

1. Rangkailah pintu logika menurut persamaan berikut ini

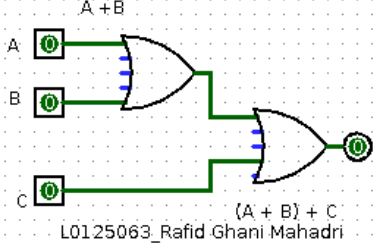
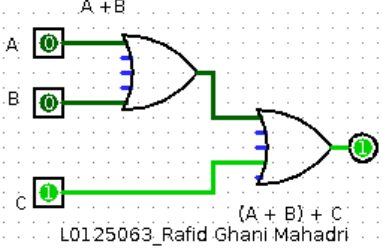
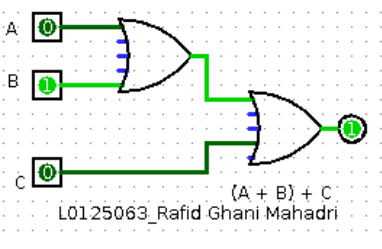
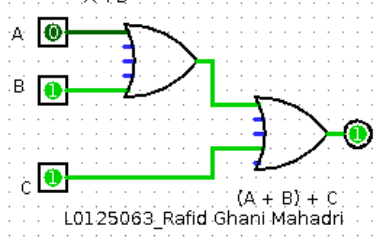


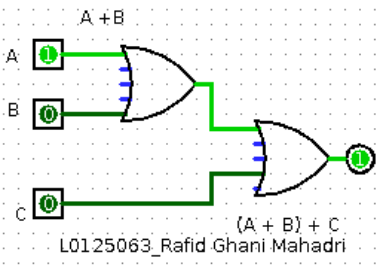
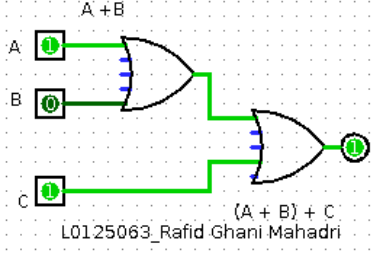
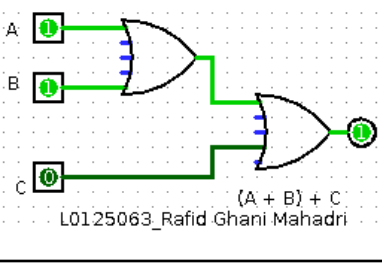
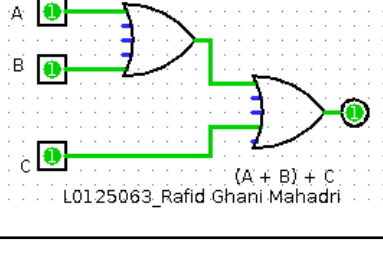
- c. Sambungkan input pin dengan switch, dan hubungkan output rangkaian ke probe/output pin untuk memantau hasil.
- d. Amati dan catat output terhadap kombinasi keadaan input.

2.3 Hasil dan analisis percobaan

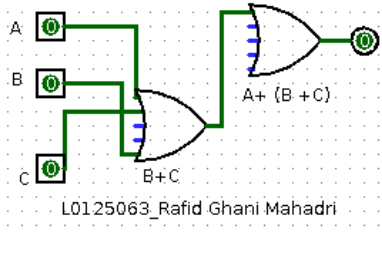
2.3.1 Dalil Asosiatif

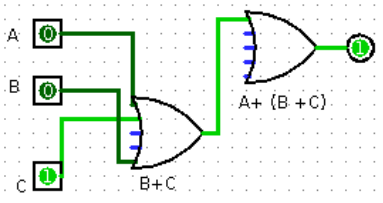
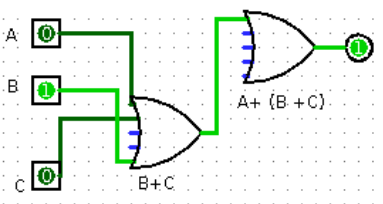
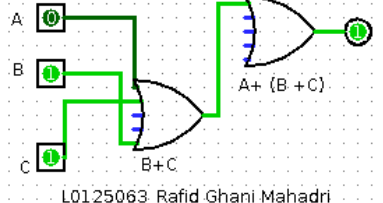
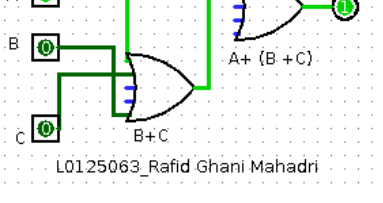
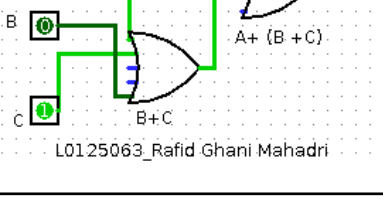
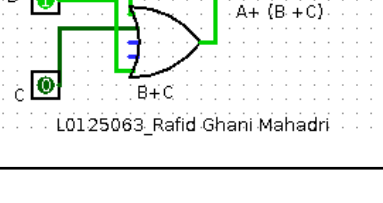
- $(A + B) + C$

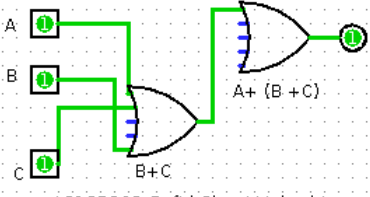
INPUT				OUTPUT	SKEMA
A	B	C	A + B	Y	
0	0	0	0	0	 <p>A logic diagram showing the implementation of the expression $(A + B) + C$. Inputs A and B are connected to an OR gate, and its output is connected to another OR gate along with input C. The final output Y is 0.</p>
0	0	1	0	1	 <p>A logic diagram showing the implementation of the expression $(A + B) + C$. Inputs A and B are connected to an OR gate, and its output is connected to another OR gate along with input C. The final output Y is 1.</p>
0	1	0	1	1	 <p>A logic diagram showing the implementation of the expression $(A + B) + C$. Inputs A and B are connected to an OR gate, and its output is connected to another OR gate along with input C. The final output Y is 1.</p>
0	1	1	1	1	 <p>A logic diagram showing the implementation of the expression $(A + B) + C$. Inputs A and B are connected to an OR gate, and its output is connected to another OR gate along with input C. The final output Y is 1.</p>

1	0	0	1	1	 <p>A + B</p> <p>(A + B) + C</p> <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	1	1	 <p>A + B</p> <p>(A + B) + C</p> <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	1	1	 <p>A + B</p> <p>(A + B) + C</p> <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	 <p>A + B</p> <p>(A + B) + C</p> <p>L0125063_Rafid Ghani Mahadri</p>

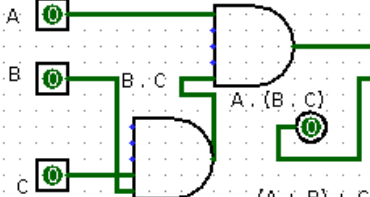
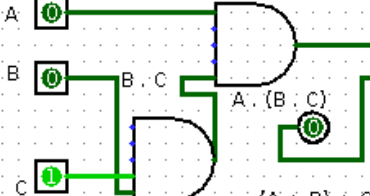
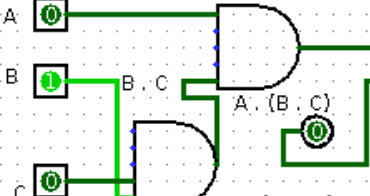
- $A + (B + C)$

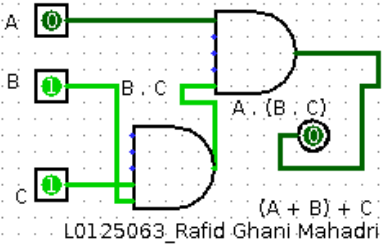
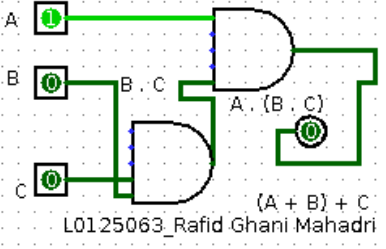
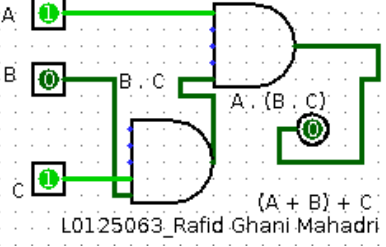
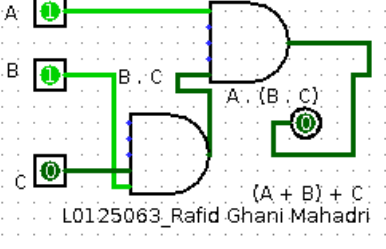
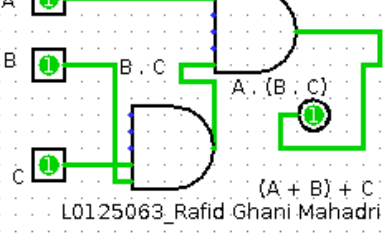
INPUT				OUTPUT	SKEMA
A	B	C	B + C	Y	
0	0	0	0	0	 <p>A + (B + C)</p> <p>B + C</p> <p>L0125063_Rafid Ghani Mahadri</p>

0	0	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	0	0	1	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	0	0	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

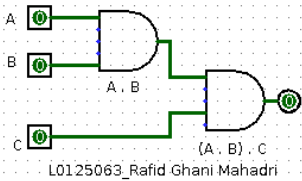
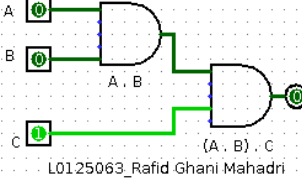
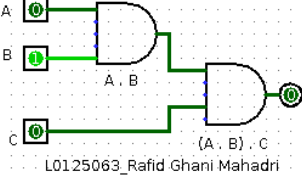
1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
---	---	---	---	---	---

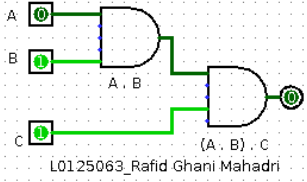
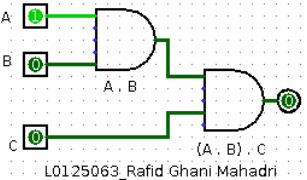
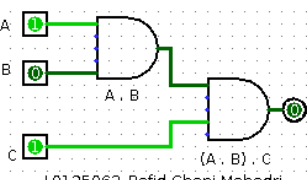
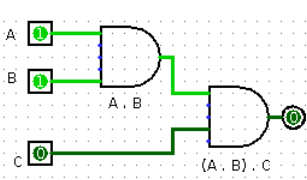
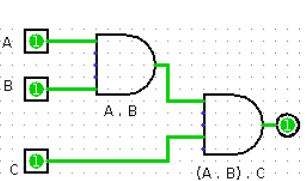
• $A \cdot (B \cdot C)$

INPUT				OUTPUT	SKEMA
A	B	C	$B \cdot C$	Y	
0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	0	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>

0	1	1	1	0	 <p>Logic circuit diagram for the expression $(A + B) + C$. Inputs: A=0, B=1, C=1. The circuit consists of two AND gates and one OR gate. The first AND gate takes inputs B and C (1 and 1) and outputs 1. The second AND gate takes inputs A and the output of the first AND gate (0 and 1) and outputs 0. The OR gate takes inputs from the two AND gates (1 and 0) and outputs 1. The final output is 1.</p> <p>L0125063_Rafid Ghani Mahadri</p>
1	0	0	0	0	 <p>Logic circuit diagram for the expression $(A + B) + C$. Inputs: A=1, B=0, C=0. The circuit consists of two AND gates and one OR gate. The first AND gate takes inputs B and C (0 and 0) and outputs 0. The second AND gate takes inputs A and the output of the first AND gate (1 and 0) and outputs 0. The OR gate takes inputs from the two AND gates (0 and 0) and outputs 0. The final output is 0.</p> <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	0	0	 <p>Logic circuit diagram for the expression $(A + B) + C$. Inputs: A=1, B=0, C=1. The circuit consists of two AND gates and one OR gate. The first AND gate takes inputs B and C (0 and 1) and outputs 0. The second AND gate takes inputs A and the output of the first AND gate (1 and 0) and outputs 0. The OR gate takes inputs from the two AND gates (0 and 0) and outputs 0. The final output is 0.</p> <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	0	0	 <p>Logic circuit diagram for the expression $(A + B) + C$. Inputs: A=1, B=1, C=0. The circuit consists of two AND gates and one OR gate. The first AND gate takes inputs B and C (1 and 0) and outputs 0. The second AND gate takes inputs A and the output of the first AND gate (1 and 0) and outputs 0. The OR gate takes inputs from the two AND gates (0 and 0) and outputs 0. The final output is 0.</p> <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	 <p>Logic circuit diagram for the expression $(A + B) + C$. Inputs: A=1, B=1, C=1. The circuit consists of two AND gates and one OR gate. The first AND gate takes inputs B and C (1 and 1) and outputs 1. The second AND gate takes inputs A and the output of the first AND gate (1 and 1) and outputs 1. The OR gate takes inputs from the two AND gates (1 and 1) and outputs 1. The final output is 1.</p> <p>L0125063_Rafid Ghani Mahadri</p>

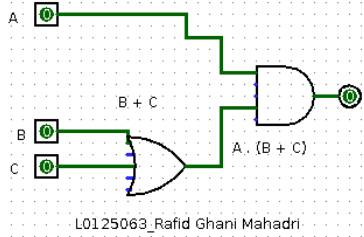
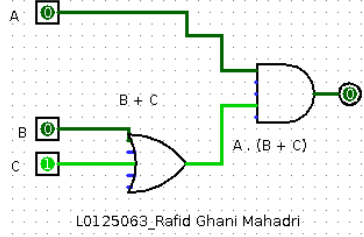
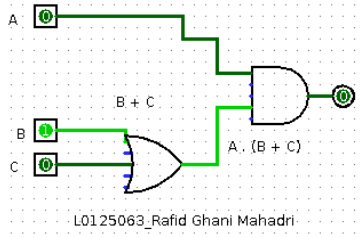
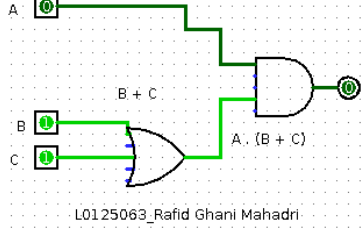
- $(A \cdot B) \cdot C$

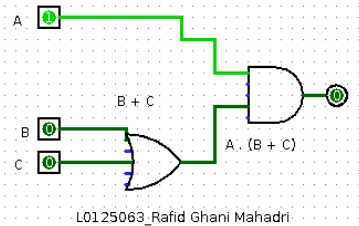
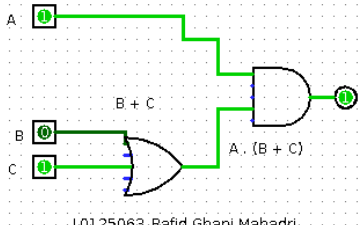
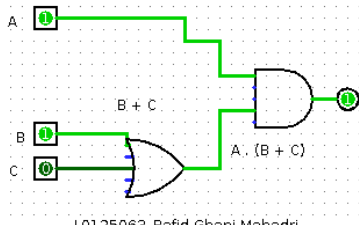
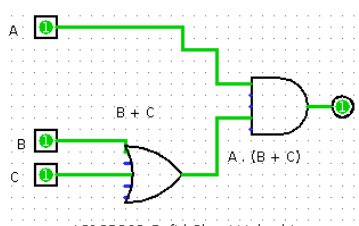
INPUT				OUTPUT	SKEMA
A	B	C	$A \cdot B$	Y	
0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	0	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>

0	1	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	1	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

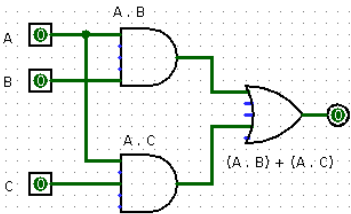
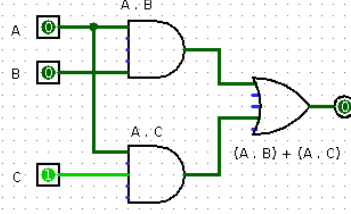
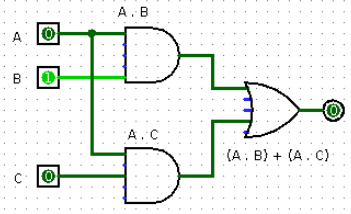
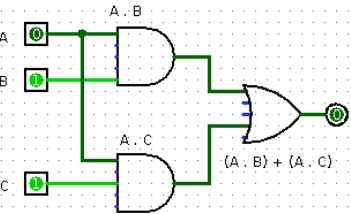
2.3.2 Dalil Distributif

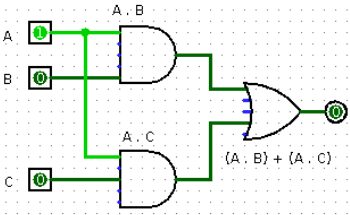
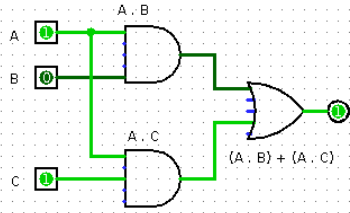
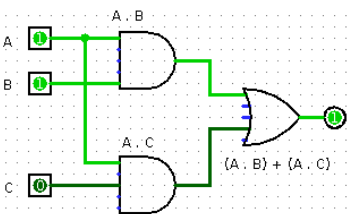
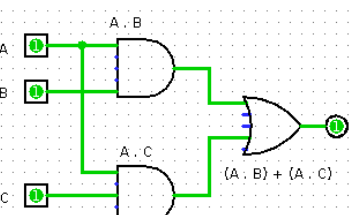
- $A \cdot (B + C)$

INPUT					OUTP UT	SKEMA
A	B	C	B . C	A . (B + C)	Y	
0	0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	0	1	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	0	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	1	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>

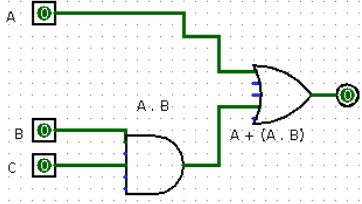
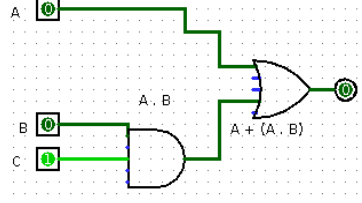
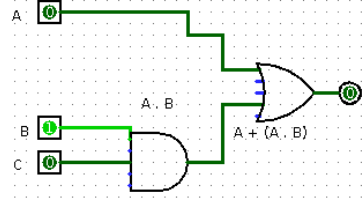
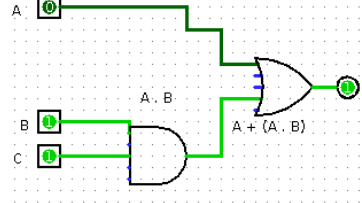
1	0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

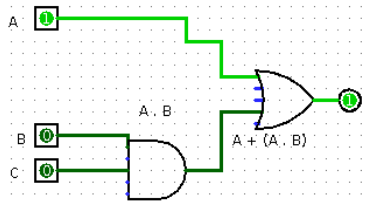
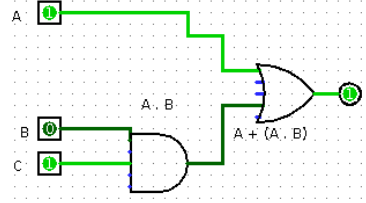
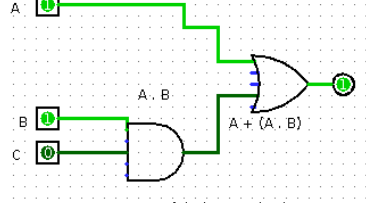
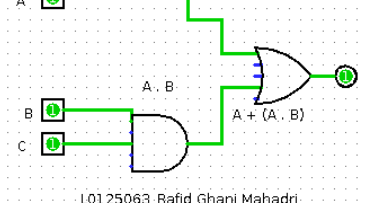
- $(A \cdot B) + (A \cdot C)$

INPUT						OUTPUT	SKEMA
A	B	C	$A \cdot B$	$A \cdot C$	$(A \cdot B) + (A \cdot C)$	Y	
0	0	0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	0	1	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	1	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>

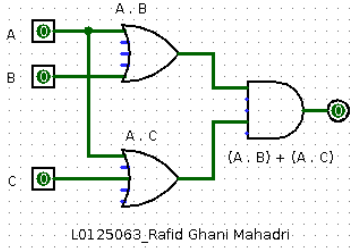
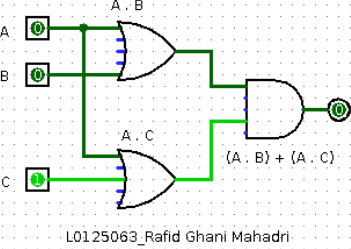
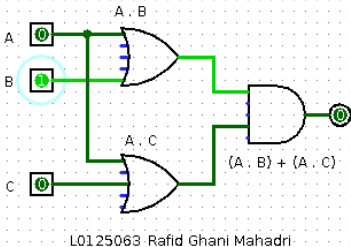
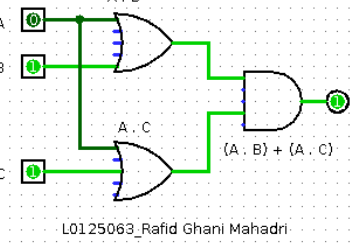
1	0	0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	0	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	1	0	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

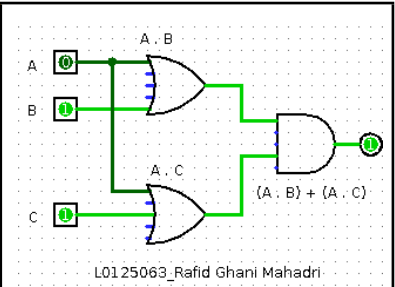
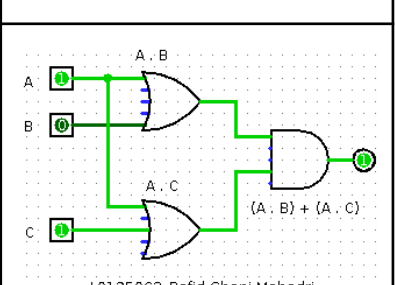
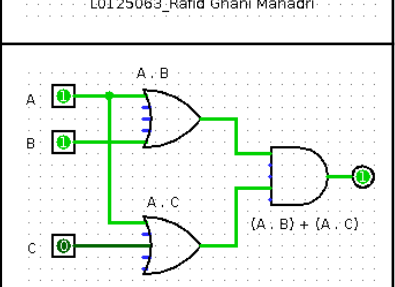
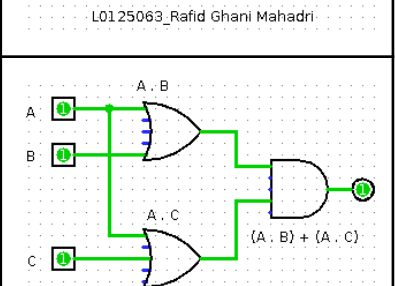
- $A + (B \cdot C)$

INPUT					OUTPUT	SKEMA
A	B	C	$B \cdot C$	$(A \cdot B) + (A \cdot C)$	Y	
0	0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	0	1	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

1	0	0	0	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	0	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

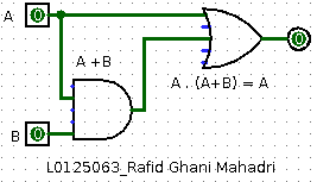
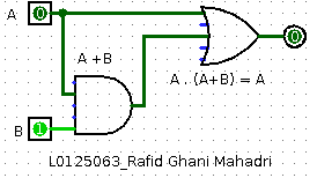
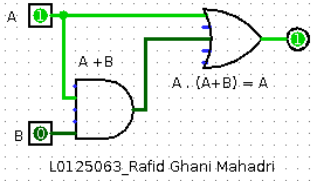
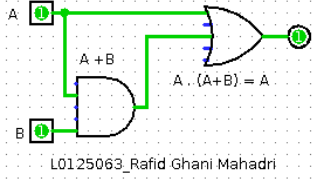
- $(A + B) \cdot (A + C)$

INPUT						OUTPUT	SKEMA
A	B	C	A + B	A + C	$(A + B) \cdot (A + C)$	Y	
0	0	0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	0	1	0	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	0	1	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

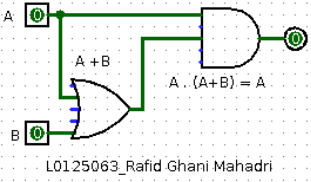
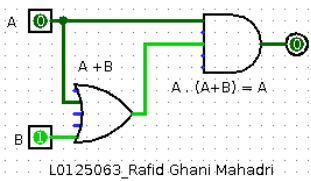
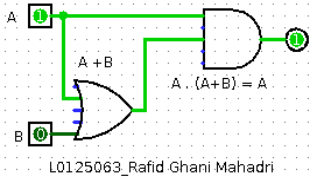
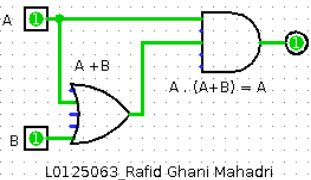
1	0	0	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	0	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	0	0	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

2.3.3 Dalil Absortif

- $A + (A \cdot B) = A$

INPUT				OUTPUT	SKEMA
A	B	A + B	A + (A . B)	Y	
0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

- $A \cdot (A + B) = A$

INPUT				OUTPUT	SKEMA
A	B	A + B	A . (A + B)	A	
0	0	0	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
0	1	1	0	0	 <p>L0125063_Rafid Ghani Mahadri</p>
1	0	0	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>
1	1	1	1	1	 <p>L0125063_Rafid Ghani Mahadri</p>

2.4 Hasil dan analisis percobaan

2.4.1 Analisis Hasil Pembuktian Dalil Asosiatif

Percobaan pembuktian dalil asosiatif dilakukan dengan mengamati hasil dari kombinasi input pada operasi logika AND dan OR. Hasil percobaan menunjukkan bahwa perubahan urutan pengelompokan variabel tidak mempengaruhi output yang dihasilkan. Misalnya, pada percobaan dengan kombinasi variabel A, B, dan C, diperoleh bahwa hasil dari $A \text{ AND } (B \text{ AND } C)$ sama dengan $(A \text{ AND } B) \text{ AND } C$, begitu pula untuk operasi OR, $A \text{ OR } (B \text{ OR } C)$ sama dengan $(A \text{ OR } B) \text{ OR } C$. Hal ini menegaskan bahwa dalil asosiatif berlaku untuk semua kombinasi input yang diuji.

2.4.2 Analisis Hasil Pembuktian Dalil Distributif

Dalam percobaan pembuktian dalil distributif, pengujian dilakukan dengan memeriksa hubungan antara operasi AND dan OR pada variabel A, B, dan C. Hasil percobaan menunjukkan bahwa distribusi operasi AND terhadap OR dan sebaliknya menghasilkan output yang konsisten. Contohnya, $A \text{ AND } (B \text{ OR } C)$ menghasilkan nilai yang sama dengan $(A \text{ AND } B) \text{ OR } (A \text{ AND } C)$, dan $A \text{ OR } (B \text{ AND } C)$ sama dengan $(A \text{ OR } B) \text{ AND } (A \text{ OR } C)$. Hal ini membuktikan bahwa operasi logika mengikuti dalil distributif, sehingga urutan atau pengelompokan variabel tetap menghasilkan output yang sama.

2.4.3 Analisis Hasil Pembuktian Dalil Absortif

Percobaan pembuktian dalil absortif dilakukan dengan mengevaluasi kombinasi input yang melibatkan penggabungan operasi AND dan OR dengan variabel yang sama. Dari hasil percobaan, terlihat bahwa $A \text{ OR } (A \text{ AND } B)$ selalu menghasilkan A, dan $A \text{ AND } (A \text{ OR } B)$ juga selalu menghasilkan A, tidak peduli nilai B. Hasil ini menegaskan bahwa dalil absortif berlaku dalam operasi logika, di mana variabel yang digabungkan dengan kombinasi tertentu menyerap hasil operasi sehingga output akhir tetap sama dengan variabel tersebut.

BAB III

PENUTUP

3.1 Kesimpulan

Kesimpulan yang dapat diambil dari percobaan serta pembahasan adalah bahwa semua dalil aljabar Boolean yang diuji yaitu dalil asosiatif, distributif, dan absortif terbukti berlaku. Dalil asosiatif menunjukkan bahwa pengelompokan operand tidak mempengaruhi hasil operasi logika, dalil distributif memungkinkan distribusi operasi logika tanpa mengubah output, dan dalil absortif membuktikan bahwa suatu operand dapat “menyerap” operand lainnya tanpa mempengaruhi hasil. Penerapan ketiga dalil ini sangat berguna dalam menyederhanakan ekspresi logika dan merancang rangkaian digital yang efisien.

3.2 Referensi

Gafisteen. 2025. *Laporan Praktikum Karakteristik Statik Sensor Lengkap*.

Laporan Praktikum Karakteristik Statik Sensor Lengkap - Gafisteen, diakses pada 27 September 2025 pukul 17:30.

Mask 15412, Doctor. *Tabel Kebenaran Rangkaian Gerbang Logika Hasil Percobaan*. PSD.docx - 1 Tabel Kebenaran Rangkaian Gerbang Logika Hasil Percobaan AND a 0 0 1 1 b 0 1 0 1 y 0 0 0 1 a 0 0 1 1 b 0 1 0 1 y 0 1 1 1 OR NOT a 0 1 a 0 0 | Course Hero, diakses pada 27 September 2025 pukul 15:42. //contoh referensi