

## נושאים

- ♦ מעגל צירופי
- ♦ דיאגרמת זמן
- ♦ משפחות לוגיות
- ♦ מפענחים
- ♦ מקודדים
- ♦ מרבבים
- ♦ רכיבים מיתכנתים PLD (רשות)

2

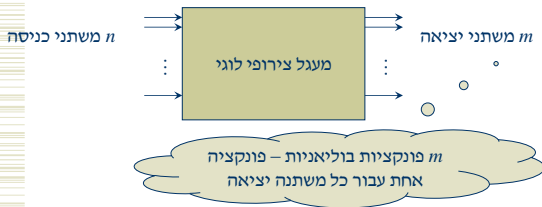
## Logic and Digital Systems

### מעגל צירופי

הרצאה מספר 6

ד"ר אילת בוטמן, ד"ר תרצה הרסט  
וחני הכסטר

## תרשים מלבני של מעגל צירופי



4

## מעגל צירופי Combinational Circuit

- ♦ מעגל צירופי מהווה יחידה המורכבת משערים לוגיים אשר היציאות שלהם בכל זמן נתון נקבעות ישירות מהצירוף הרגעי של הכניסות – ללא קשר אל הכניסות בעבר. אין זכרון.
- ♦ מעגל צירופי מבצע פעולה מסוימת של עיבוד מידע, המוגדרת מבחינה לוגית במלואה באמצעות קבוצת פונקציות בוליאניות.

3

## סינטזה: עיצוב מעגל צירופי

בהינתן תיאור מילולי של הבעיה, המטרה היא לעצב דיאגרמה של מעגל לוגי או קבוצה של פונקציות בוליאניות שניתן לקבל מהן בקלות את הדיאגרמה הלוגית.

## תרשים מ



5

## נוהל עיצוב של מעגל צירופי

- ♦ תיאור הבעיה.
- ♦ קביעת מספר משתני הכניסה הקיימים ומספר משתני היציאה הנדרשים.
- ♦ סימון משתני הכניסה והיציאות בשמות.
- ♦ בניית טבלת אמת.
- ♦ פישוט הפונקציות הבוליאניות המתאימות ליציאות.
- ♦ שרטוט דיאגרמה לוגית.

7

## האילוצים הנלקחים בחשבון בעת פישוט המעגל

1. מספר מינימלי של שערים.
2. מספר מינימלי של כניסות לשער.
3. זמן השהיה מינימלי.
4. מספר חיבורים פנימיים מינימלי.

8

## שבבים – chips ומעגלים משולבים - Integrated circuit

- ♦ שבב בודד יכול לארוז יחד אלפי מעגלים צירופיים.
- ♦ אוסף של מספר שערים מעוצבים יחד על שבב (צ'יפ) בודד נקרא **מעגל משולב** IC (Integrated circuit).
- ♦ חסכוני יותר להשתמש במספר רב ככל האפשר של שערים מתוך אריזה שכבר נמצאת בשימוש, אפילו אם נגדיל בכך את מספר השערים הכולל.
- ♦ עדיף להשתמש בחיבורים פנימיים רבים ככל שניתן כדי להפחית את מספר החוטים שבין ההדקים החיצוניים.

9

## קביעת העלות במעגלים משולבים

- ♦ במעגלים משולבים העלות מחושבת לפי:
  - מספר המעגלים המשולבים שבהם משתמשים.
  - סוג המעגלים המשולבים שבהם משתמשים.
  - מספר החיבורים החיצוניים הנדרשים למימוש הפונקציה הנתונה.

10

## סוגי המעגלים המשולבים

- ♦ **SSI (small scale integration)**
  - יחידה קטנה, המכילה 1-20 שערים באריזה
  - תפקידם העיקרי הוא לשמש כ'דבק' במעגלים גדולים יותר.
- ♦ **MSI (medium scale integration)**
  - יחידה משולבת מסדר גודל בינוני כוללת 20-200 שערים
  - מעגל משולב המבצע פונקציה לוגית שלמה.
  - בד"כ היא מהווה יחידה (לבנה) לבניית מעגלים גדולים

11

## סוגי המעגלים המשולבים

- ♦ **LSI (large scale integration)**
  - יחידה משולבת בסדר גודל גדול.
  - מבצעת פונקציות לוגיות בעזרת 200-200,000 שערים.
- ♦ **VLSI (very large scale integration)**
  - יחידה משולבת בסדר גודל גדול מאוד.
  - מכילה מאות אלפי שערים בשבב אחד.
  - כולל את רב המעבדים, זיכרונות ורכיבים שקיימים היום.

12

## האם קיימת אריזת מעגל משולב המבצעת את הפונקציה הנדרשת?

- ♦ רכיבי MSI רבים קיימים באופן מסחרי.
- ♦ רכיבים אלה מבצעים פונקציות ספרתיות מסוימות הנדרשות בדרך כלל לעיצוב מערכות מחשבים.
- ♦ פתרון בעיה חדשה ומורכבת, נעשה ע"י שילוב מעגלים קיימים הפותרים תת-בעיות.

13

## משפחות לוגיות

- ♦ משפחה לוגית היא אוסף של שבבים שיש להם מאפיינים דומים (קלט, פלט, מעגלים פנימים, ורמות מתח) אך מבצעים פונקציות לוגיות שונות.
- ♦ ניתן לבנות מעגלים מורכבים למימוש פונקציה רצויה ע"י חיבור שבבים שונים מאותה המשפחה.
- ♦ שבבים ממשפחות שונות אינם ניתנים לקישור!

14

## TTL

### transistor transistor logic

- ♦ בשנות ה-60 הוצגה אחת המשפחות המוצלחות ביותר, הנקראת TTL.
- ♦ כיום TTL משמשת כמשפחה של משפחות לוגיות, שיכולות להתחבר ביניהם אך שונות בעוצמה, מהירות ועלויות.
- ♦ מערכת דיגיטלית יכולה לכלול רכיבים שונים ממשפחות TTL שונות בהתאם למטרת העיצוב והאילוצים של המערכת.

15

## CMOS

- ♦ קיימת משפחה נוספת שנקראת MOS.
- ♦ בתחילה הטכנולוגיה של MOS היתה מורכבת וקשה ליישום.
- ♦ בשנות ה-80 בעיקבות שיפור משמעותי בטכנולוגיה, ויעול העלויות הציגו את CMOS.
- ♦ כיום רב השוק העולמי של מעגלים משולבים גדולים מיושמים ב-CMOS.

16

## תזמון מעגלים

- ♦ הפעלת מעגל צירופי מתבצעת ע"י העברת אותות חשמליים מהקלט אל הפלט דרך השערים והחוטטים שבונים את המעגל.
- ♦ הפעולה דורשת זמן.
- ♦ רב המעגלים הם סדרתיים שפעלים לפי יחידות קצובות של שעון פנימי.
- ♦ מעצבי מעגלים דיגיטלים חייבים להיות מודעים למגבלות הזמן על מנת לעצב מעגלים מהירים שפעלים נכון בכל תנאי.

18

- ♦ רכיבי SSI ו-MSI שבעבר השתייכו למשפחות של TTL מיושמים כיום ב-CMOS. הם שומרים על אותה הפונקציונאליות אך מבצעים זאת במהירויות גבוהות יותר ובעלויות נמוכות יותר.

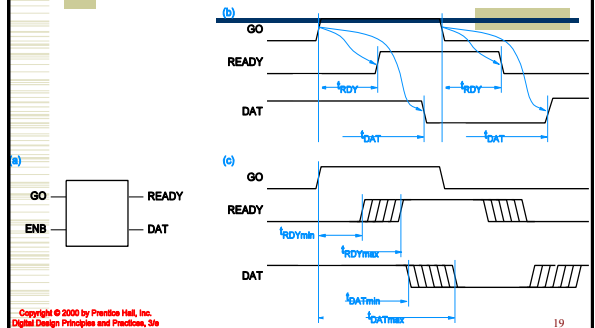
17

## עיכוב - Delay

- ♦ עיכוב הוא סה"כ הזמן שלוקח לאות לעבור מהרגע שהוא מתקבל כקלט ועד שיוצא כפלט.
- ♦ במעגל צירופי יש מספר קלטים ומספר פלטים שעוברים בו זמנית במעברים שונים.
- ♦ העיכוב של כל מעבר שונה.
- ♦ באותו המעבר העיכוב יכול להיות שונה אם השינוי באותות הוא מ-0 ל-1 או מ-1 ל-0.
- ♦ יצרנים נדרשים לספק פירוט של העיכובים הקיימים במעגל.

20

## דיאגרמת זמנים



19

## הגדרת מפענח

- ♦ מפענח הוא מעגל צירופי בעל  $n$  כניסות ו-  $2^n$  יציאות לכל היותר.
- ♦ המפענח המקבל כקלט מספר בינארי בעל  $n$  סיביות שערכו  $k$ , ונותן כפלט מילה בת מקסימום  $2^n$  סיביות שכולן מאופסות חוץ מסיבית אחת – הסיבית במקום ה-  $k$ .

22

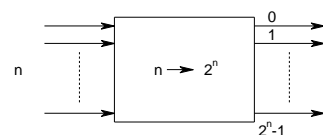
## מפענחים - Decoders

## סיבית הפעלה

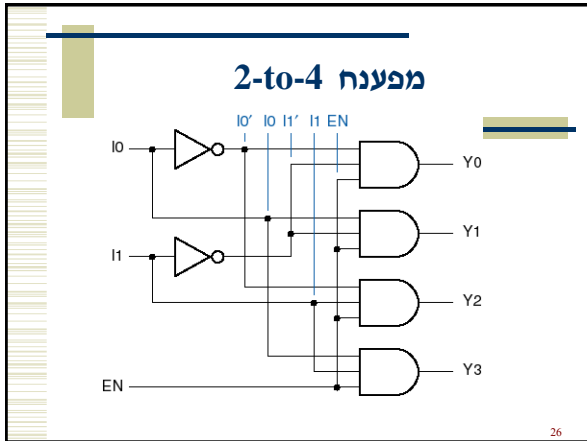
- ♦ מוסיפים סיבית קלט EN (enable) שתפקידה לנטרל את המפענח.
- ♦ הפלט הרצוי יתקבל רק כאשר  $EN=1$  אחרת נקבל תמיד פלט 0.
- ♦ בטבלת האמת ניתן להציב ערכי don't care עבור ערכים שלא משפיעים על הפלט.

24

## מבנה כללי של מפענח: $n$ to $2^n$



23



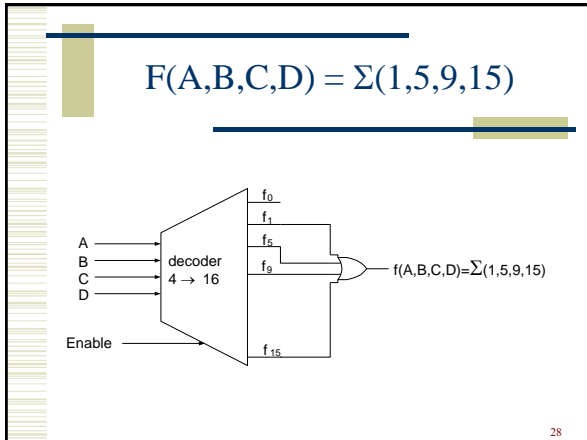
### מפענח 2-to-4

2-to-4 decoder  
 I0 Y0  
 I1 Y1  
 EN Y2  
 Y3

Inputs			Outputs			
EN	I1	I0	Y3	Y2	Y1	Y0
0	x	x	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

הערה: x פירושו don't care

25



### שימוש במפענח למימוש פונקציה

- ♦ היציאות של מפענח  $n$ -to- $2^n$  מתאימות בעצם לכל ה- $n$  משתנים minterms האפשריים עבור  $n$  משתנים!
- ♦ לכן – ניתן לממש כל פונקציה בוליאנית  $F$  ע"י הוספת שער OR למפענח, שאליו מחברים את כל היציאות מהמפענח המתאימות ל- minterms של  $F$ .

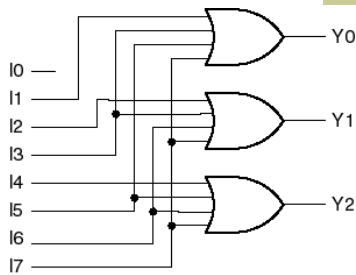
שער OR + מפענח → מימוש  $F$

27



## מקודדים - Encoders

## מקודד בינארי



32

## מקודד מול מפענח



31

## מקודד עם קדימויות

- המטרה: להוסיף קדימויות לשורת הקלטים, כך שאם מתקבלים מספר קלטים, המקודד יבחר את הקלט עם העדיפות הגבוהה ביותר.
- נניח ש- $I_7$  הוא הקלט עם הקדימות הגבוהה ביותר, ו- $I_0$  עם הקדימות הנמוכה ביותר.
- נגדיר 8 משתנים, אחד לכל קלט, כך שכל אחד מהם מקבל 1 רק עם הוא מייצג את הקלט שהתקבל עם הקדימות הגבוהה ביותר:
 
$$H_7 = I_7$$

$$H_6 = I_6 \cdot I_7'$$

$$H_5 = I_5 \cdot I_6' \cdot I_7'$$

$$H_0 = I_0 \cdot I_1' \cdot I_2' \cdot I_3' \cdot I_4' \cdot I_5' \cdot I_6' \cdot I_7'$$

34

## ישום עם מקודד

- מקודד בינארי משמש לבקרה במערכות של  $2^n$  משאבים כאשר ניתן להפעיל בו זמנית רק משאב אחד.
- במקרה שמתקבלות מספר בקשות בו זמנית נקבל תוצאות שגויות.
  - לדוגמא: אם התקבלו הבקשות  $I_2, I_4$  במקודד 8-to-3 נקבל מילת פלט 110 כלומר 6.
  - במקרה זה הפלט הנכון הוא 2 או 4 אך בשום אופן לא 6.
- פתרון: נותנים עדיפות לאחד הקלטים.

33

## מרבבים - Multiplexers

שמות נוספים:  
בורר - Selector / mux

## מקודד עם קדימויות

- הפלט הוא 3 סיביות:  $A_0, A_1, A_2$  שמייצגות את מספר הקלט עם הקדימות הגבוהה ביותר:
 
$$A_2 = H_4 + H_5 + H_6 + H_7$$

$$A_1 = H_2 + H_3 + H_6 + H_7$$

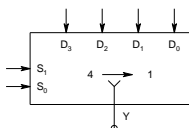
$$A_0 = H_1 + H_3 + H_5 + H_7$$
- בנוסף נגדיר סיבית פלט נוספת עבור המקרה שלא התקבל קלט בכלל:
 
$$GS = (I_0 + I_1 + I_2 + I_3 + I_4 + I_5 + I_6 + I_7)' = I_0' \cdot I_1' \cdot I_2' \cdot I_3' \cdot I_4' \cdot I_5' \cdot I_6' \cdot I_7'$$

35

## מרבב 1 → 4

4 כניסות נתונים:  $D_0, \dots, D_3$ , שתי כניסות בקרה:  $S_1, S_0$  ויציאה אחת:  $Y$ .

מבואות בקרה	מוצא
$S_1 \ S_0$	$Y$
0 0	$D_0$
0 1	$D_1$
1 0	$D_2$
1 1	$D_3$



38

♦ **מרבב** (MULTIPLEXER) הוא מערכת צירופית הבוררת כניסת נתונים אחת מבין מספר כניסות, ומעבירה ליציאת המערכת את כניסת הנתונים שבבחרה.

♦ **שימוש לדוגמא:** מרכזית טלפונים בה נדרש להעביר מספר שיחות טלפון שמגיעות מקווים שונים, אל יעד אחד.

37

## הכניסות והיציאות של המרבב

- ♦  $b \cdot n$  כניסות עבור  $n$  קלטות,  $b$  כניסות עבור הבורר  $s$ ,
- ♦  $b$  יציאות עבור הפלט.
- ♦ אופציונאלי: כניסה אחת עבור  $EN$ . (אם  $EN=0$  הפלט יהיה 0).

40

## מרבב כללי

- ♦ המרבב מקבל קלטות מ- $n$  מקורות שונים ומוציא כפלט אחד מהם. ( $n$  הוא בד"כ  $1, 2, 4, 8, 16$ )
- ♦ כל קלט הינו בגודל  $b$  סיביות. ( $b$  הוא בד"כ  $1, 2, 4$ )
- ♦ המרבב מקבל מספר  $s$  בכניסות הבקרה, שערכו בין 0 לבין  $\lg n$ , הקובע מי מהקלטות צריך לצאת כפלט.

39

## טבלת האמת של 1 → 8

EN	C	B	A	Y	Y_L
0	x	x	x	0	1
1	0	0	0	$D_0$	$D_0'$
1	0	0	1	$D_1$	$D_1'$
1	0	1	0	$D_2$	$D_2'$
1	0	1	1	$D_3$	$D_3'$
1	1	0	0	$D_4$	$D_4'$
1	1	0	1	$D_5$	$D_5'$
1	1	1	0	$D_6$	$D_6'$
1	1	1	1	$D_7$	$D_7'$

42

## מרבבים סטנדרטיים

- ♦ מרבב 1 → 8
- 8 קלטות שונים, כל אחד עם סיבית בודדת.
- משתמשים ב-3 סיביות בחירה המסומנות ע"י  $C, B, A$ . ( $C=MSB$ )
- סיבית הפעלה אחת  $EN$ .
- למרבב זה 2 פלטים אחד בצורה המקורית והשניה עם מהפך.

41

## מרבב $2 \rightarrow 4(2)$

- מרבב בין 4 מקורות קלט:  $C_0, \dots, C_3$ , כל אחד עם 2 סיביות: 1C, 2C.
- שתי סיביות בחירה: B, A.
- שתי סיביות הפעלה: 1G, 2G - אחת לכל סיבית קלט.
- 2 סיביות פלט: 1Y, 2Y.

44

## מרבב $4 \rightarrow 2(4)$

- 2 קלטים: A, B - כל אחד בעל 4 סיביות קלט.
- סיבית בחירה בודדת: S.
- סיבית הפעלה: G.
- 4 סיביות פלט: Y.

Inputs		Outputs			
G_L	S	1Y	2Y	3Y	4Y
1	x	0	0	0	0
0	0	1A	2A	3A	4A
0	1	1B	2B	3B	4B

Table 5-36  
Truth table for a  
74x157 2-input,  
4-bit multiplexer.

43

## מפגל - demultiplexer

- מפגל (DMUX) פועל בצורה הפוכה ממרבב.
- מקבל קלט אחד (בעל  $b$  סיביות) ו- $n$  סיביות בקרה,
- מנתב את  $b$  סיביות הקלט ליציאה אחת (הכוללת בפועל  $b$  קווי יציאה) מבין  $2^n$  יציאות על פי ערך סיביות הבקרה.

46

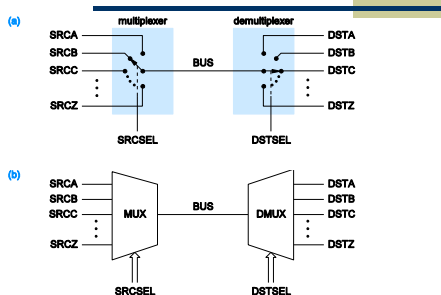
## טבלת האמת של מרבב $2 \rightarrow 4(2)$

Inputs				Outputs	
1G_L	2G_L	B	A	1Y	2Y
0	0	0	0	1C0	2C0
0	0	0	1	1C1	2C1
0	0	1	0	1C2	2C2
0	0	1	1	1C3	2C3
0	1	0	0	1C0	0
0	1	0	1	1C1	0
0	1	1	0	1C2	0
0	1	1	1	1C3	0
1	0	0	0	0	2C0
1	0	0	1	0	2C1
1	0	1	0	0	2C2
1	0	1	1	0	2C3
1	1	x	x	0	0

Table 5-36  
Truth table for a  
74x153 4-input, 2-bit  
multiplexer.

45

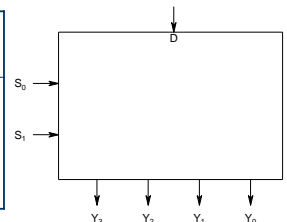
## דוגמה לשימוש ב-MUX ו-DMUX



48

## מפגל $1 \rightarrow 4$

בקרה	פלט			
$S_1 S_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0 0	0	0	0	D
0 1	0	0	D	0
1 0	0	D	0	0
1 1	D	0	0	0



47



## שימוש במרבב למימוש פונקציה $f$ בעלת $n$ משתנים

### ♦ מימוש ישיר בעזרת מרבב $1 \rightarrow 2^n$ :

- ל-  $2^n$  כניסות המידע מכניסים 0 או 1 בהתאם לתוצאות הפונקציה.
- לכניסות ה-SEL מכניסים את  $n$  המשתנים של הפונקציה.

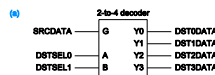
### ♦ מימוש בעזרת מרבב $1 \rightarrow k, k < 2^n$ :

- לכניסות ה-SEL מכניסים רק  $n-1$  משתנים,
- לכניסות המידע מכניסים 0 או 1 או המשתנה החסר או המשלים שלו, בהתאם לתוצאות הפונקציה.

50

## מימוש מפלג (DMUX) ע"י מפענח

- למימוש מפלג של ביט מידע אחד, ניתן לחבר את ביט המידע ל- $G$  (סיבית ה-Enable) של מפענח 2 ל-4.



49

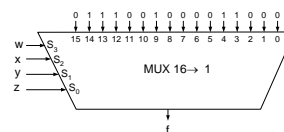
$$f(w, x, t, z) = \sum(3, 4, 9, 12, 13, 14)$$

w	x	y	z	f
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

52

## מימוש ישיר:

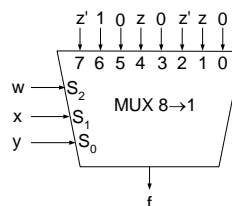
$$f(w, x, t, z) = \sum(3, 4, 9, 12, 13, 14)$$



51

## רכיב מיתכנת - PLA

## מימוש חסכוני



53

## Programmable Logic Arrays (PLAs)

- כל פונקציה צירופית ניתנת לייצוג כסכום של מכפלות.
- הרעיון הוא לבנות מערך גדול של שערי AND-OR עם מספר הנדרש של קלטות ופלטות.
- מספר הקלטות:  $n$
- מספר הקלטות בשערי AND הוא  $2n$  (כל משתנה והמשלים שלו)
- מספר הפלטות:  $m$
- המעגל כולל  $m$  שערי OR. הקלט מתקבל מהפלט של שערי AND
- מספר שערי המכפלה:  $p, p < 2^n$

56

## רכיב מיתכנת - PLD programmable logic devices

- PLD הוא רכיב שניתן לתכנתו לתוכו את הפונקציה הלוגית שהוא אמור לממש.
- אם במהלך העיצוב מקבלים שגיאה ניתן לחזור ולעצב את המעגל מחדש, מבלי שנוצרך לשנות בפועל את הרכיב.
- הרכיב הראשון שניתן לתכנתו היה PLA (programmable logic array) שהיה בנוי ממעגל בן שתי רמות של שערי AND ו-OR.
- רכיבי PLD הם פיתוח של PLA ומהווים את הלבנים (MSI) של תעשיית המעגלים המשולבים.
- רכיבים מיתכנתים לבנית מעגלים משולבים מורכבים יותר בנויים מקבוצה של PLD-ים שמעוצבים כיחידה על שבב בודד.

55

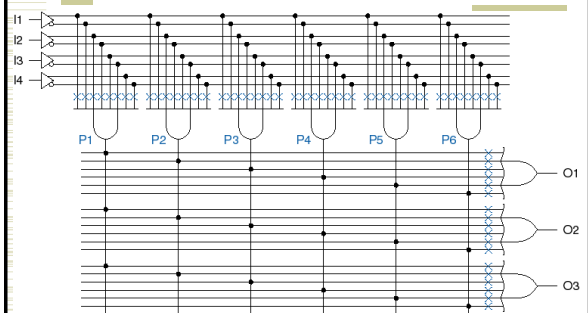
## תכנות רכיב PLA

- X מסמן קישור אפשרי
- תכנות רכיב PLA נעשה ע"י בחירת קבוצה של קישורים נצרכים למימוש הפונקציה והתעלמות מכל שאר הקישורים.
- במעגל צירופי יש להגדיר פונקציה כסכום של מכפלות לייצוג כל אחת מסיביות הפלט.

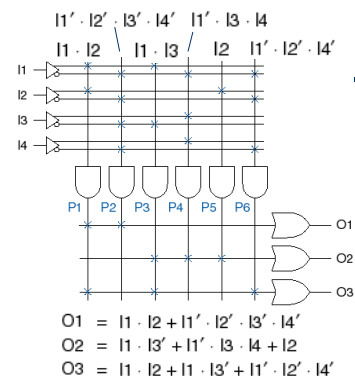
58

## דוגמא:

$$n=4, m=3, p=6$$



57



59