

UNIVERSIDADE DE SÃO PAULO
Escola Politécnica



PCS3635 – Laboratório Digital I

Documentação do projeto

Turma 04
Bancada A2

Gabriel Coutinho Ribeiro, N° USP: 11803437
Rafael Katsuo Nakata, N° USP: 11803819
Luiz Guilherme Budeu, N° USP: 11821639

SÃO PAULO

Painel de segurança domiciliar FPGA Security

O FPGA Security é um painel de segurança próprio para ser utilizado em residências, tanto casas quanto condomínios, que possui comunicação com um meio de persistência de dados por meio do protocolo de comunicação MQTT e se utiliza da placa FPGA DE0-CV para o circuito do painel de segurança. O sistema utiliza um id (identificador) de usuário (de 0 a 15) e duas senhas distintas para um único usuário: a senha normal e a senha do pânico, cujas respectivas funções serão explicadas posteriormente. Também possui um alarme que comunica alguma ocorrência não usual e possivelmente emergencial e um sinal de abertura que indica à porta que pode se abrir.

Esse sistema possui três entradas de 1 bit: o clock, que é configurado por padrão em 1 kHz, e as entradas de 'cancelar' e 'enter', que são botões que podem ser utilizados pelo usuário. Também, possui quatro botões que formam uma entrada de um dado de 4 bits, também utilizada pelo usuário. Além disso, o circuito contém mais duas entradas de 4 bits para comunicação e recebimento de dados vindos do meio de persistência de dados; uma das entradas recebe dados relacionados à senha normal e a outra, à do pânico.

Quanto às saídas, existem 8 bits de saída dedicados à comunicação com o meio de persistência já citado por meio do protocolo MQTT; desses 8 bits, 4 deles formam um dado que comunica ao servidor que gerencia o meio de persistência qual dado foi inserido pelo usuário, essa saída é utilizada para comunicar o id do usuário que está utilizando a FPGA ao servidor para que esse transmita os dados de senha corretos à placa. Quanto aos outros 4 bits, cada um deles comunica uma informação distinta ao servidor; são elas: o trigger, 'abrir', 'alarme' e 'fimES'.

Então, o trigger é responsável por comunicar ao servidor que o circuito está enviando-o o id de usuário e que está esperando os dados da senha. O sinal de 'abrir', por sua vez, indica ao servidor a inserção da senha normal correta e que, portanto, a porta foi aberta. Ainda, o sinal 'alarme' indica ao servidor que o alarme foi acionado. Por último, o sinal 'fimES' comunica ao servidor que, caso o alarme ('alarme'=1) toque, esse deve registrar que o alarme tocou porque o usuário errou suas senhas 5 vezes.

Quanto às saídas mostradas na própria placa FPGA, existe uma mensagem mostrada em 6 displays de 7 segmentos e outros 4 bits de saída: sendo eles 'espere', 'alarme', 'abrir' e 'errou', sendo que 2 deles são leds. Quanto aos displays, enquanto o servidor transmite os dados das senhas ao circuito, eles mostram a mensagem 'espere'; quando a porta é aberta, mostram a mensagem 'abertura'; quando o usuário comete algum erro de senha e deve confirmar (apertar 'enter'), mostram a mensagem 'errou'; e, quando o alarme está tocando, mostra a mensagem 'alarme'.

As saídas que são leds são 'errou (LEDR9 - mais à esquerda)' e 'espere' (LEDR4 - quinto da direita para a esquerda), que acendem, respectivamente, quando o usuário comete algum erro de senha e quando o servidor e o circuito estão trocando dados (o usuário deve esperar a troca ser finalizada). Enquanto 'abrir' sinaliza à porta que ela deve se abrir, ou seja, liberar a sua tranca. Por último, 'alarme' indica ao dispositivo de emergência do condomínio/casa que ele deve sinalizar que algo está errado.

Em suma, o FPGA Security é um circuito que recebe do usuário um id entre 0 e 15 em binário por meio de botões. Após a confirmação da inserção (usuário aperta 'enter'), é mostrada a mensagem 'espere' e o circuito envia o id de usuário ao servidor, que o utiliza para mandar para o circuito os últimos endereços da senha normal e da senha do pânico. Depois, o servidor passa a enviar ambas as senhas, dado por dado, até que ambas as senhas tenham sido completamente carregadas.

A partir daí, 'espere' deixa de ser mostrada e o usuário passa a poder inserir dígito por dígito da senha por meio dos botões. Para confirmar a inserção da senha normal, o usuário deve apertar 'enter'; entretanto, no caso da senha do pânico, não é necessária tal confirmação caso a ela esteja correta.

Em caso de erro de senha (errar ambas as senhas), o circuito mostra 'errou' e o usuário deve confirmar (apertar 'enter') que percebeu o erro e quer reiniciar a inserção.

Quanto ao alarme, existem três situações em que é ativado: quando o usuário demora mais de 1 minuto para inserir sua senha, quando o usuário erra 5 vezes as senhas ou quando o usuário insere corretamente a senha do pânico. E, para desativar o alarme, o usuário deve inserir a senha normal corretamente, o que também abrirá a porta.

Por último, o botão 'cancelar' pode ser usado a qualquer momento do funcionamento do circuito para reiniciá-lo.

As descrições acima e mais alguns diagramas estão presentes no decorrer deste documento e nos links apresentados no Apêndice.

Diagrama de arquitetura do sistema

<https://app.diagrams.net/#G1uW8dyX-rA2R8LYQNkZ3eoE8y8TweaFIE> ou imagem em anexo

Diagrama RTL do circuito

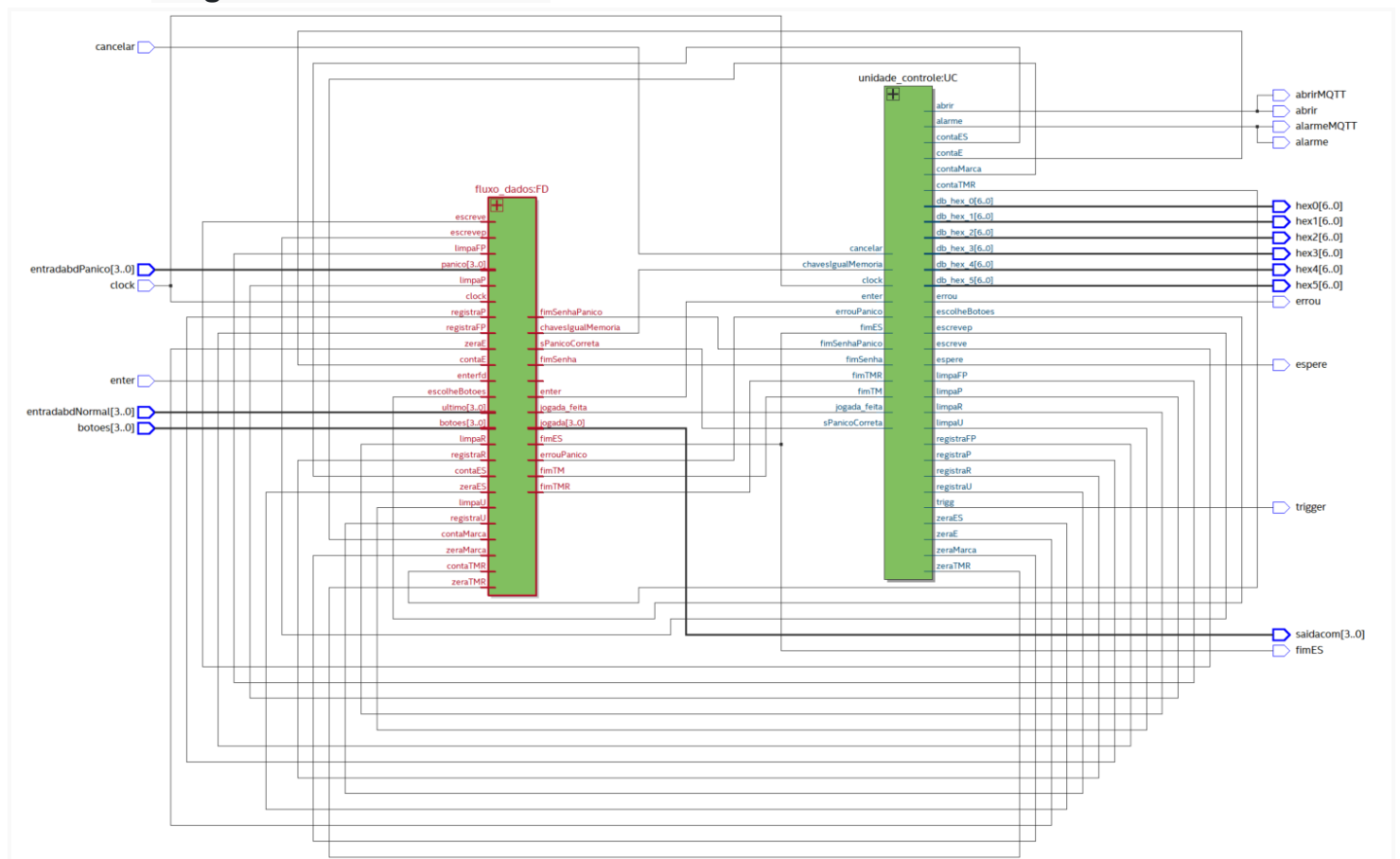


Diagrama RTL do fluxo de dados

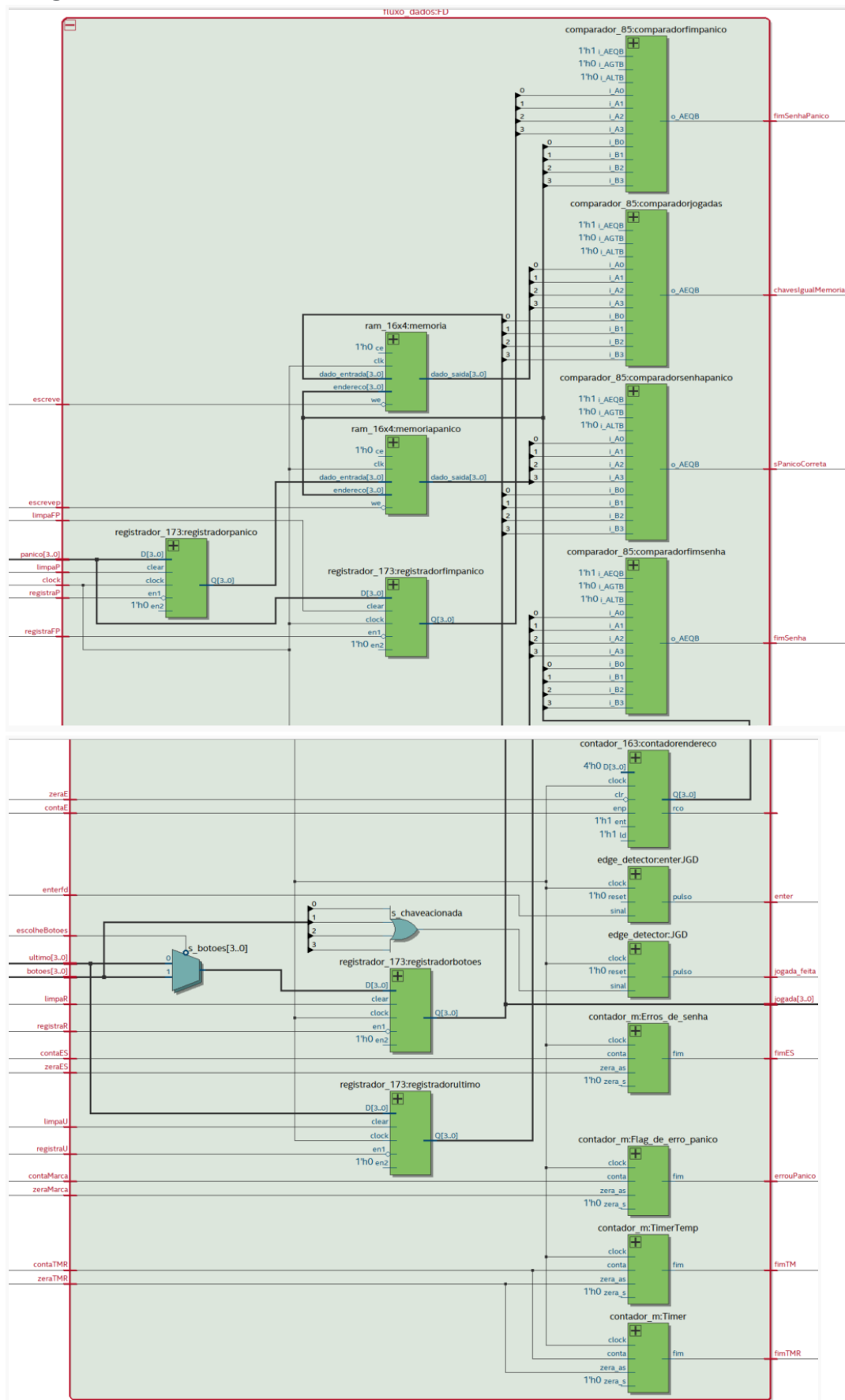


Diagrama de estados da unidade de controle

https://app.diagrams.net/#G1RASYS7pJkMUSvf5b2-D6TCgiMRPI122_ ou imagem em anexo.

Implementação do servidor e do meio de persistência em python:

<https://github.com/rafnak1/fpga-security>

Apêndice

[Manual](#) (completo) da Placa FPGA DE0-CV.