

# MASTER INFO ACSI

## Partiel UE VLSI

26 Janvier 2011

(Tous documents autorisés)

### Exercice I Décryptage (4 points)

Soit le « dessin de masque » fourni en annexe.

- 1) Donnez le schéma en transistors.
- 2) Donnez la fonction booléenne correspondante.
- 3) Quelle est le nom de cette cellule dans la nomenclature SXLIB.
- 4) Donnez le fichier .vbe correspondant.

### Exercice II Équilibrage (3 points)

- 1) Expliquez en quelques phrases l'origine des temps de propagation dans les circuits VLSI réalisés en technologie CMOS. Donnez une expression de ces temps en expliquant à quoi correspondent les grandeurs intervenant dans cette expression.

### Exercice III Décaleur gauche droite 4 bits (6 points)

On veut réaliser de la vue comportementale et la vue structurelle en porte standard d'un circuit minimaliste réalisant l'incrémement (+1) ou la décrémement (-1) d'une valeur codée sur 8 bits. Ce circuit reçoit en entrée une valeur DIN représentant un entier codé sur 8 bits et une commande INC (incrément si INC=1 décrément sinon) et fournit sur sa sortie DOUT le résultat de l'opération.

- 1) S'agit-il d'un circuit combinatoire ou d'un circuit séquentiel, justifiez votre réponse.
- 2) Écrivez un fichier (.vbe) correspondant à la description comportementale de ce circuit.
- 3) En considérant exclusivement l'interface de ce circuit combien de stimuli sont nécessaires pour réaliser un test exhaustif de ce circuit?
- 4) Proposez une stratégie de test permettant de réduire le nombre de stimuli nécessaires.
- 5) Écrivez un fichier (.pat) correspondant à la mise en œuvre de cette stratégie.
- 6) Proposez un schéma en porte de la bibliothèque SXLIB correspondant à une description structurelle valable de ce circuit.
- 7) Écrivez le fichier (.py) correspondant à la description structurelle du circuit et utilisant les primitives de la bibliothèque STRATUS. Afin de réduire la taille de ce fichier vous utiliserez au maximum les capacités de programmation du langage python, notamment les boucles. La notation de cette question dépendra de la justesse de la solution mais aussi de la compacité du code.

### Exercice IV Mémoire associative (7 points)

On veut réaliser une mémoire associative contenant 2 mots de 4 bits de données. A chacun de ces mots est associé une clef codée sur 2 bits. Initialement cette mémoire est considérée comme vide c'est à dire ne contenant aucune donnée pertinente.

Cette mémoire présente une interface d'écriture composée de la donnée à écrire (DIN), de la clef associée à cette donnée (CW) et d'un signal commandant l'écriture (WE). Lors de l'écriture 3 situations peuvent se produire~:

- Si la mémoire est vide la donnée et la clef associée sont écrites arbitrairement dans l'une des deux cases.
- Si une des deux cases est déjà occupée la donnée (et la clef) sont écrites dans l'autre case.
- Si les deux cases sont occupées c'est la donnée (et la clef) qui ont été écrites depuis le plus longtemps qui sont remplacées.

L'interface de lecture de ce circuit est constituée d'une clef (en entrée CR), d'une donnée (en sortie DOUT) et comme il est possible qu'aucune clef ne corresponde à la clef fournie en entrée un signal (DV) de validité indique la pertinence de la donnée reçue sur (DOUT).

Les signaux WE et DV sont actifs au niveau haut (1) et le circuit reçoit en entrée une horloge CK et un signal de remise à niveau synchrone RST (actif à 1).

8) S'agit-il d'un circuit combinatoire ou d'un circuit séquentiel, justifiez votre réponse.

9) Écrivez un fichier (.vbe) correspondant à la description comportementale de ce circuit.

10) Proposez une stratégie de test permettant de réduire le nombre de stimuli nécessaires.

11) Écrivez un fichier (.pat) correspondant à la mise en œuvre de cette stratégie.