

MASTER INFO ACSI

Partiel UE VLSI 12 Novembre 2009 (Tous documents autorisés)

Exercice I Décryptage (5 points)

Soit le « dessin de masque » fourni en annexe.

- 1) Donnez le schéma en transistors.
- 2) Donnez la fonction booléenne correspondante.
- 3) Quelle est nom de cette cellule dans la nomenclature SXLIB.
- 4) Donnez le fichier .vbe correspondant.

Exercice II Équilibrage (3 points)

Pour les 3 questions suivantes, le plus grand soin devra être apporté à la justification des réponses et à la qualité de la rédaction.

- 1) Expliquez ce que signifie équilibrer un porte logique.
- 2) Quelles sont les contraintes imposées par la technologie CMOS qui rendent cet exercice difficile.
- 3) Tous les schémas de porte CMOS sont-ils « équilibrables » parfaitement (quelque soient les configurations des entrées)? Si non donnez un exemple de schéma qui ne soit pas équilibrable.

Exercice III Décaleur gauche droite 4 bits (6 points)

On veut réaliser de la vue comportementale à la vue structurelle en porte standard un circuit minimaliste réalisant des décalages à gauche et à droite d'un mot de 4 bits.

Voici sa description comportementale en VHDL :

```
ENTITY decgd IS
PORT (
    din      : IN BIT_VECTOR(3 DOWNTO 0);
    dout     : OUT BIT_VECTOR(3 DOWNTO 0);

    dg       : IN BIT;

    vdd      : IN BIT;
    vss      : IN BIT
);
END decgd;

ARCHITECTURE data_flow OF decgd IS
BEGIN

dout <= (din(2 downto 0) & '0') when dg = '1' else ('0' & din(3 downto 1));
END data_flow;
```

- 1) En considérant exclusivement l'interface de ce circuit combien de stimuli sont nécessaires pour réaliser un test exhaustif de ce circuit?
- 2) Si on considère maintenant les équations booléennes contenues dans cette description comportementale, de quels entrées (ou bit des entrées) dépend chaque bit de la sortie.
- 3) Proposez une stratégie de test permettant de réduire le nombre de stimuli nécessaires.
- 4) Écrivez un fichier (.pat) correspondant à la mise en œuvre de cette stratégie.

- 5) Proposez un schéma en porte de la bibliothèque SXLIB correspondant à une description structurelle valable de ce circuit.
- 6) Écrivez le fichier (.py) correspondant à la description structurelle du circuit et utilisant les primitives de la bibliothèque STRATUS.