

MASTER INFO SESI

Partiel UE VLSI

30 Janvier 2012

(Tous documents autorisés)

Exercice I Décryptage (4 points)

Soit le « dessin de masque » fourni en annexe.

- 1) Donnez le schéma en transistors.
- 2) Donnez la fonction booléenne correspondante.
- 3) Expliquez en quelques mots quelle est la fonction réalisée par cette cellule.
- 4) Donnez le fichier `.vbe` correspondant.

Exercice II Comparateur 1 bit (4 points)

On veut réaliser la vue comportementale d'un comparateur 1 bit. Ce circuit reçoit deux entrées 1 bit : A et B. Il fournit deux sorties : Sup qui vaut 1 si A est strictement supérieur à B et Eq qui est égal à 1 si les deux entrées A et B sont égales.

- 1) Écrivez un fichier (`.vbe`) correspondant à la description comportementale de ce circuit.
- 2) Écrivez un fichier (`.pat`) correspondant au test exhaustif de ce circuit.
- 3) Proposez un schéma en porte de la bibliothèque SXLIB correspondant à une description structurelle valable de ce circuit.
- 4) Écrivez le fichier (`.py`) correspondant à la description structurelle du circuit et utilisant les primitives de la bibliothèque STRATUS.

Exercice III Comparateur complet 1 bit (4 points)

A l'image des additionneurs complets et demi-additionneur, on veut maintenant réaliser un comparateur complet. Ce circuit doit pouvoir être utilisé en cascade pour réaliser un comparateur travaillant avec des entrées codées sur un nombre quelconque de bits.

Ce circuit dispose des mêmes entrées et sorties que le comparateur simple de la question précédente auxquels on a ajouté deux entrées `Sup_in` et `Eq_in` correspondant aux résultats de la comparaison des bits de poids plus élevés.

- 5) Écrivez la table de vérité de ce circuit, vous pouvez réduire le nombre de lignes en considérant que `Sup_in` et `Eq_in` ne peuvent simultanément être égaux à 1.
- 6) Écrivez un fichier (`.vbe`) correspondant à la description comportementale de ce circuit.

Exercice IV Comparateur 32 bits (4 points)

L'objectif de cet exercice est de réaliser un comparateur 32 bits en utilisant exclusivement les comparateurs des questions précédentes.

- 7) Écrivez le fichier (`.py`) correspondant à la description structurelle du circuit et utilisant les primitives de la bibliothèque STRATUS.

Exercice V Diviseur d'horloge programmable (4 points)

On veut réaliser un circuit qui prend en entrée une horloge `Ck_in` et une entrée `Coef` codée sur 2 bits et qui fournit en sortie `Ck_out` un signal d'horloge d'une fréquence 2^{Coef} fois inférieure à `Ck_in`.

Si `Coef` = 0 alors `Ck_out` doit être égal à `Ck_in`.

Si `Coef` = 1 alors `Ck_out` a une fréquence égale à la moitié de celle de `Ck_in`.

Si **Coef** = 2 la fréquence est divisée par 4.

Si **Coef** = 3 la fréquence est divisée par 8.

Attention l'horloge **Ck_out** doit valoir 1 pour la moitié de sa période.

- 8) Écrivez un fichier (**.vbe**) correspondant à la description comportementale de ce circuit.
- 9) Proposez un schéma en porte logique de ce composant.