

MASTER INFO ACSI

Examen UE VLSI 16 Décembre 2008 (Tous documents autorisés)

Exercice I Simulation électrique (4 points)

Deux cellules *inverseur* identiques (C1 et C2), de dimensions $L_n=L_p=0.35 \mu\text{m}$, $W_p=3W_n=1.0 \mu\text{m}$, sont montées en cascade (la sortie de C1 est connectée à l'entrée de C2). Le délai de propagation mesuré pour la première cellule C1 est de 2 ns.

- 1) Comment va évoluer le délai si on connecte la sortie de C1 à l'entrée d'une cellule C2' ayant une largeur des transistors N et P trois fois plus grande ?
- 2) Supposons, qu'à la sortie de la cascade C1-C2 on connecte une cellule C3 composée de transistors de largeur six fois supérieure à celle des transistors de C2. Calculez le délai total à travers les cellules C1 et C2.

Les réponses à ces questions devront être justifiées.

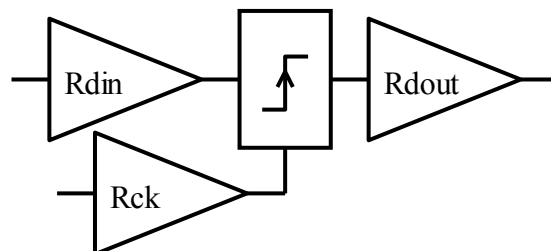
Exercice II Circuit mystère (6 points)

Soit le circuit décrit en python (pour STRATUS) (.py) `circuitx` fourni en annexe. Donnez la description VHDL (.vbe) correspondante.

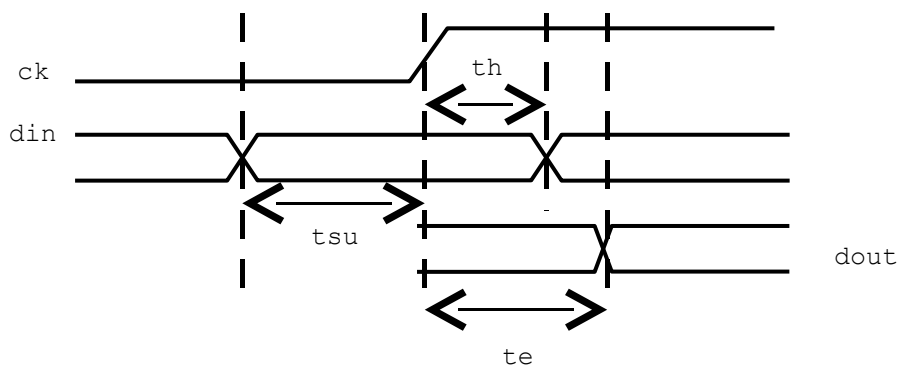
- 1) S'agit-il d'un circuit séquentiel ou d'un circuit combinatoire.
- 2) Écrivez un fichier de pattern (.pat) permettant d'observer le comportement de ce circuit.
- 3) Quelle est la fonction réalisée par ce circuit.

Exercice III Analyse temporelle d'un registre (4 points).

On choisit de représenter une bascule D à écriture sur front montant d'horloge par une bascule "parfaite", c'est à dire dont tous les temps de propagations sont égaux à 0 accompagnée d'une série de retards (Rdin, Rdout et Rck) dont on connaît les temps de propagations minimums et maximums.



- 1) Pour les deux configurations suivantes, donnez les trois valeurs : t_{su} (*setup*, pré positionnement), t_h (*hold*, maintien) et t_e (*établissement*).



	$R_{din_{min}}$	$R_{din_{max}}$	$R_{ck_{min}}$	$R_{ck_{max}}$	$R_{dout_{min}}$	$R_{dout_{max}}$
1)	0ps	80ps	0ps	0ps	20ps	100ps
2)	60ps	80ps	5ps	10ps	40ps	80ps

- 2) A quelle fréquence maximum peut fonctionner un circuit construit avec des bascules dont les caractéristiques temporelles correspondent à la seconde configuration (cas 2).

Exercice III Sériailiseur 4 bits (6 points)

Au cours du partiel vous avez eu l'occasion de décrire en VHDL un circuit réalisant la sérialisation de mots de 4 bits.

Comme nous ne pouvons pas faire l'hypothèse que vous ayez tous réussi cet exercice, le corrigé vous est fournit en annexe.

- 1) Ecrivez le fichier `.py` contenant la description de la *netlist* correspondante à ce circuit décrite au niveau `SXLIB` et utilisant la bibliothèque `STRATUS`.
- 2) Combien de bascules `SXLIB` sont nécessaires pour réaliser cette *netlist*?