

## 17 Архитектура COM-портов ПК

В стандартной архитектуре ПК для COM1 и COM2 зарезервированы следующие диапазоны программных портов в адресном пространстве ввода-вывода процессора: 3F8h -- 3FFh и 2F8h -- 2FFh соответственно (но возможности Super I/O позволяют сконфигурировать UART 16550 нестандартно).

Регистры UART 16550 отображаются в соответствующий диапазон следующим образом.

Register Address Access (AEN = 0)		Abbreviation	Register Name	Access
Base +	DLAB			
0h	0	THR	Transmit Holding Register	WO
0h	0	RBR	Receiver Buffer Register	RO
0h	1	DLL	Divisor Latch LSB	R/W
1h	1	DLM	Divisor Latch MSB	R/W
1h	0	IER	Interrupt Enable Register	R/W
2h	—	IIR	Interrupt Identification Register	RO
2h	—	FCR	FIFO Control Register	WO
3h	—	LCR	Line Control Register	R/W
4h	—	MCR	Modem Control Register	R/W
5h	—	LSR	Line Status Register	R/W
6h	—	MSR	Modem Status Register	R/W
7h	—	SCR	Scratch Pad Register	R/W

(Регистры данных, как и цепи для передачи и приема данных, в разных документах называют по-разному.)

Отображение частично зависит от значения Divisor Latch Access Bit (DLAB) -- самого старшего (седьмого) бита регистра LCR.

Прикладная программа должна в первую очередь корректно инициализировать соответствующие регистры UART.

При этом предоставлена возможность работы по прерываниям.

Стандартными аппаратными прерываниями COM1 и COM2 являются IRQ4 и IRQ3 соответственно (также можно изменить).

Назначение регистров:

1. THR (Transmit Holding Register) -- регистр данных передатчика (точнее буферный регистр сдвигового регистра передатчика).
2. RBR (Receiver Buffer Register) -- регистр данных приемника (точнее буферный регистр сдвигового регистра приемника).
3. DLL (Divisor Latch Least significant byte) -- младшая часть константы деления бод-генератора.

4. DLM (Divisor Latch Most significant byte) -- старшая часть константы деления бод-генератора.

5. IER (Interrupt Enable Register) -- регистр разрешения прерываний.

6. IIR (Interrupt Identification Register) -- регистр идентификации прерываний.

7. FCR (FIFO Control Register) -- регистр управления очередями FIFO передатчика и приемника.

8. LCR (Line Control Register) -- регистр управления линией.

9. MCR (Modem Control Register) -- регистр управления модемом.

10. LSR (Line Status Register) -- регистр состояния линии.

11. MSR (Modem Status Register) -- регистр состояния модема.

12. SCR (Scratch Pad Register) -- дополнительный регистр для временного хранения данных, не связанный с функционированием UART.

Значение битов разных регистров

5. IER (Interrupt Enable Register) -- регистр разрешения прерываний.



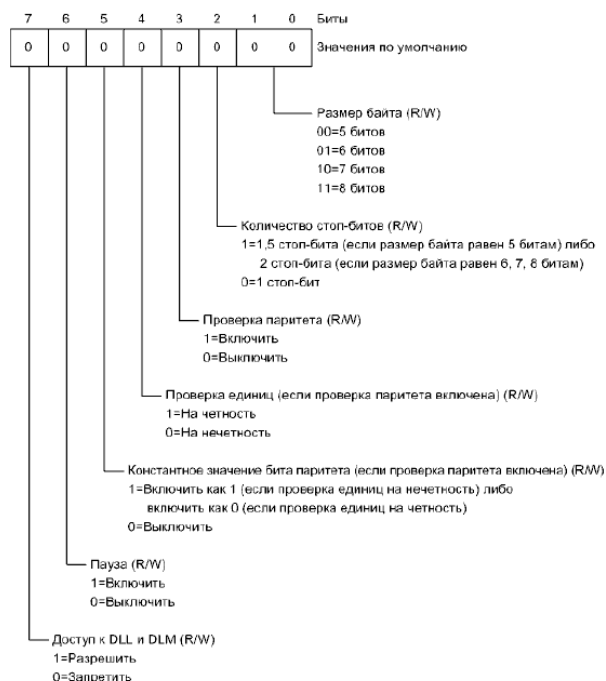
## 6. IIR (Interrupt Identification Register) -- регистр идентификации прерываний.



## 7. FCR (FIFO Control Register) -- регистр управления очередями FIFO передатчика и приемника.



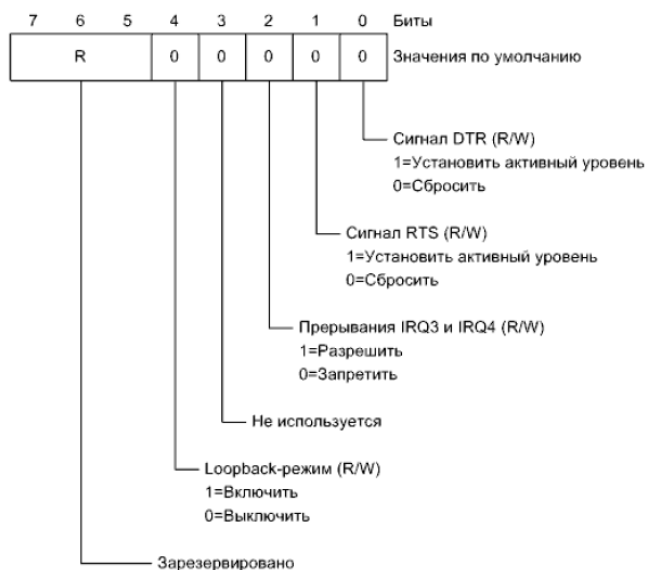
## 8. LCR (Line Control Register) -- регистр управления линией.



Включение «залипания» бита паритета (sticky parity) приводит к передаче соответствующего константного значения.

Включение паузы приводит к приостановке передатчика. При этом передатчик удерживает линию в состоянии логического нуля длительное время, что автоматически переводит в режим паузы и приемник (без уведомления об ошибках).

## 9. MCR (Modem Control Register) -- регистр управления модемом.



## 10. LSR (Line Status Register) -- регистр состояния линии.



## 11. MSR (Modem Status Register) -- регистр состояния модема.

