

武汉大学国家网络安全学院
2021 -2022 学年度第 1 学期
《数字逻辑与 EDA》期末考试试卷 A 卷（闭卷）

专业： 信息安全、网络空间安全 学号： 姓名：

说明：答案请全部写在答题纸上，写在试卷上无效。

未经主考教师同意，考试试卷、答题纸、草稿纸均不得带离考场，否则视为违规。

题号	一	二	三	四	五	六	总分
分值	7	16	8	16	18	35	100

一. 填空题（共 5 小题，每空 1 分，共 7 分）

- 1、逻辑函数 $F(A,B,C) = \bar{A}B + BC$ 的反函数是（ ）。
- 2、若采用奇校验，当信息位为 01010011 时，校验位应是（ ）
- 3、存在约束条件的触发器是（ ）触发器
- 4、三态门在禁止状态下输出（ ）
- 5、若要消除函数 $F(A,B,C) = \bar{A}C + AB$ 对应的逻辑电路可能存在的险象，则应增加的冗余项是（ ）。 （此题 3 分）

二. 单项选择题（共 8 小题，每小题 2 分，共 16 分）

- 1、 $(58.125)_{10}$ 的二进制数是（ ）
A. 0101 1000.0001 0010 0101 B. 1000 1011. 0100 0101 1000
C. 111010.001 D. 010111.100
- 2、 $(80.16)_{10}$ 的余 3 码是（ ）
A. 1000 0000. 0001 0110 B. 1011 0011. 0100 1001
C. 1110 0000. 0001 1100 D. 1000 0000. 0100 1001
- 3、实现“线与”常用（ ）
A.与非门 B.或非门 C.三态门 D. OC 门
- 4、若八级优先编码器的输入 $I_0 \sim I_7$ 中 I_0 的优先级最低， I_7 最高。 I_0 的编码输出为 000， I_7 的编码输出为 111。则当 $I_3 I_4 I_5 I_6$ 同时输入有效值时，其编码输出是（ ）
A. 011 B. 100 C. 110 D. 101
- 5、若 J-K 触发器的输入 $J=1$ ， $K=1$ ，CP 时钟输入频率为 10kHz，则 Q 的输出为（ ）

- A. 保持高电平 B. 保持低电平
C. 5kHz 方波 D. 10kHz 方波

6、能完成带低位进位的两个一位二进制数相加的器件称为 ()

- A. 译码器 B. 全加器 C. 编码器 D. 半加器

7、由 10 级触发器构成的二进制计数器，其模值是 ()

- A. 10 B. 100 C. 1000 D. 1024

8、对完全确定原始状态表中的 7 个状态，A、B、C、D、E、F、G 进行化简，若有 (A, B)、(B, C)、(E, F)、(F, G) 等效，则最简状态表中只有 () 个状态

- A. 5 B. 4 C. 7 D. 3

三. 化简题 (共 1 小题，每小题 8 分，共 8 分)

1、把 $F(A, B, C, D) = A \bar{B} \bar{C} + \Sigma m(2, 3, 6, 13) + \Sigma d(4, 7, 12)$ 化成最简“与——或”式和最简“或——与”式。

四. 程序代码补全 (共 8 个空，每个空 2 分，共 16 分)

1、下面是 case 语句编写的 3-8 译码器电路，将横线上的语句补上，使程序形成完整功能。

```
module decoder38(sel, csout);  
  ① ;  
  ② ;  
  reg[7:0] csout;  
  always @ ( ③ )  
  begin  
    case ( ④ )  
      3'b000 : csout = 8'b 11111110;  
      3'b001 : csout = 8'b 11111101;  
      3'b010 : csout = 8'b 11111011;  
      3'b011 : csout = 8'b 11110111;  
      3'b100 : csout = 8'b 11101111;  
      3'b101 : csout = 8'b 11011111;  
      3'b110 : csout = 8'b 10111111;  
      3'b111 : csout = 8'b 01111111;  
      default : csout = 8'b 11111110;  
    endcase  
  end  
endmodule
```

```

        endcase
    end
endmodule

```

2、下面程序功能是一个具有同步置 1（高电平有效），异步清零 0（低电平有效）的 D 触发器，时钟上跳沿有效。将横线上的语句补上，使程序形成完整功能。

```

module DFF ( RST, CLK, SET, EN, D, Q);
    input RST, CLK, SET, EN, D;
    ① ;
    reg Q;
    always @( ② )
    begin
        if( ③ )    Q <= 0;
        else if (EN)
            begin
                if ( ④ ) Q <= 1;
                else Q <= D;
            end
        end
    end
endmodule

```

五. 分析题（共 2 小题，共 18 分）

1、分析图 1 所示组合逻辑电路（每问 3 分）

- ① 写出输出函数表达式
- ② 列出真值表
- ③ 说明电路功能

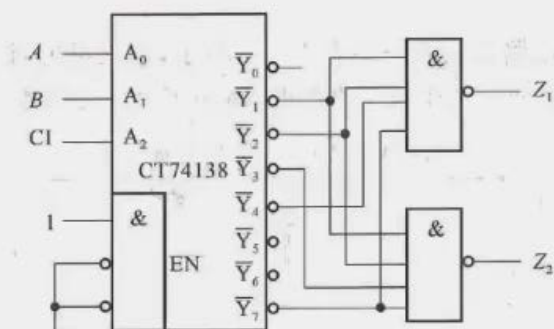


图 1

2、分析图 2 所示电路，设 $Q_1Q_2=00$ ，输入 x 和 CP 的波形如图，要求：

- ① 写出激励函数表达式 (3 分)
- ② 判断电路是同步还是异步时序逻辑电路, 是 Moore 型还是 Mealy 型 (3 分)
- ③ 画出输出 Q_1 、 Q_2 的波形图。(3 分)

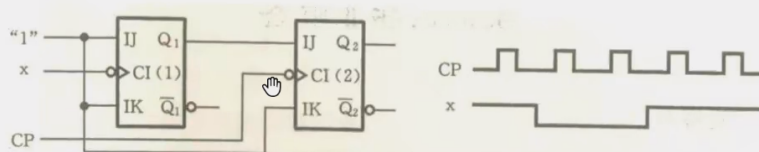


图 2

六. 数字逻辑电路设计题(共 3 小题, 共 35 分)

- 1、用 D 触发器和适当的逻辑门设计能实现下列最简二进制状态表功能的同步时序逻辑电路 (确定激励函数和输出函数即可, 不必画电路图。共 8 分)

现态		$y_2^{n+1} \ y_1^{n+1} / z$	
		$X=0$	$X=1$
0	0	00/0	01/0
0	1	00/0	11/0
1	0	dd/d	dd/d
1	1	00/0	11/1

图 3

D 触发器激励表如下:

$Q \rightarrow Q^{n+1}$	D
0 0	0
0 1	1
1 0	0
1 1	1

- 2、用一片移位寄存器 74194 和一片 8 选 1 数据选择器 74152 设计一个序列信号发生器, 输出序列为 01110100 (第一位输出 0, 第二位输出 0, 第三位输出 1...)。(共 15 分)

(提示: 74194 控制端 S_1 , S_0 的功能: 00 保持, 01 右移, 10 左移, 11 并行输入)

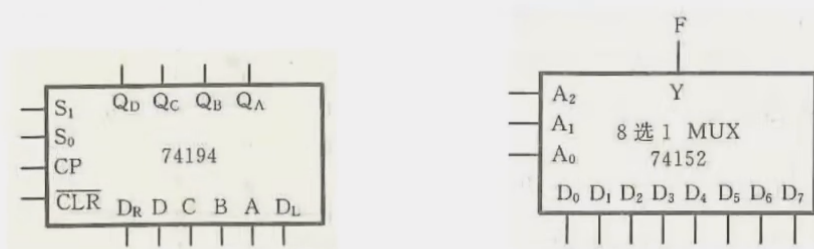


图 4

- 3、用 Verilog 语言设计一带异步复位端 (低电平有效)、异步置数端 (低电平有效) 的四位加法计数器 adder_4, 时钟 clk 上升沿有效, 复位信号 clr, 置数信号 load、输入数据 data、输出 qout。(共 12 分)