

第4章 时钟及电源管理

4.1 S3C2410时钟结构

4.2 S3C2410电源管理模式

4.3 相关特殊功能寄存器

4.4 常用单元电路设计

S3C2410时钟与电源管理模块包括：

- ▣ 时钟控制
- ▣ USB控制
- ▣ 电源控制

- 时钟控制逻辑可以产生系统所需要的时钟信号，包括提供给CPU的FCLK，提供给AHB总线设备的HCLK和提供给APB总线设备的PCLK。
- S3C2410有2个锁相环(PLLs)：一个提供FCLK、HCLK和PCLK，另一个提供USB时钟(48MHz)。

锁相环 (phase-locked loop) 为无线电发射中使频率较为稳定的一种方法, 实现锁频的目的, 能使受控振荡器的频率和相位均与输入信号保持确定关系的闭环电子电路。

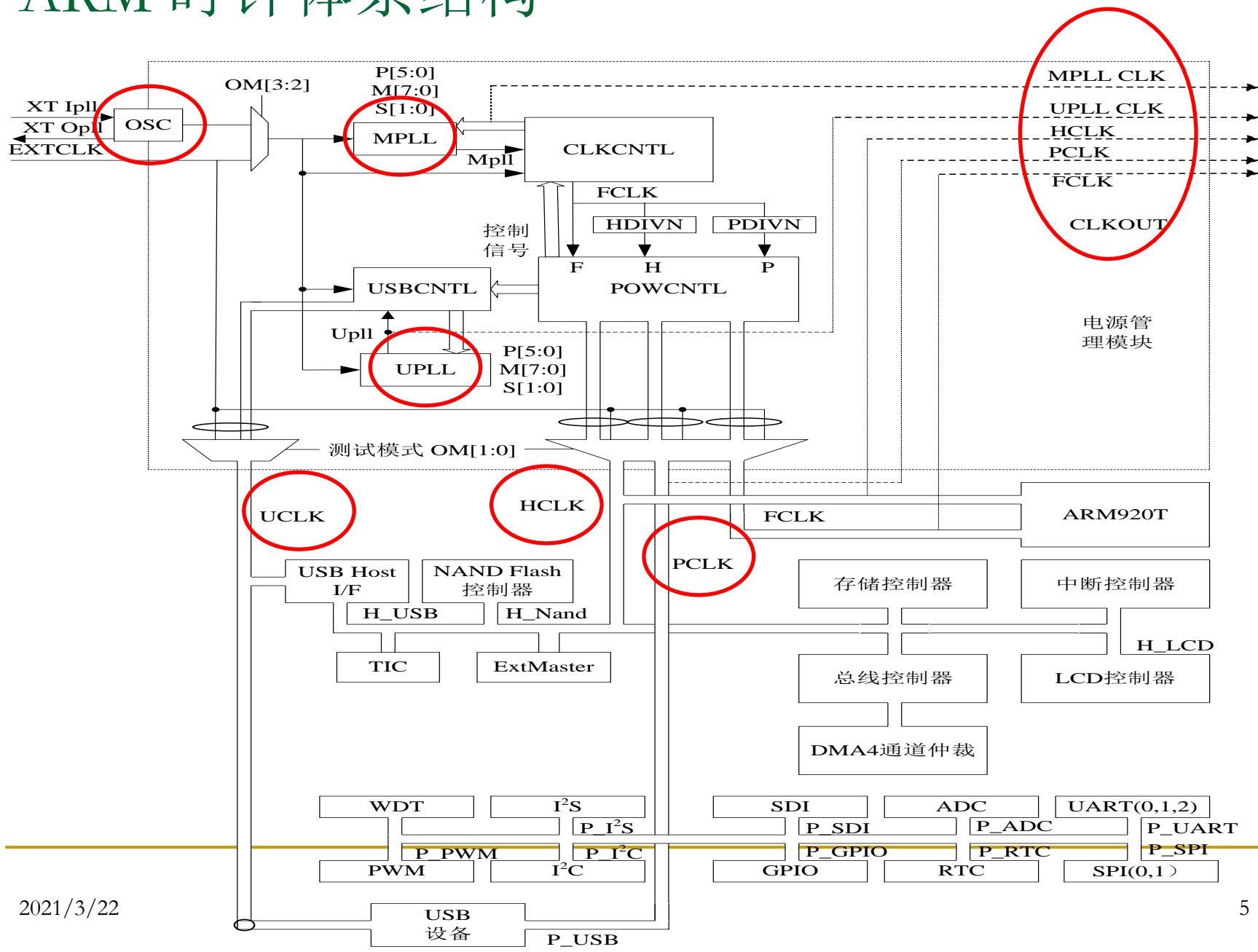
锁相环是指一种电路或者模块，目前的应用集中在以下三个方面：
第一 信号的调制和解调；第二 信号的调频和解调；第三信号频率合成电路

4.1 S3C2410时钟结构

- 主时钟来源于外部晶振(XT1pll)或外部时钟(EXTCLK)。
- 时钟发生器包含一个连接外部晶振的振荡器，两个产生高频时钟的锁相环(PLLs)。
- 两个时钟源依据模式控制引脚(OM3和OM2)的不同组合来选择。

OM[3:2]	MPLL 状态	UPLL状态	主时钟源	USB时钟源
00	On	On	晶振	晶振
01	On	On	晶振	外部时钟
10	On	On	外部时钟	晶振
11	On	On	外部时钟	外部时钟

ARM 时钟体系结构



- 例：实验开发板时钟电路
- S3C2410 有两个工作时钟：系统主时钟MPLL和USB 的基准输入时钟源总线时钟UPLL。
- 开发板上提供了一个实时时钟32.768KHz，一个12MHz 的外部晶振，并可以在EXTCLK 脚引入外部时钟。

```
OM[1:0] : Bus Size
00 : Nand boot
01 : Halfword (16-bit)
10 : Word (32-bit)
11 : Test Mode
```

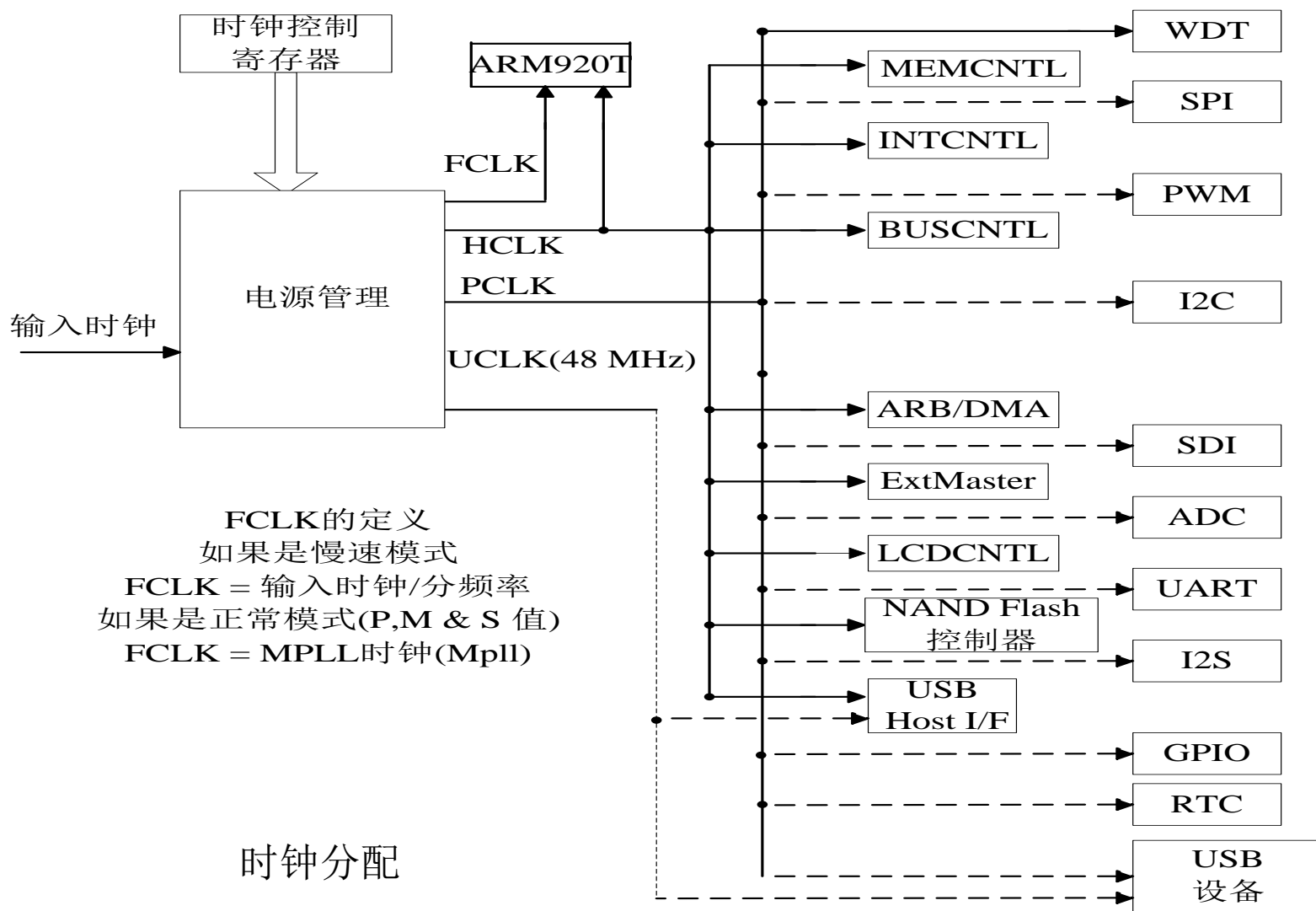
[illegible]

4.2 S3C2410电源管理模式

■ S3C2410有4种电源管理模式：

- 空闲模式
- 正常模式
- 低速模式
- 休眠模式

时钟分配图



说明：

■ PLL（锁相环）

- ❑ 锁相环起到的是倍频的作用，锁相环的使用有锁定和连接的过程。
- ❑ 以S3C2410为例，其内部有两个锁相环：MPLL、UPLL，分别为MCU和USB控制器产生时钟信号
- ❑ MPLL未连接之前MCU直接使用震荡源作时钟信号，连接后则改用MPLL倍频后的震荡源作时钟信号
- ❑ UPLL因为是为USB设备提供时钟信号，所以规定必须是48MHz或96MHz

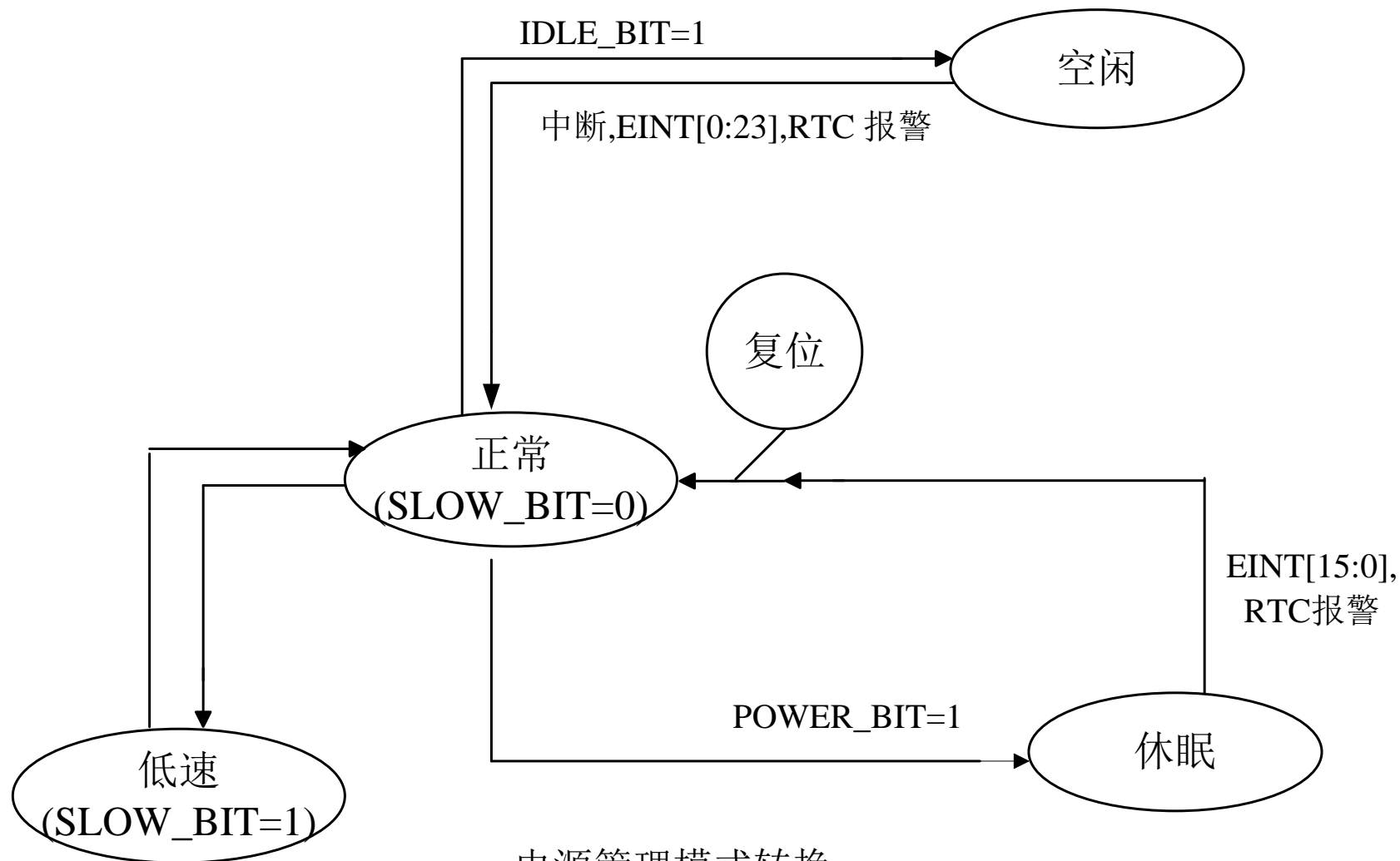
■ 分频器

- ❑ S3C2410有四种时钟信号：从UPLL分出来的UCLK，从MPLL分出来的FCLK / HCLK / PCLK
- ❑ UCLK（48MHz / 96MHz）是供给USB的，FCLK是供给MCU的，HCLK供给AHB，PCLK供给APB
- ❑ FCLK 与MPLL的频率一样。我们所说的S3C2410的CPU主频为200MHz，就是指的这个时钟信号，相应的， $1/\text{FCLK}$ 即为CPU时钟周期
- ❑ HCLK 可以设置为FCLK或 $\text{FCLK}/2$ ，即通过设置相应得寄存器CLKDIVN中的对应位HDIVN即可，其中HDIVN为0时对应FCLK，为1时对应 $\text{FCLK}/2$
- ❑ PCLK可以设置为HCLK或 $\text{HCLK}/2$ ，即通过设置相应得寄存器CLKDIVN中的对应位PDIVN即可，其中PDIVN为0时对应HCLK，为1时对应 $\text{HCLK}/2$

■ AHB/APB

- ❑ AHB与APB的地位相当于PC中的南北桥，是两道独立的片内总线
- ❑ AMBA总线是一种协议，ARM提出的一种解决方案
- ❑ AHB总线连接高速外设，低速外设则通过APB总线互连
- ❑ 对不同总线上的外设，应该使用不同的时钟信号，AHB总线对应HCLK，APB总线对应PCLK
- ❑ AHB bus上的外设有LCD controller、USB Host CONT、ExtMaster、Nand CONT和nand flash boot loader、BUS CONT、interrupt CONT、power management、memory CONT（sram/nor/sdram）等（**HCLK**）
- ❑ APB bus上的外设有UART、USB device、SDI/MMC、Watch Dog、BUS CONT、SPI、IIC、IIS、GPIO、RTC、ADC、Timer/PWM（**PCLK**）

电源管理模式转换图



电源管理模式转换

各种模式下时钟和电源状态

各种模式下时钟和电源状态

模式	ARM920T	AHB模块 (1)/W DT	电源管理 模块	GPIO	32.768KHz RTC时钟	APB模块(2) 和USB主控 /LCD/NAND
正常	工作	工作	工作	可选	工作	可选
低速	工作	工作	工作	可选	工作	可选
空闲	停止	工作	工作	可选	工作	可选
休眠	断电	断电	等待唤醒 事件	前一个状态	工作	断电

正常模式

- 在正常模式下，所有外围设备和基本模块包括电源管理模块、CPU核、总线控制器、存储控制器、中断控制器、DMA 和外部控制单元都在运行。
- 锁相环(PLL)工作，为CPU和所有片内外设提供时钟
- 此模式系统**功耗最大**
- 但每一个外围设备的时钟,不包含基本模块，都可以通过软件控制运行或停止，以便降低功耗。
- 例：如果一个定时器不是必须的，用户可以断开连接到定时器的时钟（CLKCON寄存器），以降低功耗

空闲模式

- 在空闲模式下，停止供给CPU核时钟（功耗减少）
- 但总线控制器、存储控制器、中断控制器和电源管理模块仍然供给时钟。（外设还在工作）
- 退出方法：任何中断请求可唤醒CPU工作，退出空闲模式。需要激活EINT[23:0]，或者RTC中断，或其它中断。
- 进入空闲（IDLE）模式：把时钟生成控制寄存器（CLKCON）的 bit[2]IDLE BIT 设置为 1，进入空闲模式。此位不会自动清零

低速模式

- 即无PLL模式，也因此降低部分功耗。
- 在低速模式下，通过低速时钟频率来达到降低功耗。此时PLL不参与时钟电路，FCLK是外部输入时钟(XT1P11或EXTCLK)的一个n分频，分频比率是由两个控制寄存器CLKSLOW和CLKDIVN的SLOW_VAL值来决定的。
- CPU等直接使用原始时钟、或原始时钟的分频工作,此模式工作时钟频率低而使功耗低
- 在此模式中，功耗只取决于外部时钟的频率

休眠模式

休眠模式下，模块断开内部电源连接，除了唤醒逻辑。休眠模式有效的前提是系统需要两套独立的电源，其中一套给唤醒逻辑供电，另一套则给其他设备包括CPU供电,并且电源上电可控制。在休眠模式，给CPU和内部逻辑供电的第二套电源被关闭。可以由EINT[15:0]或通过预设系统启动时间的中断将系统从休眠模式下唤醒。

休眠模式

进入休眠模式的过程如下：

- ❑ 设置GPIO配置寄存器，使GPIO工作在休眠模式下。
- ❑ 屏蔽INTMSK寄存器中所有中断。
- ❑ 设置唤醒源，包括RTC中断。
- ❑ 设置USB为挂起模式 (MISCCR [13:12] =11b)。
- ❑ 存重要的值到GSTATUS[4:3]寄存器中，在休眠模式下这些寄存器的值维持不变。
- ❑ 设置MISCCR[1:0]，为数据总线D[31:0]设置上拉电阻。如果已经存在外部总线缓冲器，如74LVCH162245，则关闭上拉电阻，否则打开上拉电阻。
- ❑ 将LCDCON1.ENVID位清0，停止LCD。
- ❑ 读rREFRESH和rCLKCON来填充TLB。
- ❑ 通过设置REFRESH[22]为1b，使SDRAM进入自动刷新模式。
- ❑ 等待直到SDRAM自动刷新模式生效。
- ❑ 设置MISCCR[19:17]为111b，使SDRAM信号(SCLK0, SCLK1和SCKE) 在休眠模式下受到保护。
- ❑ 设置CLKCON寄存器中的休眠模式位，使系统进入休眠状态。

休眠模式

从休眠模式下的唤醒过程如下：

- 如果唤醒源中的一个产生唤醒信号,将引发内部复位信号。
- 检查**GSTATUS2[2]**来判断是否是因为休眠唤醒而产生的系统上电。
- 通过设置**MISCCR[19:17]**为000b来释放对**SDRAM**信号的保护。
- 配置**SDRAM**存储控制器。
- 等待**SDRAM**自动刷新的结束。
- **GSTATUS[3:4]**中保存着休眠前的值，这个值是由用户自定义的，唤醒后用户仍然可以使用这个值。设置**GPIO**配置寄存器，使**GPIO**工作在休眠模式下。

电源VDDi和VDDiarm的控制

休眠模式下，VDDi、VDDiarm、VDDiMPLL和VDDiUPLL将被关闭，由PWREN引脚控制。如果PWREN信号有效(高),VDDi和VDDiarm由外部电源供电。如果PWREN信号无效(低),VDDi和VDDiarm将被关闭。虽然VDDi、VDDiarm、VDDiMPLL和VDDiUPLL可能被关闭，但其他的电源引脚仍需要供电。

4.3 相关特殊功能寄存器

S3C2410中与电源管理相关的寄存器有六个，分别为：

- LOCKTIME

- MPLLCON

- UPLLCON

- CLKCON

- CLKSLOW

- CLKDIVN

PLL锁定时间计数器(LOCKTIME)

LOCKTIME计数器描述

寄存器	地址	读/写	描述	复位值
LOCKTIME	0x4C000000	R/W	PLL锁定时间计数器	0x00FFFFFF

LOCKTIME计数器相应位描述

LOCKTIME	位	描述	复位值
U_LTIME	[23:12]	UCLK的UPLL锁定时间计数值 (U_LTIME>150us)	0xFFF
M_LTIME	[11:0]	FCLK, HCLK和PCLK的MPLL锁 定时间计数值 (M_LTIME > 150us)	0xFFF

PLL控制寄存器(MPLLCON 和UPLLCON)

MPLLCON和UPLLCON寄存器描述

寄存器	地址	读/写	描述	复位值
MPLLCON	0x4C000004	R/W	MPLL设置寄存器	0x0005C080
UPLLCON	0x4C000008	R/W	UPLL设置寄存器	0x00028080

MPLLCON寄存器相应位描述

PLLCON	位	描述	复位值
MDIV	[19:12]	主分频器控制	0x5C / 0x28
PDIV	[9:4]	预除器控制	0x08 / 0x08
SDIV	[1:0]	后分频器控制	0x0 / 0x0

PLL控制寄存器(MPLLCON 和UPLLCON)

PLL控制寄存器有两个，MPLLCON和UPLLCON，MPLLCON是MPLL设置寄存器，UPLLCON是UPLL设置寄存器。MPLL的值可以通过以下计算得到，UPLL固定为48.00MHz。

$$MPLL或UPLL = (m * f_{in}) / (p * 2^s)$$

其中：

$$m = MDIV + 8 \quad p = PDIV + 2 \quad s = SDIV$$

- f_{in} 为默认晶振输入的时钟频率。
- **MPLL**：震荡源时钟倍频后为MCU提供时钟频率
- 一般外接晶振只有几十M，如何使几十M变成几百M呢？这就是MPLL的功劳

- **MPLL**用来产生三种时钟信号：**Fclk**（给CPU核供给时钟信号，我们所说的s3c2410的cpu主频为200MHz，就是指的这个时钟信号，相应的， $1/\text{Fclk}$ 即为cpu时钟周期）、**Hclk**（为AHB bus peripherals供给时钟信号）、**Pclk**（为APB bus peripherals供给时钟信号）
- **AHB**总线连接高速外设，低速外设则通过**APB**总线互连
- 对不同总线上的外设，应该使用不同的时钟信号，**AHB**总线对应**Hclk**，**APB**总线对应**Pclk**
- **因此，事先就应该弄清楚，每条总线对应的外设有那些，这样在设置好时钟信号后，对应外设的初始化的值就要依此而确定了**

- 例：
- S3C2440最大支持400MHz的主频，但是这并不意味着一定工作在400MHz下面，可以通过设定MPLL, UPLL寄存器来设定CPU的工作频率
- 如果设置取值为：
- $MDIV=0x5C(92)$; $PDIV=1$; $SDIV=1$
- $m = (MDIV + 8)$, $p = (PDIV + 2)$, $s = SDIV$
- 所以： $m = 92+8=100$, $p = 1+2 = 3$, $s = 1$, F_{in} 为默认输入的时钟频率12MHz.
- $M_{pll} = (2*100*12M)/(3*2) = 400M$

时钟控制寄存器(CLKCON)

CLKCON寄存器描述

寄存器	地址	读/写	描述	复位值
CLKCON	0x4C00000C	R/W	时钟产生控制寄存器	0x7FFF0

时钟控制寄存器(CLKCON)

CLKCON寄存器相应位描述

CLKCON	位	描述	复位值
SPI	18	控制SPI模块的PCLK，0为禁止，1为使能。	1
IIS	17	控制IIS模块的PCLK，0为禁止，1为使能。	1
IIC	16	控制IIC模块的PCLK，0为禁止，1为使能。	1
ADC (和触摸屏)	15	控制ADC模块的PCLK，0为禁止，1为使能。	1
RTC	14	控制RTC模块的PCLK，即使该位为0，RTC定时器仍旧工作。0为禁止，1为使能。	1
GPIO	13	控制GPIO模块的PCLK，0为禁止，1为使能。	1
UART2	12	控制UART2模块的PCLK，0为禁止，1为使能。	1
UART1	11	控制UART1模块的PCLK，0为禁止，1为使能。	1
UART0	10	控制UART0模块的PCLK，0为禁止，1为使能。	1
SDI	9	控制SDI模块的PCLK，0为禁止，1为使能。	1

时钟控制寄存器(CLKCON)

CLKCON寄存器相应位描述

CLKCON	位	描述	复位值
PWMTIMER	8	控制PWMTIMER模块的PCLK, 0为禁止, 1为使能。	1
USB设备	7	控制USB设备模块的PCLK, 0为禁止, 1为使能。	1
USB主控制器	6	控制USB主控制模块的HCLK, 0为禁止, 1为使能。	1
LCDC	5	控制LCDC模块的HCLK, 0为禁止, 1为使能。	1
NAND FLash控制器	4	控制NAND FLash控制器模块的HCLK, 0为禁止, 1为使能。	1
POWER_OFF	3	控制S3C2410的休眠模式, 0为禁止, 1为进入休眠模式。	0
IDLE_BIT	2	进入空闲模式, 该位不会自动清除, 0为禁止, 1进入空闲模式。	0
保留	1	保留。	0
SM_BIT	0	特殊模式, 0为推荐值。该位仅在特殊情况下用来进入特殊模式, OM3=1和通过nRESET复位。	0

低速时钟控制寄存器(CLKSLOW)

CLKSLOW寄存器描述

寄存器	地址	读/写	描述	复位值
CLKSLOW	0x4C000010	读/写	低速时钟控制寄存器	0x00000004

低速时钟控制寄存器(CLKSLOW)

CLKSLOW寄存器相应位描述

CLKSLOW	位	描述	复位值
UCLK_ON	7	0: UCLK打开 (UPLL也被打开)。 1: UCLK关闭 (UPLL也将关闭)。	0
保留	6	保留	—
MPLL_OFF	5	0: PLL打开, PLL稳定后, SLOW_BIT才能清0。 1: PLL关闭, PLL只有在SLOW_BIT为1时才能关闭。	0
SLOW_BIT	4	0: FCLK=Mp11 (MPLL输出值)。 1: 低速模式 FCLK=输入时钟/(2*SLOW_VAL) (SLOW_VAL>0)。 FCLK=输入时钟 (SLOW_VAL=0)。 输入时钟为XT1p11或EXTCLK。	0
保留	3	—	—
SLOW_VAL	2:0	当SLOW_BIT为1时, 低速时钟的分频值。	0x4

时钟分频控制寄存器(CLKDIVN)

CLKDIVN寄存器描述

寄存器	地址	读/写	描述	复位值
	0x4C000014	R/W	时钟分频控制寄存器	0x00000000

CLKDIVN寄存器相应位描述

CLKDIVN	位	描述	复位值
保留	2	保留	0
HDIVN	1	0:HCLK为FCLK. 1:HCLK为FCLK/2.	0
PDIVN	0	0:PCLK为HCLK. 1:PCLK为HCLK/2.	0

4.4常用单元电路设计（最小电路设计）

S3C2410X电源引脚分析：

- VDDalive引脚给处理器复位模块和端口状态寄存器提供1.8V电压，无论是在正常模式还是在休眠模式，VDDalive都应该供电；
- VDDi和VDDiarm为处理器内核提供1.8V电压；
- VDDi_MPLL为MPLL提供1.8V模拟电源和数字电源；
- VDDi_UPLL为UPLL提供1.8V模拟电源和数字电源；
- VDDOP和VDDMOP分别为处理器端口和存储端口提供3.3V电压；
- VDDA_ADC为处理器内的ADC系统提供3.3V电压；
- VDDRTC为时钟电路提供1.8V电压，该电压在系统掉电后仍需要维持。

4.4常用单元电路设计

电源电路设计

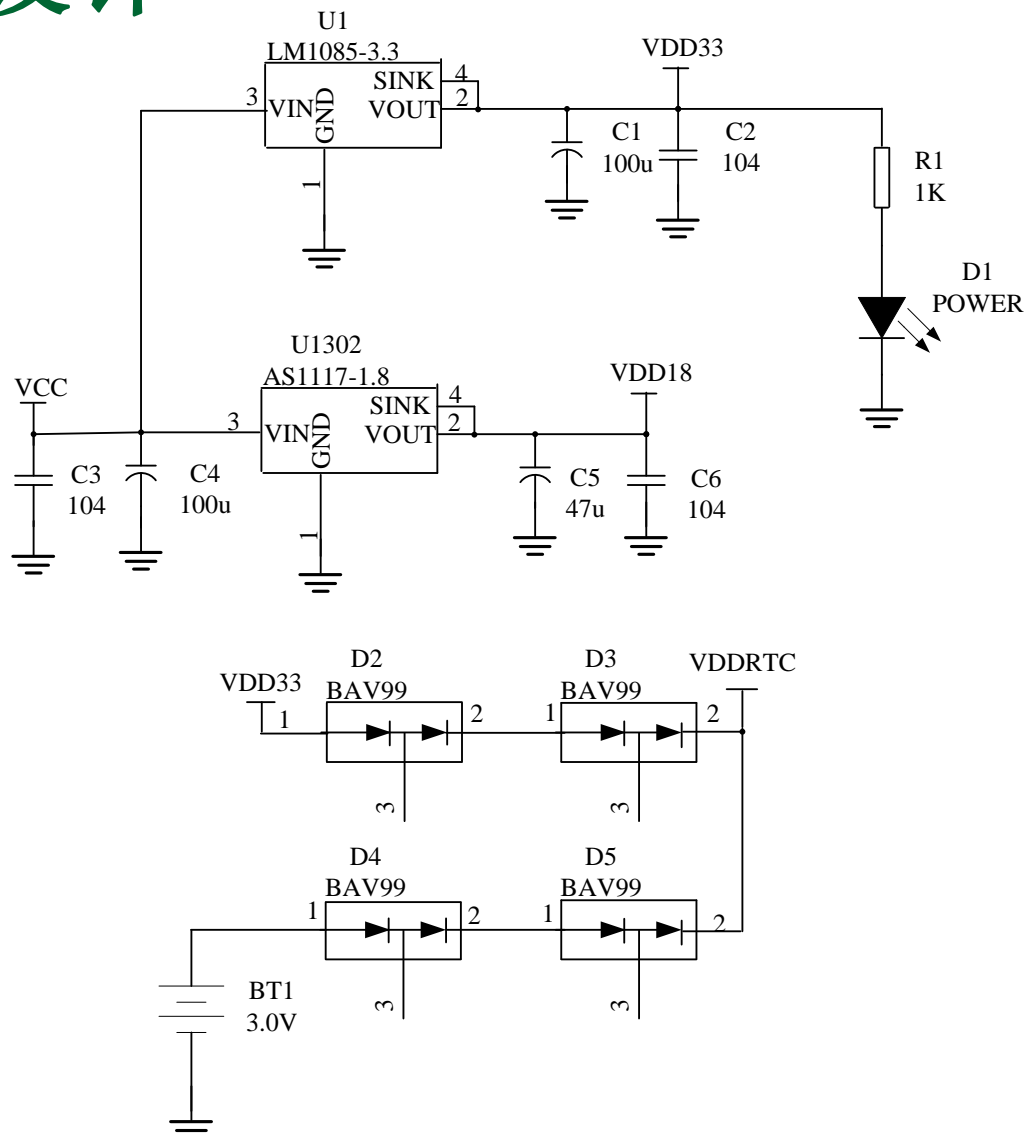
■ 电源问题

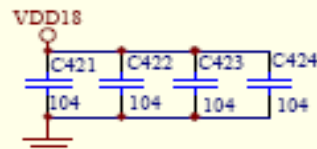
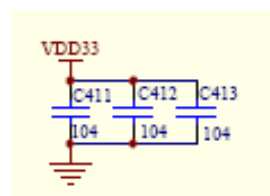
1.8v/2.0v 内核供电,3.3v 存储器供电,3.3v外部I/O供电

- 2410 电源电压为 5V，经 LM1085-3.3V 和 AS1117-1.8V 分别得到 3.3V 和 1.8V 的工作电压。

- 开发板上的芯片多数使用了 3.3V 电压，而 1.8V 是供给 S3C2410 内核使用的。5V 电压供给音频功放芯片、LCD、电机、硬盘、CAN 总线等电路使用。

- 电源控制：常规、缓慢、空闲和断电模式





- 以实验室北京博创s3c2410-s实验箱为例
- 由于S3C2410 结构复杂，部件较多，各部件甚至是同一部件的各引脚上的电平值都有可能不同，因此必须理清整个系统的电源需求。大致情况是：
- ARM 芯核工作电压1.8V，通用I/O口和部分外设电压3.3V， USB 主机和LCD 工作电压5V。
- 因此开发板由外部开关电源提供5V直流电源，然后经过LM1085-3.3V稳压得到一路3.3V，再经过AS1117-1.8V线性电压调压器得到所需的1.8V 提供给ARM 芯核、MPLL、UPLL、alive 等

4.4常用单元电路设计

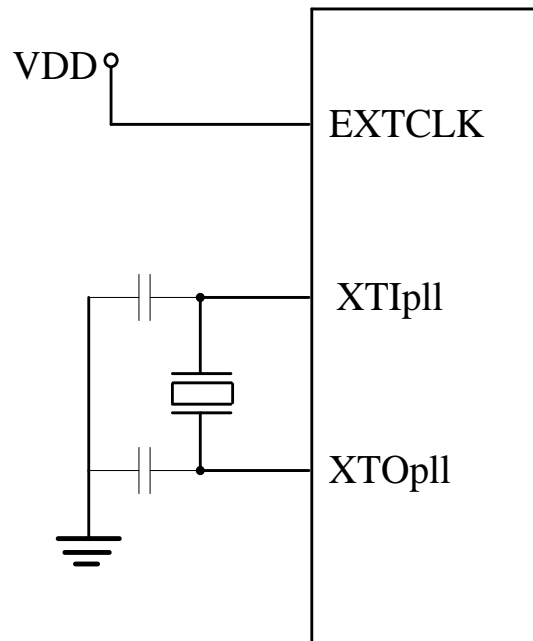
晶振电路设计

S3C2410X微处理器的主时钟可以由外部时钟源提供，也可以由外部振荡器提供。具体采用哪种方式通过引脚OM[3:2]来进行选择，见下表。

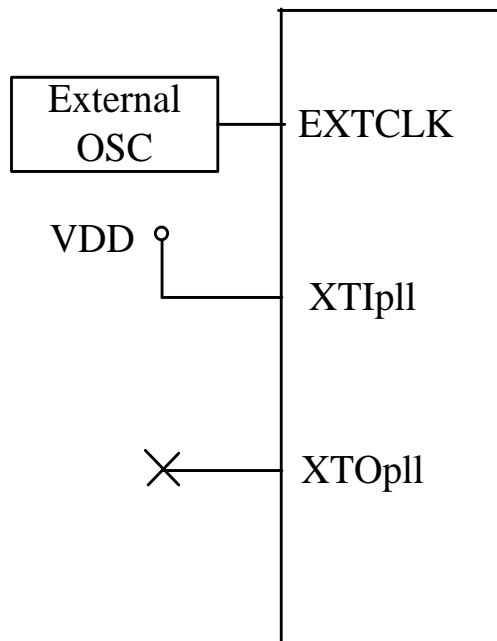
OM[3:2]	MPLL 状态	UPLL状态	主时钟源	USB时钟源
00	0n	0n	晶振	晶振
01	0n	0n	晶振	外部时钟
10	0n	0n	外部时钟	晶振
11	0n	0n	外部时钟	外部时钟

4.4常用单元电路设计

晶振电路设计



(a) 晶体振荡器提供时钟源(OM[3:2]=00)

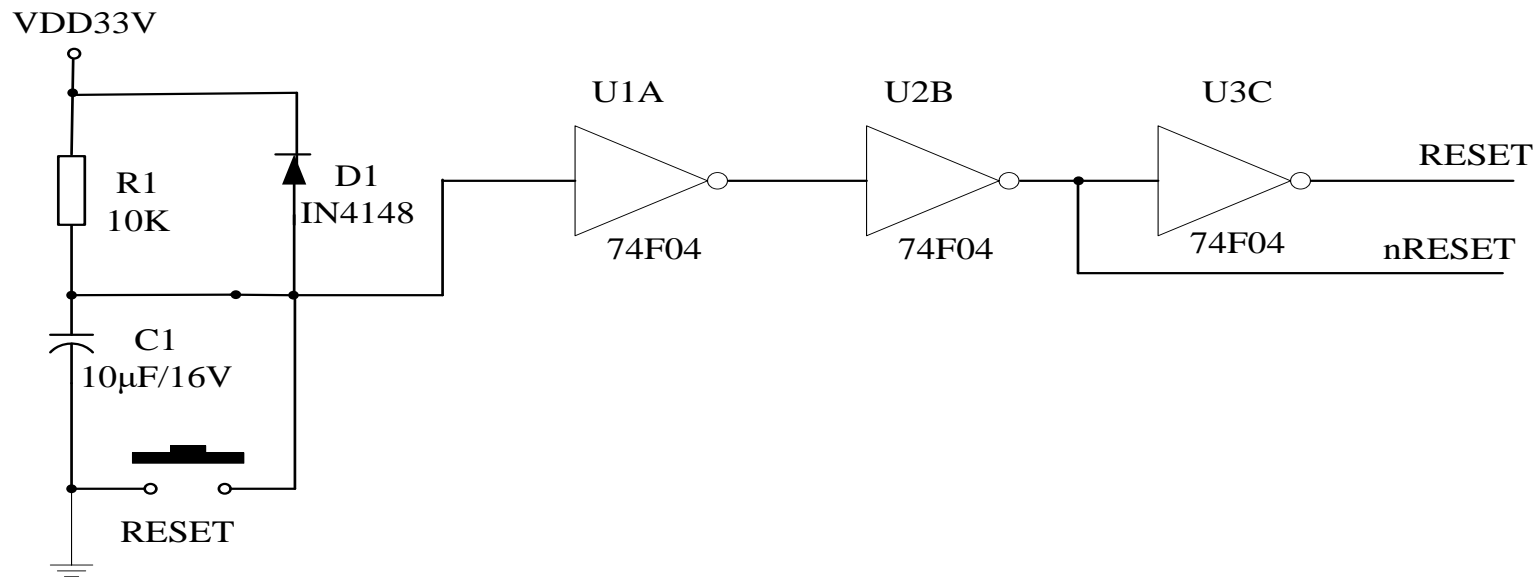


(b) 外部时钟源(OM[3:2]=11)

4.4常用单元电路设计

复位电路设计

- 在系统中，复位电路主要完成系统的上电复位和系统在运行时用户的按键复位功能。复位电路可由简单的RC电路构成，也可以使用其他的相对较复杂，但功能更完善的电路。
- 简单的RC复位电路是复位电路中的典型例子，其电路简单，复位逻辑可靠。如下图。



4.4常用单元电路设计

复位电路设计

该复位电路的工作原理为：在系统上电时，通过电阻**R1**向电容**C1**充电，当**C1**两端的电压未达到高电平的门限电压时，**RESET**端输出为高电平，系统处于复位状态；当**C1**两端的电压达到高电平的门限电压时，**RESET**端输出为低电平，系统进入正常工作状态。

当用户按下按钮**RESET**时，**C1**两端的电荷被放掉，**RESET**端输出为高电平，系统进入复位状态，再重复以上的充电过程，系统进入正常工作状态。

两级非门电路用于按钮去抖动和波形整形；**nRESET**端的输出状态与**RESET**端相反，用于低电平复位的器件；通过调整**R1**和**C1**的参数，可调整复位状态的维持时间。

- ❑ **S3C2410 + 电源电路 + 时钟电路 + 复位电路 + JTAG接口**电路可构成真正意义上的最小系统
- ❑ 程序可运行于**S3C2410**内部的**8KB RAM**中
- ❑ 程序大小有限，掉电后无法保存，只能通过**JTAG**接口调试程序

应用

- 利用开发板跑裸机程序所需做的工作（时钟部分）
- 类似启动代码，完成初始化设置
- 时钟部分：
 - 假如：要配置 S3c2410 的 CPU 工作频率 FCLK 为 200MHz，FCLK:HCLK:PCLK 的比例为 1:2:4
 - 于是，PCLK 的频率为 50MHz，然后配置定时器 Timer0 的输入时钟为 PCLK，并配置其为 PWM 输出，通过示波器可以观察到 PWM 的频率，从而验证时钟配置的正确性

```
/*
*          时钟初始化函数
* 对于MPLLCON寄存器, [19:12]为MDIV, [9:4]为PDIV[1:0]为SDIV
* 计算公式如下:
* S3C2410 :  $MPLL(FCLK) = (m * fin) / (p * 2^s)$ 
* 其中:  $m = MDIV + 8$ ;  $p = PDIV + 2$ ;  $s = SDIV$ 
* 设置CLKDIVN, 令分频比为: FCLK: HCLK: PCLK=1:2:4
* 由于开发板的输入时钟为12MHz, 而且设置MDIV PDIV SDIV分别为
* S3C2410 : MDIV=0x5C    PDIV=0x04    SDIV=0x00
* 则有: FCLK=200MHz    HCLK=100MHz    PCLK=50MHz
*/
```

- * 初始化定时0
- * 定时器0输入时钟 $Fin = PCLK / \{prescaler\ value + 1\} / \{divider\ value\}$
- * 其中: $\{prescaler\ value\} = 0 \sim 255$
- * $\{divider\ value\} = 2\ 4\ 8\ 16$



分析：

- 通过示波器可以看到频率为947.052Hz，占空比为75%的PWM波。
- 初始化文件中对定时器的配置有TCFG0=99、TCFG1=0x03、TCNTB0=32、TCMPB0=24；可以计算出 $PWM_CLK = (PCLK / (TCFG0 + 1)) / 16 / TCNTB0 = 976.5625Hz$
- PWM占空比： $PWM_D = TCMPB0 / TCNTB0 = 75\%$
- 通过理论数据和实际数据对比得知，PWM的实际频率小于理论值，究其原因，由于计算理论值时PCLK的取值为50MHz，分析原因可知，PCLK的实际值应小于50MHz。那么PCLK的实际值到底是多大呢？根据PWM的实际频率和配置相关系数按照PWM的频率公式可反推出 $PCLK = 48.5MHz$ 。那么根据FCLK: HCLK: PCLK=1:2:4可得出，FCLK、HCLK、PCLK的频率分别为194MHz、97Hz和48.5MHz。
- 结论：时钟系统的各个频率值的实际大小和理论值还是存在一定的偏差。