

## 第五章：

### 5.2.1

Word Address	Binary Address	Tag	Index	Hit/Miss
3	0000 0011	0	3	M
180	1011 0100	11	4	M
43	0010 1011	2	11	M
2	0000 0010	0	2	M
191	1011 1111	11	15	M
88	0101 1000	5	8	M
190	1011 1110	11	14	M
14	0000 1110	0	14	M
181	1011 0101	11	5	M
44	0010 1100	2	12	M
186	1011 1010	11	10	M
253	1111 1101	15	13	M

### 5.2.2

Word Address	Binary Address	Tag	Index	Hit/Miss
3	0000 0011	0	1	M
180	1011 0100	11	2	M
43	0010 1011	2	5	M
2	0000 0010	0	1	H
191	1011 1111	11	7	M
88	0101 1000	5	4	M
190	1011 1110	11	7	H
14	0000 1110	0	7	M
181	1011 0101	11	2	H
44	0010 1100	2	6	M
186	1011 1010	11	5	M
253	1111 1101	15	6	M

#### 5.2.4

**Cache地址：12位块号，3位块内地址；**

**主存地址：17位TAG，12位块号（index），3位块内地址.**

**5.2.4** First we must compute the number of cache blocks in the initial cache configuration. For this, we divide 32 KiB by 4 (for the number of bytes per word) and again by 2 (for the number of words per block). This gives us 4096 blocks and a resulting index field width of 12 bits. We also have a word offset size of 1 bit and a byte offset size of 2 bits. This gives us a tag field size of  $32 - 15 = 17$  bits. These tag bits, along with one valid bit per block, will require  $18 \times 4096 = 73728$  bits or 9216 bytes. The total cache size is thus  $9216 + 32768 = 41984$  bytes.

The total cache size can be generalized to

$$\text{totalsize} = \text{datasize} + (\text{validbitsize} + \text{tagsize}) \times \text{blocks}$$

$$\text{totalsize} = 41984$$

$$\text{datasize} = \text{blocks} \times \text{blocksize} \times \text{wordsize}$$

$$\text{wordsize} = 4$$

$$\text{tagsize} = 32 - \log_2(\text{blocks}) - \log_2(\text{blocksize}) - \log_2(\text{wordsize})$$

$$\text{validbitsize} = 1$$

#### 5.3.1 8

#### 5.3.2 32

**5.3.3 CACHE总容量：  $2^{10} + 32 \times (22 + 1) / 8$ ，数据容量：  $2^{10}$**

**比值为1.090.**

### 5.3.4 -5.3.6

主存 字节 地址	0	4	16	132	232	160	1024	30	140	3100	180	2180
主存 字地 址	0	1	4	33	58	40	256	7	35	775	45	545
主存 块号	0	0	0	4	7	5	32	0	4	96	5	68
TAG	0	0	0	0	0	0	1	0	0	2	0	1
Cache 块号	0	0	0	4	7	5	0	0	4	0	5	4
命 中?	M	H	H	M	M	M	M	M	H	M	H	M
替 换?							swap	swap		swap		swap

共4次替换；4次命中，命中率=33.33%

最后Cache的0、4、5、7四块包含有效数据：<索引5位，标记12位，  
数据32字节>

<00000, 000000000011, 主存字节地址3072—3103内容>

<00100, 000000000010, 主存字节地址2048—2079内容>

<00101, 000000000000, 主存字节地址180—211内容>

<00111, 000000000000, 主存字节地址224—255内容>

3100: 11 0000011100

2180: 10 0010000100

5.4.4 CPI=2，是平均CPI，综合考虑了cache命中和失效情况。

题意：访存的数据带宽应满足最终的CPI=2的要求。

讨论cache失效情况：

指令cache失效率0.003，失效时每条指令1次访存取指；

数据cache失效率0.02，失效时每条指令0.25次访存取数，以及0.1次访存写数。

对于通写、写分配，在读命中时不访存，其他情况需要访存。

以单条指令为例，在2个周期内：

(1) 读指令失效时，行填充，数据量： $64 \times 0.003 \times 1 = 0.192\text{B}$ ，  
对应带宽： $0.096\text{B}/\text{cycle}$ 。

(2) 读数据失效时，行填充，数据量： $64 \times 0.02 \times 0.25 = 0.32\text{B}$ ，  
对应带宽： $0.16\text{B}/\text{cycle}$ 。

(3) 写数据失效时，  
A：写内存，数据量： $4 \text{ (写4B到内存)} \times 0.1 \times 0.02 = 0.008\text{B}$ ，  
对应带宽： $0.004\text{B}/\text{cycle}$ 。

B：行填充（写分配），数据量： $64 \times 0.02 \times 0.1 = 0.128\text{B}$ ，  
对应带宽： $0.064\text{B}/\text{cycle}$ 。

(4) 写数据命中时，写数据到内存（通写），数据量：  
 $4 \times 0.1 \times 0.98 = 0.392\text{B}$ ，对应带宽： $0.196\text{B}/\text{cycle}$ 。

因此，总的访存读数据带宽： $0.096 + 0.16 + 0.064 = 0.32\text{B}/\text{cycle}$

总的访存写数据带宽： $0.004 + 0.196 = 0.2\text{B}/\text{cycle}$

5.4.5 对于回写、写分配，读、写命中时不访存，其他情况需访存。

以单条指令为例，在2个周期内：

(1) 读指令失效时，行填充，数据量： $64 \times 0.003 \times 1 = 0.192\text{B}$ ，  
对应带宽： $0.096\text{B}/\text{cycle}$ 。

(2) 读数据失效时，访存对应的：

A: 替换块写回内存，数据量：  $64 \times 0.02 \times 0.25 \times 0.3$  (替换率0.3)  
 $= 0.096 \text{ B}$ ，对应带宽：  $0.048 \text{ B/cycle}$ 。

B: 行填充，数据量：  $64 \times 0.02 \times 0.25 = 0.32 \text{ B}$ ，  
对应带宽：  $0.16 \text{ B/cycle}$ 。

(3) 写数据失效时，30%块替换回内存，然后行填充（写分配）：

A: 替换块写回内存，数据量：  
 $64 \times 0.02 \times 0.1 \times 0.3$  (替换率0.3)  $= 0.0384 \text{ B}$ ，  
对应带宽：  $0.0192 \text{ B/cycle}$ 。

B: 行填充（写分配），数据量：  
 $64 \times 0.02 \times 0.1 = 0.128 \text{ B}$ ，对应带宽：  $0.064 \text{ B/cycle}$ 。

因此，总的访存读数据带宽：  $0.096 + 0.16 + 0.064 = 0.32 \text{ B/cycle}$

总的访存写数据带宽：  $0.048 + 0.0192 = 0.0672 \text{ B/cycle}$

5.9.3 (12-8) 海明码SEC，接收到0x375，格式（按照书上P285-286顺序）：

H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12
P1	P2	D1	P3	D2	D3	D4	P4	D5	D6	D7	D8
0	0	1	1	0	1	1	1	0	1	0	1

P1组所有位 (H1、3、5、7、9、11)：0、1、0、1、0、0  $\rightarrow$  0

P2组所有位 (H2、3、6、7、10、11)：0、1、1、1、1、0  $\rightarrow$  0

P3组所有位 (H4、5、6、7、12)：1、0、1、1、1  $\rightarrow$  0

P4组所有位 (H8、9、10、11、12)：1、0、1、0、1→1

即指错字为：1000→第8位错，将H8取反改为0，正确的海明码应该为：0x365，其中有效信息为D1 D2 D3 D4 D5 D6 D7 D8=10110101

### 5.11.1

此处，TLB全相联，以逻辑页号为TAG。

Address	Virtual Page	TLB H/M	TLB		
			Valid	Tag	Physical Page
4669	1	TLB miss <del>PT hit</del> PF	1	11	12
			1	7	4
			1	3	6
			1 (last access 0)	1	13
2227	0	TLB miss PT hit	1 (last access 1)	0	5
			1	7	4
			1	3	6
			1 (last access 0)	1	13
13916	3	TLB hit	1 (last access 1)	0	5
			1	7	4
			1 (last access 2)	3	6
			1 (last access 0)	1	13
34587	8	TLB miss <del>PT hit</del> PF	1 (last access 1)	0	5
			1 (last access 3)	8	14
			1 (last access 2)	3	6
			1 (last access 0)	1	13
48870	11	TLB miss PT hit	1 (last access 1)	0	5
			1 (last access 3)	8	14
			1 (last access 2)	3	6
			1 (last access 4)	11	12
12608	3	TLB hit	1 (last access 1)	0	5
			1 (last access 3)	8	14
			1 (last access 5)	3	6
			1 (last access 4)	11	12
49225	12	TLB miss PT miss	1 (last access 6)	12	15
			1 (last access 3)	8	14
			1 (last access 5)	3	6
			1 (last access 4)	11	12

### 5.13.1

0次命中