

一. →填空题 (共 8 小题, 每空 1 分, 共 15 分) ←

1、 $(-1011)_2 = (\dots\dots)_8 = (\dots\dots)_{16}$ ←

2、 $(52.5)_{10} = (\dots\dots)_2 = (\dots\dots)_{16}$ ←

3、逻辑函数 $F(A,B,C) = \bar{A} \cdot B + \bar{B} \cdot C$ 的反函数是 (), 对偶函数是 () ←

4、逻辑代数只有 () 3 种基本运算, 数字电路只有 () 3 种基本电路 ←

5、钟控触发器的逻辑符号中, 若 CP 端带有小圈, 则说明触发器状态的变化只能发生在 CP 脉冲的 () 沿。 ←

6、状态机按照输入逻辑可以分为两种, 一种称为 () 状态机, 其时序逻辑的输出不仅取决于当前状态, 还取决于输入; 另一种称为 () 状态机, 其时序逻辑的输出只取决于当前状态。 ←

7、欲把 J-K 触发器转换成 D 触发器, 则 $J = ()$, $K = ()$ 。 ←

8、若要消除函数 $F(A,B,C) = \bar{A} \cdot \bar{B} + A \cdot \bar{C}$ 对应的逻辑电路可能存在的险象, 则应增加的冗余项是 ()。 (此题 2 分) ←

二. →单项选择题 (共 5 小题, 每小题 2 分, 共 10 分) ←

1、10011010 是十进制数 67 的 () 码 ←

☐ A. 8421BCD 码 ☐ B. 余 3 码 ☐ C. 2421 码 ☐ D. Gray 码 ←

2、在组合逻辑电路设计中, 常用 () 来表示逻辑问题抽象的结果 ←

☐ A. 状态图 ☐ B. 状态表 ☐ C. 真值表 ☐ D. 特征方程 ←

I

3、设计一个 50 进制同步计数器, 至少需要 () 个触发器 ←

☐ A. 4 ☐ B. 5 ☐ C. 6 ☐ D. 20 ←

4、存在约束条件的触发器是 () 触发器 ←

☐ A. 基本 RS ☐ B. JK ☐ C. D ☐ D. T ←

5、对完全确定原始状态表中的 8 个状态, A、B、C、D、E、F、G、H 进行化简, 若有 (A, B)、(B, C)、(E, F)、(F, G) 等效, 则最简状态表中只有 () 个状态 ←

☐ A. 5 ☐ B. 4 ☐ C. 7 ☐ D. 3 ←

三. →化简题 (共 1 小题, 每小题 8 分, 共 8 分) ←

1、把 $F(A,B,C,D) = A \cdot \bar{B} \cdot C \cdot \bar{D} + B \cdot \bar{C} \cdot D + \Sigma m(2,3,12) + \Sigma d(1,4,11,14)$ 化成最简“与—或”式和最简“或—与”式 ←

四. →程序代码补全 (共 6 个空, 每个空 2 分, 共 12 分) ←

下列是实现 8 位加法器的程序代码, 请完成 Verilog 程序填空。 ←

module ADDER8B (A,B,CIN,COU,DOUT); ←

____ ① ____ DOUT; ←

output ____ COU; ←

input [7:0] ____ ② ____; ←

Input ____ CIN; ←

wire ____ ③ ____ DATA; ←

assign ____ DATA = ____ ④ ____; ←

assign ____ COU = ____ ⑤ ____; ←

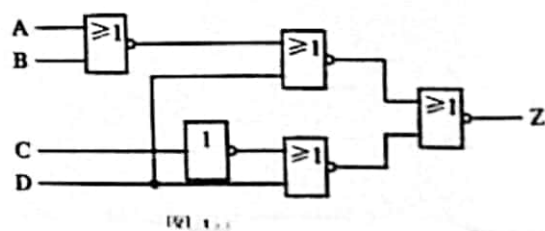
assign ____ DOUT = ____ ⑥ ____; ←

endmodule ←

五. →分析题 (共2小题, 共21分) ←

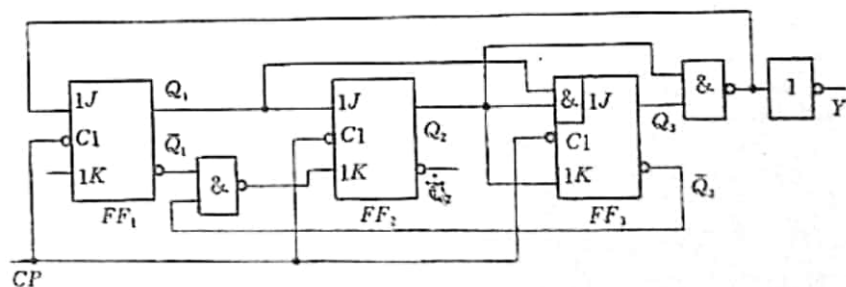
1、分析图1所示组合逻辑电路 (每问3分, 共9分)

- ① 写出输出函数表达式 ←
- ② 列出真值表 ←
- ③ 说明电路功能 ←



2、分析图2所示同步时序逻辑电路 (每问4分, 共12分) ←

- ① 写出激励函数和输出函数表达式, 指出电路属于哪种模型? ←
- ② 作出状态表和状态图 ←
- ③ 说明电路功能, 作出 Q_3 、 Q_2 、 Q_1 、 Y 的波形图 ←



六. →数字逻辑电路设计题 (共3小题, 共34分) ←

1、用T触发器作存储元件, 设计一个 Mealy 型模4可逆同步计数器, 输入 $X=0$ 时加1计数, $X=1$ 时减1计数, 当有进位/借位时输出 Z 为1, 否则 Z 为0。 (共15分, 每问3分) ←

- (1) 形成原始状态图; ←
- (2) 画出状态转换表; ←
- (3) 求出激励函数和输出函数; ←
- (4) 画出逻辑图; ←
- (5) 画出计数状态波形图。 ←

2、用四选一多路选择器设计一个三变量 ABC 偶校验位产生电路 (用 AB 作地址选择端, A 接 A_1 , B 接 A_0 , A_1 为高位, A_0 为低位), 可以使用反相器。 (共9分) ←

- (1) 给出设计过程 (6分); ←
- (2) 画出逻辑图 (3分); ←

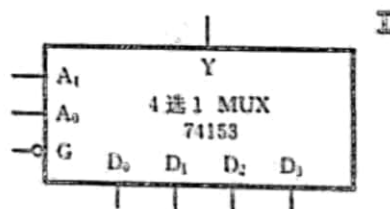


图3

3、用 Verilog 语言设计一个图4所示 1/20 分频器, 可将一个 10MHz 的时钟 (clk) 分频为 500KHz 的时钟输出 (F500KHz), 其中 clk 为同步时钟信号, reset 为同步复位信号。 (共10分) ←

