第五次作业

何泽楷 2017301020154

## 习题1

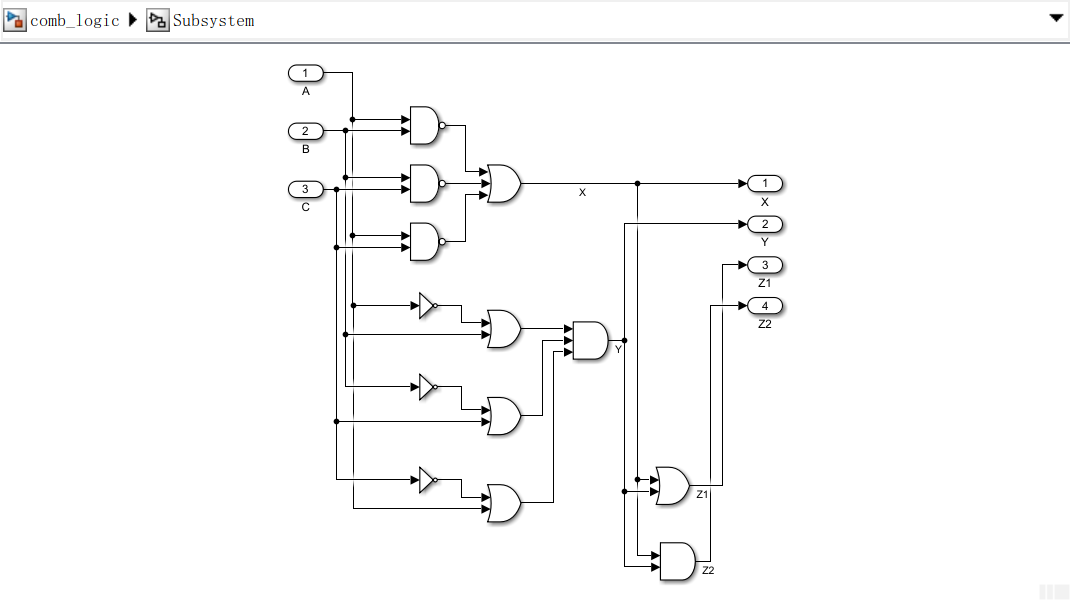
使用 Combinational Logic 模块完成对以下逻辑函数的建模和仿真

### 分析

由逻辑函数表达式可以构建真值表，直接使用 Combinational Logic 模块即可实现逻辑函数功能。真值表如下:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| C | B | A |  | X | Y | Z1 | Z2 |
| 0 | 0 | 0 |  | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 |  | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 |  | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 |  | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 |  | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 |  | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 |  | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 |  | 0 | 1 | 1 | 0 |

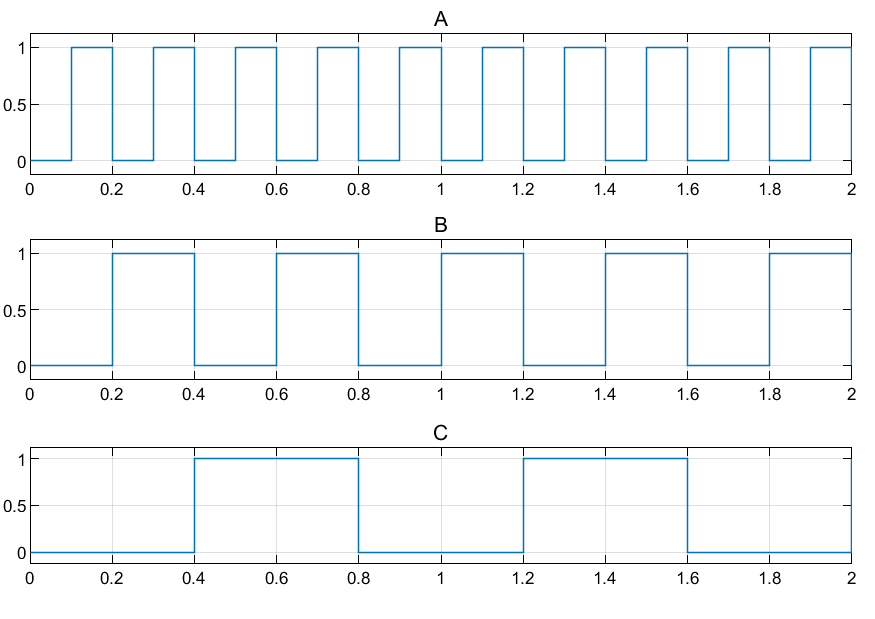
也可以根据表达式构建相应的电路，完成仿真, 电路如图所示



逻辑电路图

### 仿真结果

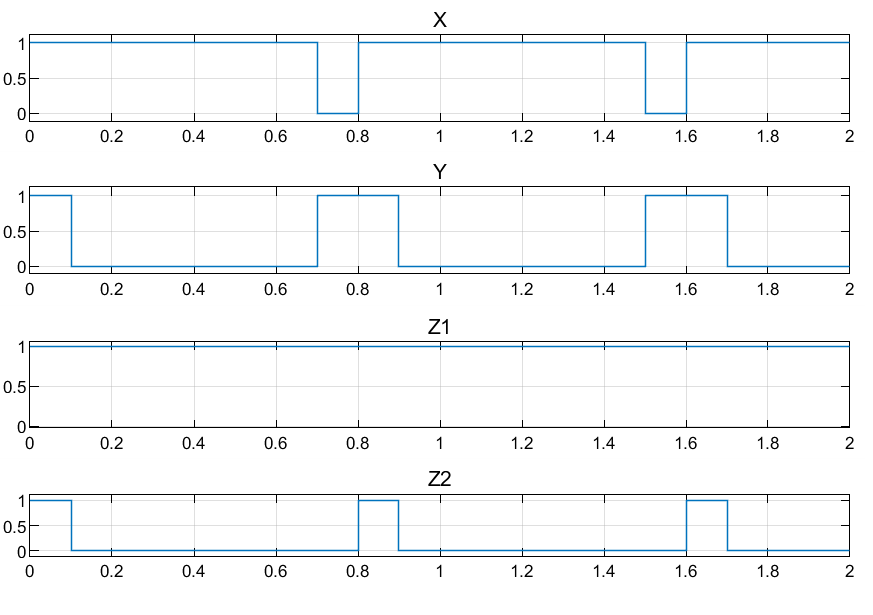
对 A 输入周期性脉冲，B, C 分别输入 A 的二分频脉冲, 四分频脉冲, 波形如图所示



输入波形

Combinational Logic 模块和逻辑电路图两种实现方式的输出波形相同, 如图所示。

输出波形与真值表相符。



输出波形

## 习题2

采用 D 触发器或 JK 触发器构建 10 分频电路，实现对输入时钟信号的 10 分频功能。

### 思路

用一个计数器记录输入脉冲，每输入5个脉冲，让输出波形反转一次，实现 10 分频功能。

### 模型搭建

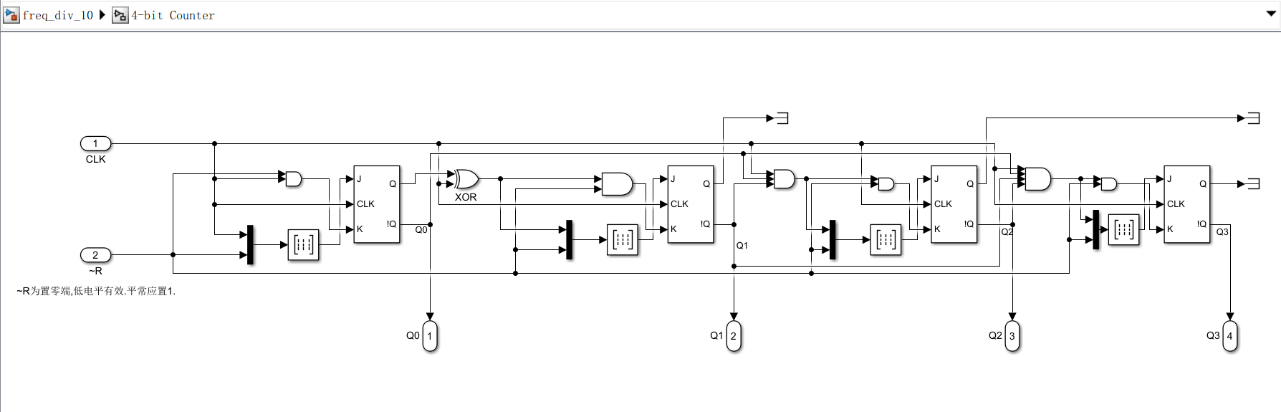
首先要构建一个计数器，此计数器计数周期为5，则至少需要3位寄存器，同时要有(同步)置零功能以实现计数周期的控制。综合考虑，使用 JK 触发器构建4位同步加法计数器, 以触发器的 端作为输出。JK 触发器状态方程为 , 这里令 JK 触发器 , 成为 T 触发器. T 触发器状态方程为 , 即一位二进制加法. 所以，第0位到第3位 JK 触发器的驱动方程如下:

时钟方程为 .

要实现同步置零的功能，则需再增加一个置零端 。 低电平有效，控制各个 JK 触发器的 J 和 K 以达到 时不影响 J,K 的正常输入、 时, , 实现置零的功能的效果。按此改动之后的 为，, 改动之后的 由真值表描述。

|  |  |  |
| --- | --- | --- |
| J |  | J’ |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

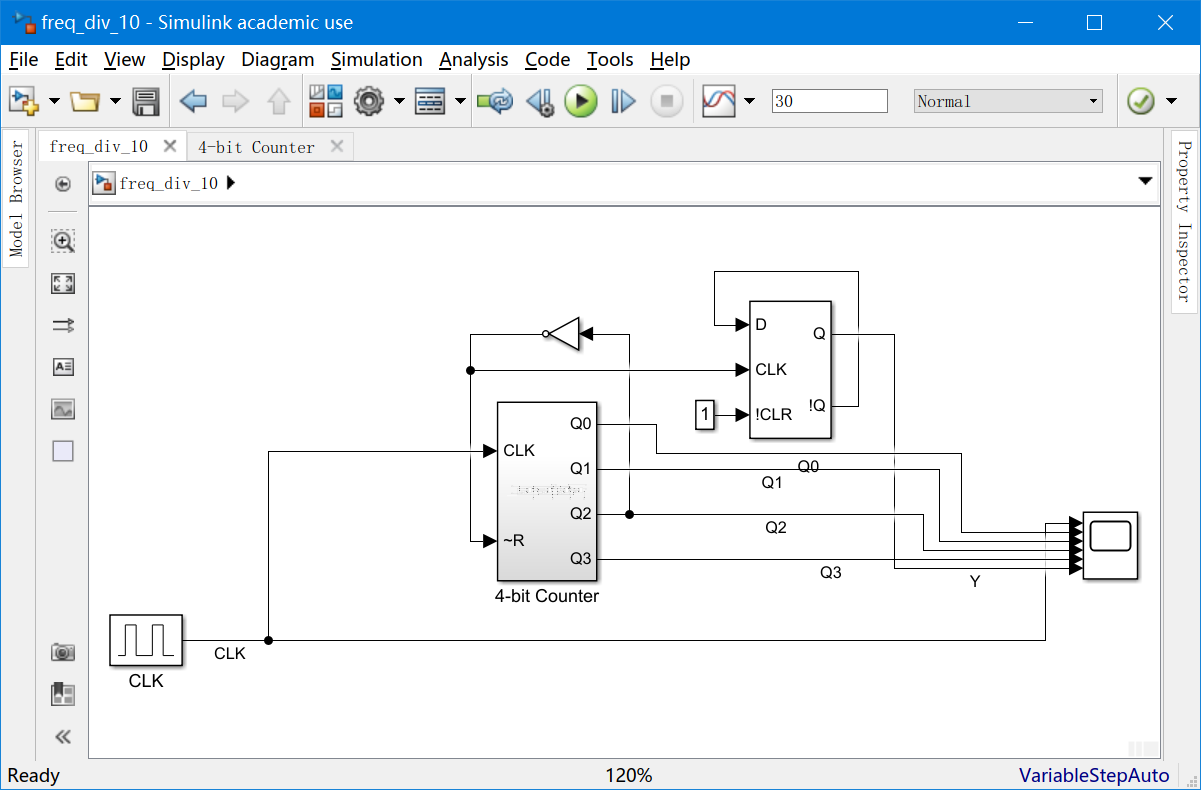
电路如图所示



四位同步加法计数器

将其封装为子系统。将 接非门后接置零控制端 ，则当 也即 时，, 计数器置零，实现了周期为 5 的计数。

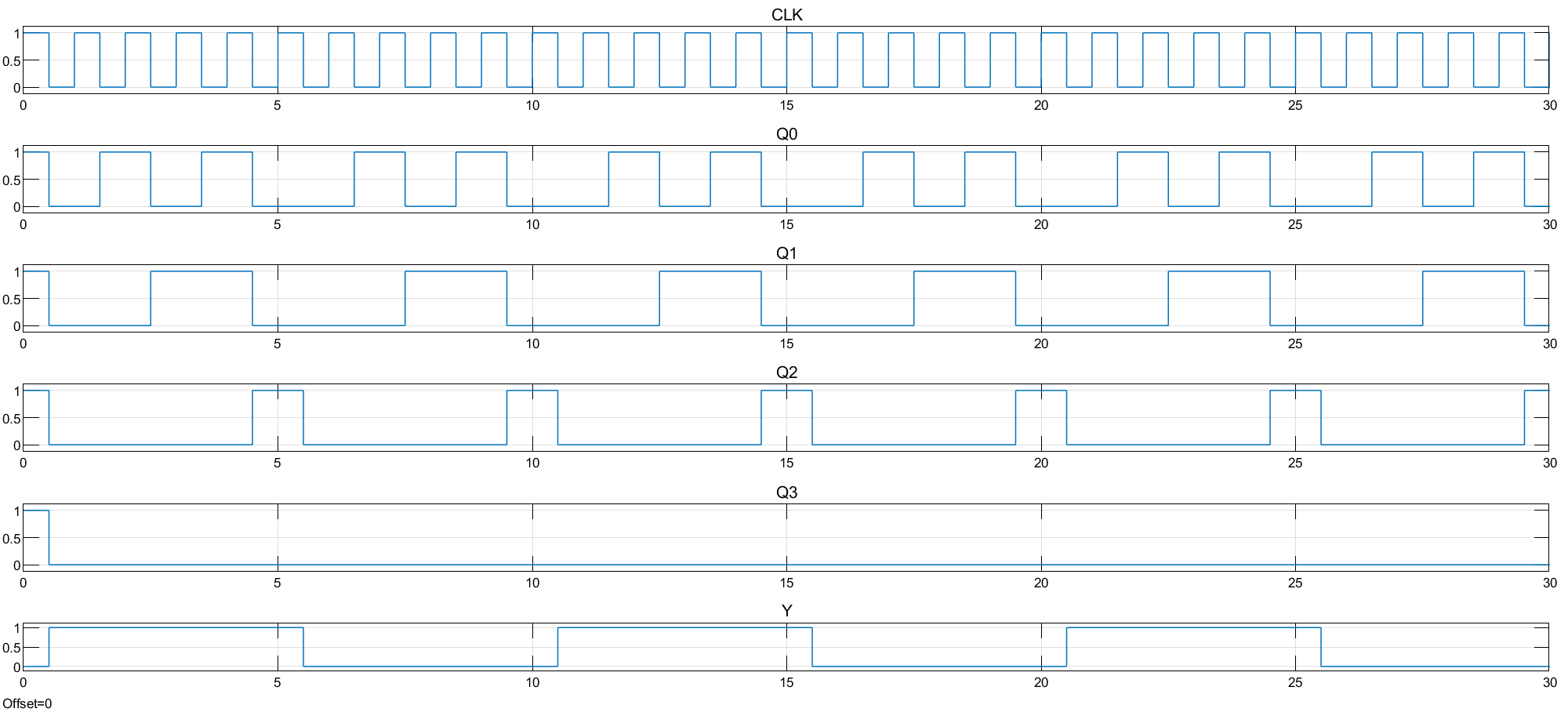
使用一个 D 触发器，将其输入端 接 实现每到来一个时钟脉冲状态就翻转一次的功能，用计数器的置零信号同时用作该 D 触发器的时钟信号。完整的模型如图所示。



10分频电路

### 仿真结果

输入输出波形如图所示, 其中 为输出信号, 为被分频的输入信号。



输入与输出波形

### 分析总结

从输出波形可以看出，计数器周期为 5。输出信号 一个周期的时间等于 10 个 CLK 脉冲的时间，实现了 10 分频。

该电路分频的基本思路是用计数器记录输入脉冲以实现分频。按照计数的思路实现10分频，实际上只需要3个用于计数的触发器，但这里用了4位，这样的冗余设计使得电路的适用范围扩大，可以方便地改接成其它偶数分频电路，具体是多少分频(记录多少个脉冲后翻转)可以通过改接计数器的置零端的置零条件自行实现，较为灵活，可编辑性好。该电路缺点是只能实现偶数分频，不能实现奇数分频。另外，该电路是一个异步电路，控制计数器和D触发器的时钟信号不同，在实际中抗干扰能力要弱于同步电路。