

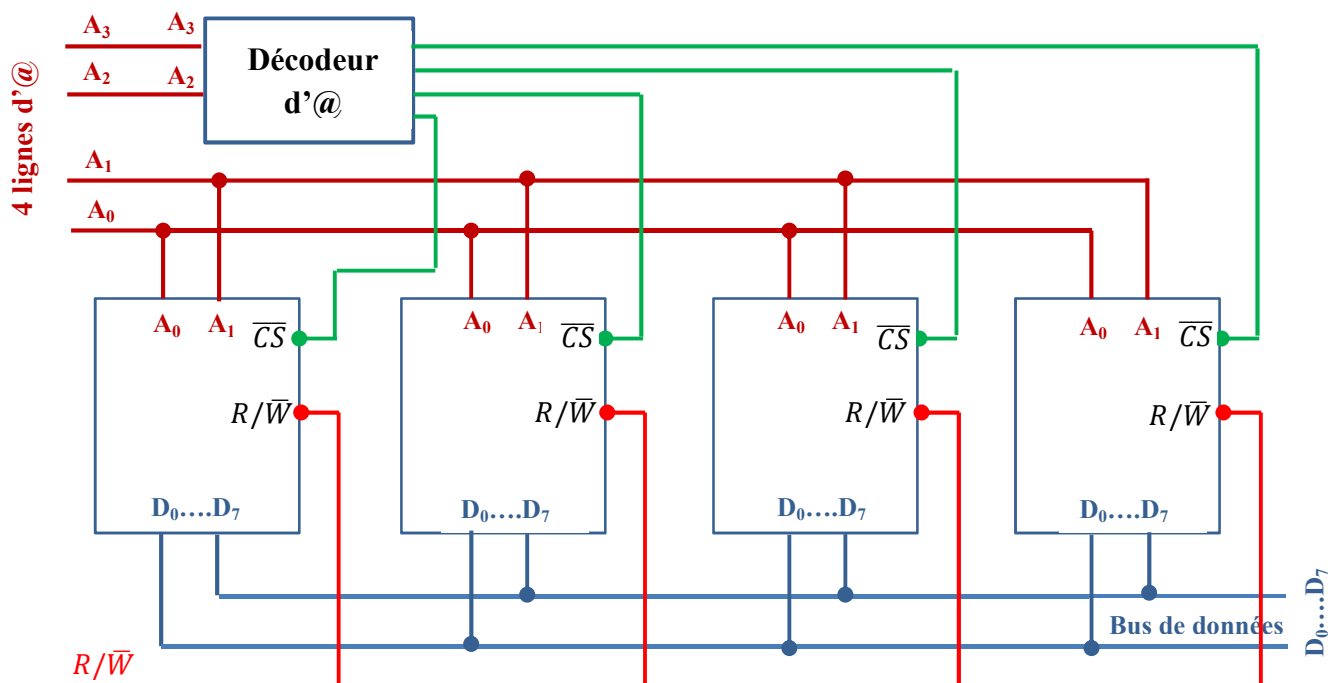
## Correction de la Série 2

### Architecture Matérielle des Systèmes à Microprocesseurs

#### Exercice 1 :

On désire réaliser une mémoire 16 mots de 8 bits au moyen d'un élément de base de 4 mots de 8 bits. Cet élément de base dispose en outre d'un chip select valide sur niveau bas et d'un signal nommé  $R/\bar{W}$ .

Le schéma de câblage de cette mémoire en indiquant tous les signaux de commande nécessaires est le suivant :



#### Exercice 2 :

On dispose de boîtiers mémoire de capacité 256 mots de 4 bits, chacun étant muni d'une broche de sélection valide sur niveau haut.

**1. Montrer comment peut-on construire un module mémoire de 1Ko (la taille d'un mot est de 8 bits)?**

On dispose de boîtiers mémoire de capacité 256 mots de 4 bits  $\Rightarrow$  la taille du bus d'adresses est de 8 bits ( $A_0 \dots A_7$ ) et la taille du bus de données est de 4 bits ( $D_0 \dots D_3$ ).

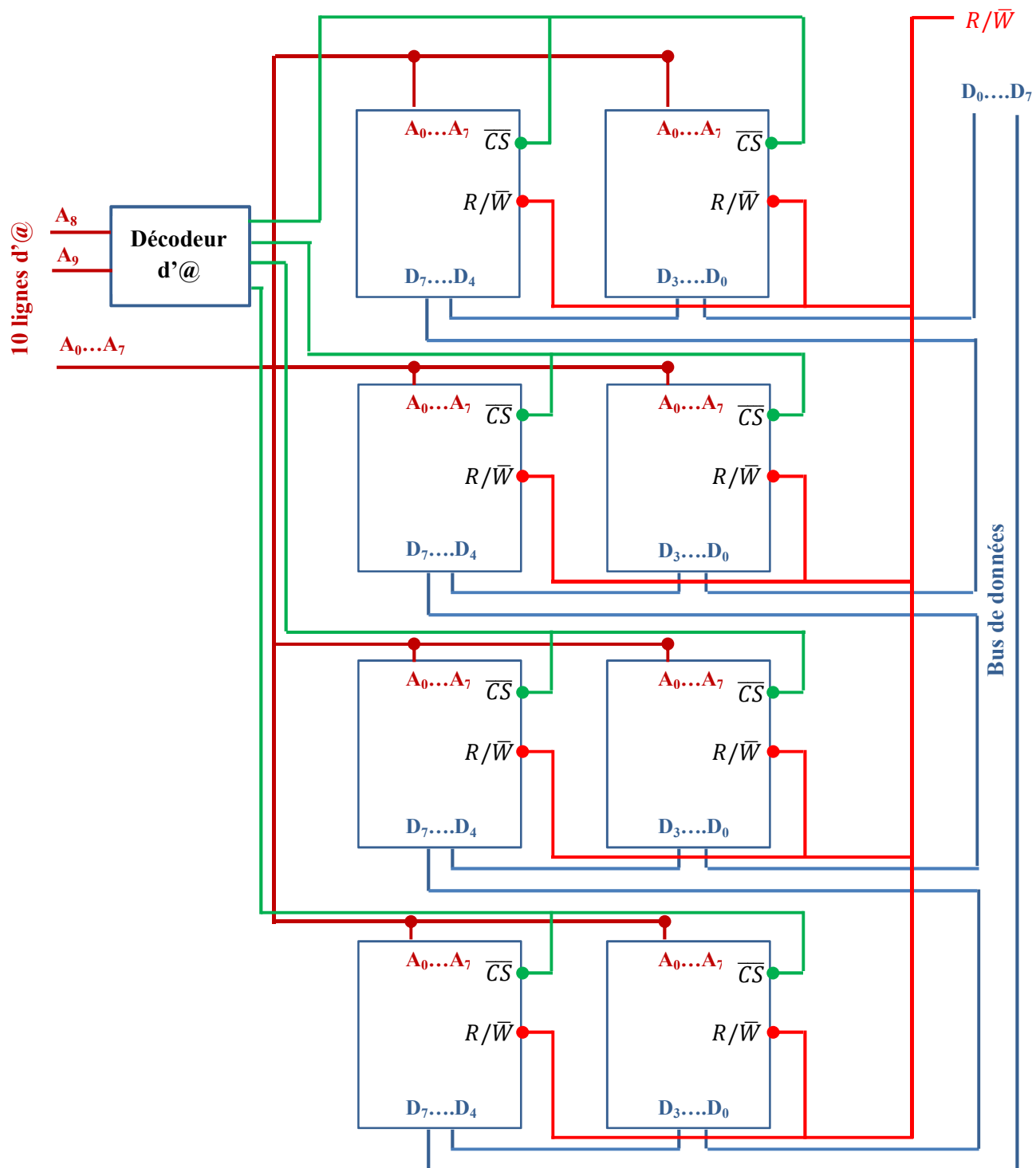
On désire réaliser un module mémoire de 1Ko (la taille d'un mot est de 8 bits) => la taille du bus d'adresses est de 10 bits ( $A_0.....A_9$ ) et la taille du bus de données est de 8 bits ( $D_0.....D_7$ ).

Afin d'augmenter la taille des mots, on calcule  $P = 8/4 = 2$ , le nombre de boitiers nécessaire pour obtenir la taille des mots **8** bits.

Afin d'augmenter le nombre de mots, on calcule  $Q = 1024/256 = 4$ , le nombre de boitiers nécessaire pour obtenir le nombre de mots **1024 = 1Ko**.

Le nombre total de boitiers mémoire nécessaire pour construire un module mémoire de 1Ko (la taille d'un mot est de 8 bits) à base des boitiers mémoire de capacité 256 mots de 4 bits est  $P.Q = 4.2 = 8$ .

**2. Donner le schéma de câblage de cette mémoire et indiquer tous les signaux de commande nécessaires.**



### Exercice 3 :

Un processeur 8 bits dont le bus d'adresse est de 24 bits => un espace adressable de  $2^{24}$  mots de 8 bits = 16 Mo.

Donc on a besoin de 16 circuits mémoire de 1Mo pour occuper la totalité de l'espace adressable.